

第4季

RISC-V处理器微架构介绍

主讲: 笨叔

本节课主要内容

- 本章主要内容
 - ▶ 流水线
 - ▶ 超标量处理器
 - 香山处理器微架构介绍
 - SiFive处理器介绍

技术手册:

- 1. https://xiangshan-doc.readthedocs.io/zh_CN/latest/
- 2. SiFive FU740-C000 Manual
- 3. SiFive P550-MC Core Complex Manual



扫码订阅RISC-V视频课程



本节课主要讲解书上第1章内容





影响程序性能的因素

程序执行时间 = 总的指令数 * Cycles/Instruction * Seconds/cycle



优化方向:

- 1. 总的指令数:优化算法,程序结构,编译优化等
- 2. Cycles/instruction:增加IPC,优化处理器微架构设计,比如采用超标量设计
- 3. Seconds/cycle:提高主频,减少每个时钟周期的时间





Cycles/Instruction 与 Seconds/cycle之间的折中:

简单的处理器微架构设计:例如单周期CPU

- ✓ 一个周期干完所有的事情: (Cycles/Instruction 小)
- ✓ 但是每个时钟周期变长 (Seconds/cycle 大)

复杂的处理器微架构设计:多周期CPU或者超标量处理器

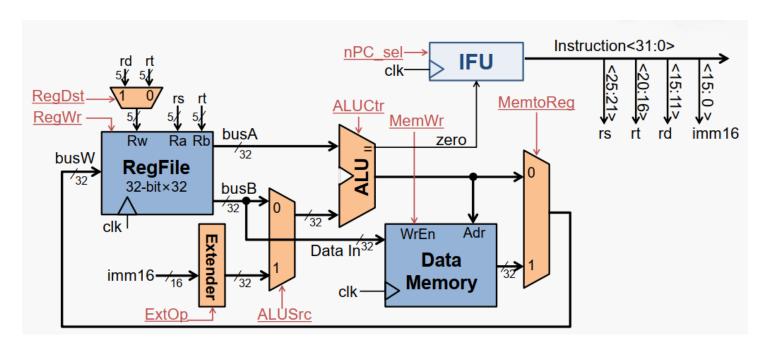
- ✓ 一个周期干的事情少,被拆分成多个流水级: Cycles/Instruction 大
- ✓ 每个流水级电路变短,每个时钟周期变小,主频变高

微架构	СРІ	时钟周期
单周期处理器	1	K
流水线处理器	1	短
超标量处理器	<1	短





单周期CPU



一个周期干完所有的事情: (Cycles/Instruction 小) 但是每个时钟周期变长 (Seconds/cycle 大)





笨叔的小店



洗菜



炒菜



奔跑吧Linux社区视频课程,微信公众号:奔跑吧Linux社区



切菜



上菜



第1分钟



洗菜

第1道菜

切菜



炒菜



上菜

第1道菜

第2道菜

第3道菜

第4道菜





第2分钟



洗菜



切菜

第1道菜



炒菜



上菜

第1道菜

第2道菜

第3道菜

第4道菜







第1分钟 第2分钟 第3分钟 切菜 炒菜 上菜 洗菜 第1道菜 第1道菜 第2道菜 第2道菜 第3道菜 第3道菜 第4道菜



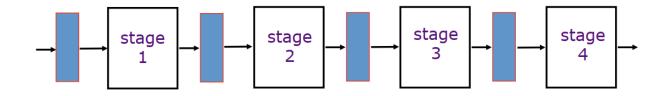


	第1分钟	第2分钟	第3分钟	第4分钟	
	洗菜	切菜	炒菜	上菜	
第1道菜	 	 	1 1 1 1	第1道菜 第1道菜	→ done
第2道菜	1 	 	¦ 第2道菜		
第3道菜	 	 第3道菜	1 1 1 1		
第4道菜	第4道菜	 	 		
	 	1 	! ! ! !		
		 -	!	!	





多周期CPU - 流水线

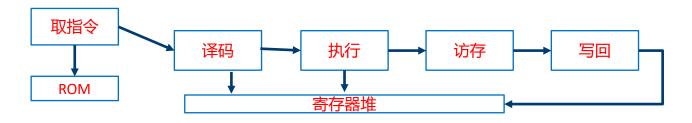


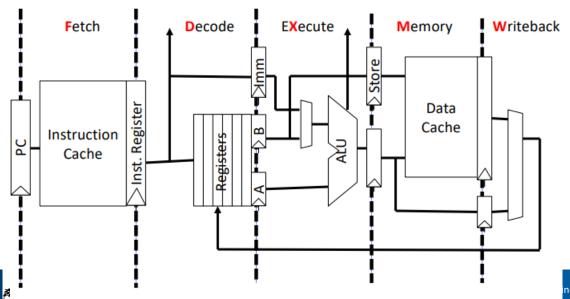
- 1. 流水线每个阶段所需要的时间相近
- 2. 流水线每个阶段的操作会被重复执行
- 3. 流水线每个阶段的操作相互独立, 互不干扰





经典处理器微架构

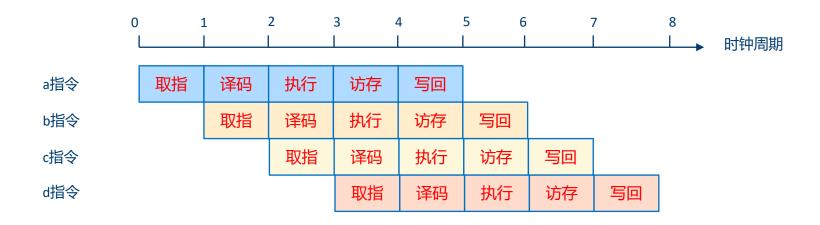




- ➤ 取值:取指令,通过PC值从ROM中取指令
- ▶ 译码: 对指令进行解码,解析出指令类型,
 - 源寄存器,目标寄存器等
- ▶ 执行:完成计算任务
- ➤ 访存:对于load/store指令访问内存
- ▶ 写回: 把结果写入到寄存器堆



经典5级流水线



- ▶ 流水线会有流水线冒险问题:数据冒险,控制冒险等
- ▶ 顺序执行处理器,例如MCU





超标量处理器 (Superscalar Processor)

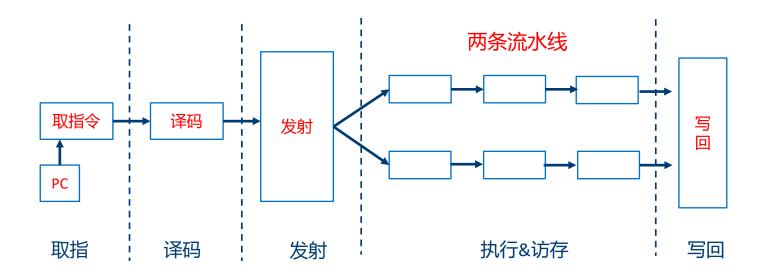
- ▶ 超标量处理器:具有两条或两条以上并行工作的流水线结构
- 顺序执行 (in-order)
- ▶ 乱序执行 (out-of-order)

	取指	译码	发射 &执行	写回	提交
顺序执行CPU	In-order	In-order	In-order	In-order	In-order
乱序执行CPU	In-order	In-order	Out-of-order	Out-of-order	In-order





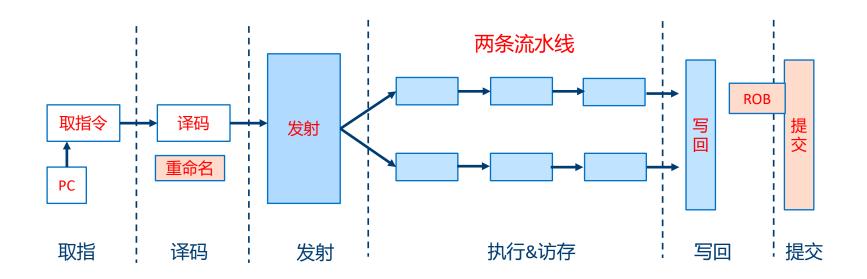
双发射超标量顺序执行处理器







双发射超标量乱序执行处理器







- ▶ 取指令单元:从I-cache中取指令。分支预测器预取下一条指令的地址。
- 解码单元:对指令编码进行解析
- 重命名单元:为解决相关性依赖问题,对解码得到的寄存器,重新命名
- ▶ 分发单元:把指令发送到派遣队列
- ▶ 发射单元: 发送到执行单元
- 执行:负责进行浮点,整数,访存操作
- 写回:把执行结果写回到物理寄存器堆
- ▶ 提交: ROB 模块会 把乱序执行的指令按照程序规定的次序重新排序。从ROB出来之后指令进入退休状态,完成提交。





香山处理器介绍



- ▶ 由中国科学院计算技术研究所牵头发起"香山" 高性能开源 RISC-V 处理器项目
- 香山处理器开发团队已经发布两个版本的处理器架构核心。
 - ✓ 香山处理器第一版(雁栖湖架构) 支持 RV64GC 指令集,已在 2021 年 7 月投片成功,在 28nm 的工艺节点下达到 1.3GHz 的频率。
 - ✓ 香山处理器第二版(南湖架构) 支持 RV64GCBK 指令集,已在 2022 年 3 月完成 RTL 代码冻结, 正在进行后端设计验证流程,将在 2022 年下半年投片,目标是在 14nm 工艺节点下频率达到 2GHz。
- ▶ 香山处理器采用Chisel语言进行开发,并且采用宽松的开源协议:木兰宽松许可证第2版。
- ➤ 香山项目主页: https://github.com/OpenXiangShan
- ▶ 文档主页: https://xiangshan-doc.readthedocs.io/zh CN/latest/



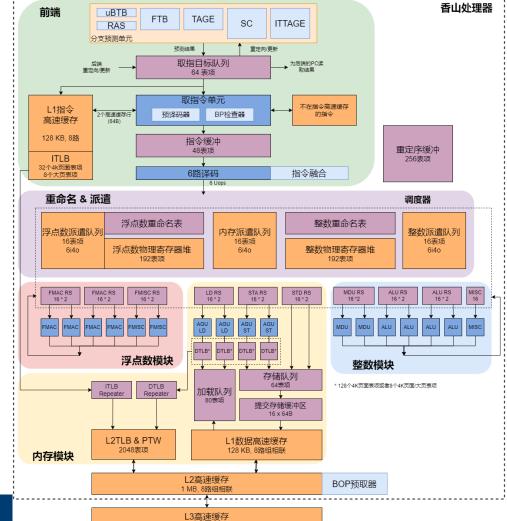


香山处理器支持的特性

- ➤ 支持RV64GCBK 指令集。
- 超标量处理器设计,乱序六发射结构设计。
- 支持分支预测、指令缓冲、顺序取指、译码、重命名、重定序缓冲、保留站、 整型/浮点寄存器堆、整型/浮点运算等硬件单元
- ▶ L1指令TLB(Translation Lookaside Buffer): 支持32个4KB页面的表项以及8个 2MB/1GB大页表项。
- ▶ L1数据TLB: 支持128个4KB页面的表项以及8个2MB/1GB大页表项。
- ▶ L2TLB: 支持2048个表项。
- ➤ 128 KB的L1指令高速缓存以及128 KB的L1数据高速缓存。
- ▶ 1MB大小的L2高速缓存,采用8路组相联映射方式。
- ▶ 6MB大小的L3高速缓存,采用6路组相联映射方式。



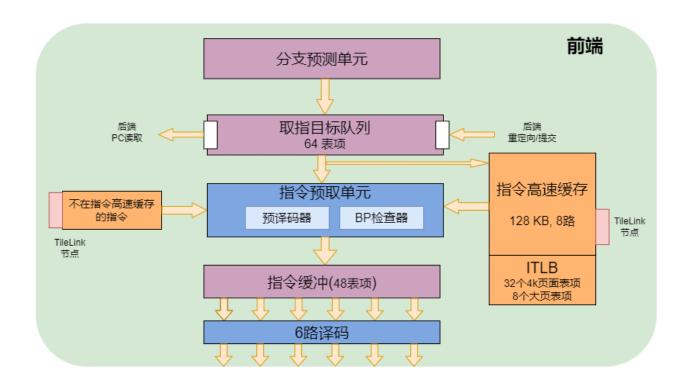








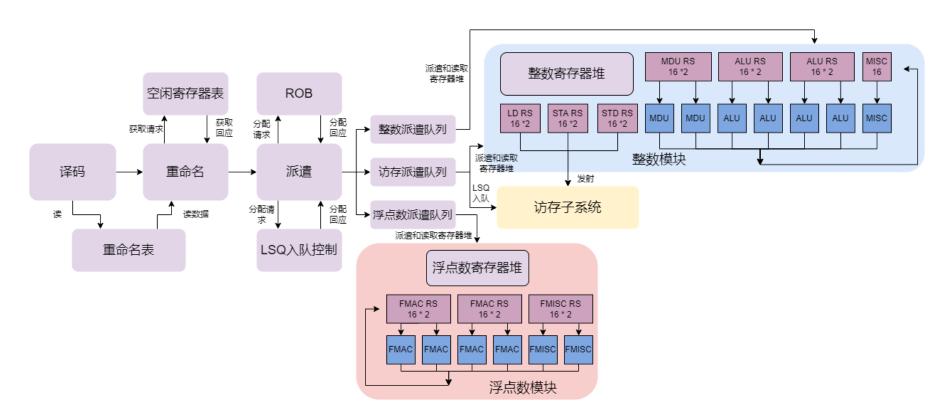
香山处理器前端子系统







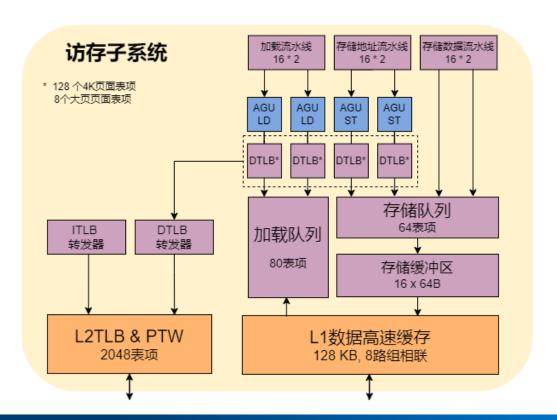
香山处理器后端子系统





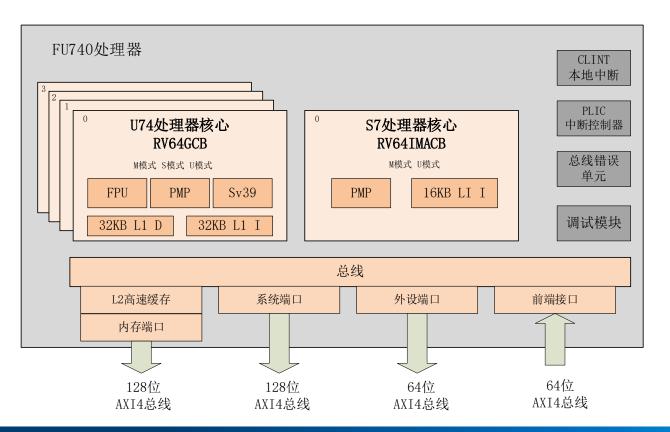


香山处理器访存子系统





SiFive FU740处理器







U7 处理器核心

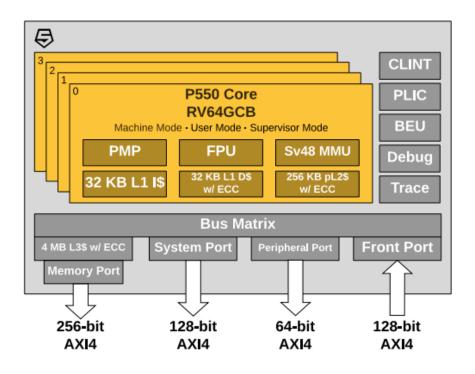
- > 双发射,顺序执行的,RV64处理器核心
- ▶ 支持指令集: I, M, F, D, A, C, B

Feature	Description
ISA	RV64GCB
SiFive Custom Instruction Extension (SCIE)	Not Present
Modes	Machine mode, user mode, supervisor mode
L1 Instruction Cache	32 KiB 2-way instruction cache
L1 Data Cache	32 KiB 4-way data cache
L2 Cache	128 KiB 8-way L2 cache with 1 bank
ECC Support	Single error correction, double error
	detection on the L1 data cache and L2 cache
Physical Memory Protection	8 regions with a granularity of 4096 bytes
Memory Management Unit	Bare and Sv39 virtual memory support with
	fully-associative 40-entry L1 data and
	instruction TLBs, and a direct-mapped
	512-entry unified TLB





SiFive P550处理器







P550核心

- ▶ 三发射,乱序执行的,13级流水线,RV64处理器核心
- ▶ 支持指令集: I, M, F, D, A, C, B

Feature	Description
ISA	RV64GCB
SiFive Custom Instruction Extension (SCIE)	Not Present
Modes	Machine mode, user mode, supervisor mode
L1 Instruction Cache	32 KiB 4-way instruction cache
L1 Data Cache	32 KiB 4-way data cache
Private L2 (pL2) Cache	256 KiB 8-way pL2 cache with 2 banks
L3 Cache	2 MiB 8-way L3 cache with 4 banks
ECC Support	Single error correction, double error
	detection on the L1 data cache, pL2 cache, and L3 cache
Physical Memory Protection	8 regions with a granularity of 4096 bytes
Memory Management Unit	Bare and Sv48 virtual memory support with
	fully-associative 64-entry L1 data and
	instruction TLBs, and a direct-mapped
	512-entry unified TLB

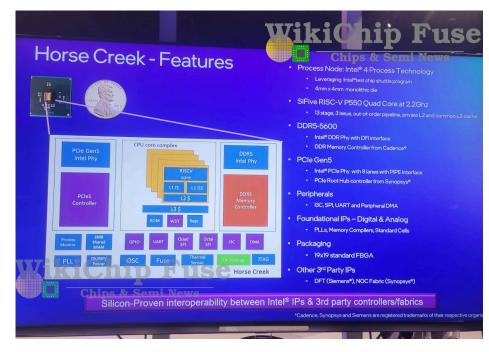




Intel Horse Creek开发板

- ➤ Intel采用SiFive P550打造
 - ✓ 主频2.2G, 4核,
 - ✓ DDR5-5600内存
 - ✓ 支持PCle Gen5
 - ✓ 采用Intel 4工艺









Thanks





文字不如声音,声音不如视频



扫描订阅RISC-V视频课程



第4季 奔跑吧Linux社区 视频课程 RISC-V体系结构编程与实践 主讲: 笨叔 课程名称 进度 时长(分钟) 完成 第1课:课程介绍 (免費) 47 完成 第2课: RISC-V体系结构介绍 (免费) 第3课: RISC-V处理器微架构 (免费) 第4课: 搭建RISC-V开发环境 (免费) 完成 第5课: RISC-V指令集 (免费) 完成 第6课: RISC-V函数调用规范 第7课: RISC-V GNU AS汇编器 第8课: RISC-V GNU 链接脚本 第9课: RISC-V GNU 内嵌汇编 完成 第10课: RISC-V异常外理 完成 第11课: RISC-V中断处理 完成 第12课: RISC-V内存管理 完成 第13课:内存管理实验讲解 第14课: cache基础知识 第15课:缓存一致性 第16课: RISC-V TLB管理 未录制 第17课: RISC-V原子操作 未录制 第18课: RISC-V内存屏障 未录制 第19课: BenOS操作系统相关知识 未录制 第20课: RVV可伸缩矢量计算 未录制 第21课: RISC-V压缩指令

视频课程持续更新中...

更多精彩内容马上献上.... 微信公众号:奔跑吧Linux社区

第22课: RISC-V虚拟化

未录制

总计17小时



