

特性

快速且灵活的输出速率：5 SPS至250 kSPS

快速建立时间：20 μ s

通道扫描数据速率：50 kSPS/通道

性能规格

17位无噪声分辨率(250 kSPS)

20位无噪声分辨率(2.5 kSPS)

22位无噪声分辨率(5 SPS)

INL：FSR的 ± 2.5 ppm

50 Hz和60 Hz抑制：85 dB，建立时间为50 ms

用户可配置的输入通道

2个全差分或4个伪差分

交叉点多路复用器

2.5 V片内基准电压源(2 ppm/ $^{\circ}$ C漂移)

内部振荡器、外部晶振或外部时钟

电源

单电源：5 V AVDD1、2 V至5 V AVDD2和IOVDD

可选分离电源：AVDD1和AVSS ± 2.5 V

电流：7.8 mA

温度范围： -40° C至 $+105^{\circ}$ C

3或4线串行数字接口(SCLK上为施密特触发器)

CRC差错校验

SPI、QSPI、MICROWIRE和DSP兼容

应用

过程控制：PLC/DCS模块

温度和压力测量

医疗与科学多通道仪器

色谱仪

概述

AD7176-2是一款快速建立、高度精确、高分辨率、多路复用的 Σ - Δ 型模数转换器(ADC)，适合低带宽输入信号。通过集成的交叉点多路复用器，其输入可以配置为两个全差分或四个伪差分输入。集成式精密2.5 V、低漂移(2 ppm/ $^{\circ}$ C)、带隙内部基准电压源(带输出基准电压缓冲)增加了功能，同时减少了外部元件数。

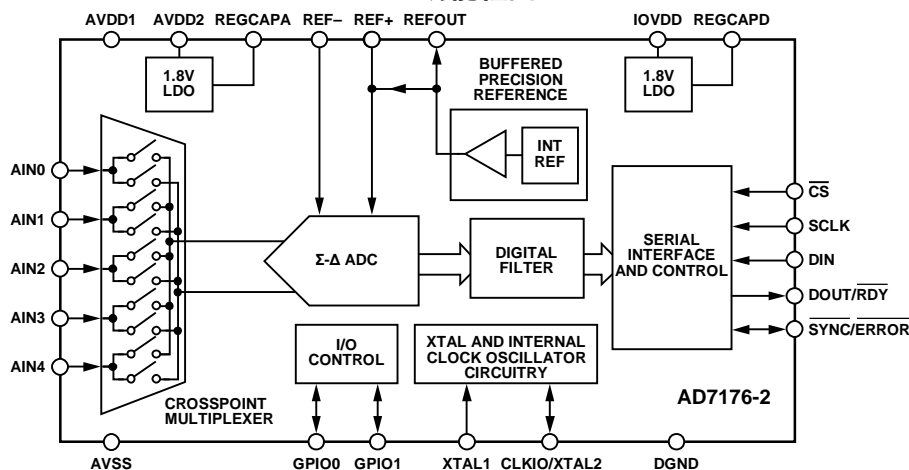
最大通道扫描数据速率为50 kSPS(建立时间为20 μ s)，得到17个无噪声位的完全建立数据。用户可选输出数据速率范围为5 SPS至250 kSPS。低速时分辨率更高。

AD7176-2提供三个重要的数字滤波器。快速建立滤波器使通道扫描速率达到最大。Sinc3滤波器使单通道、低速应用的分辨率达到最高。对于50 Hz和60 Hz环境，AD7176-2特定滤波器将建立时间降至最低，或者使线路频率抑制性能最强。这些增强的滤波器在27 SPS输出数据速率下可提供50 Hz和60 Hz同步抑制(建立时间为36 ms)。

系统失调和增益误差可针对各个通道进行校正。这种各通道可配置能力适用于每一通道所用的滤波器类型和输出数据速率。交叉点多路复用器的所有开关由ADC控制，可以配置为通过GPIO引脚自动控制外部多路复用器。

AD7176-2的额定工作温度范围为 -40° C至 $+105^{\circ}$ C，提供24引脚TSSOP封装。

功能框图



Rev. A

Document Feedback

图1.

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	串行接口复位(DOUT_RESET).....	41
应用.....	1	同步(SYNC/ERROR).....	41
概述.....	1	错误标志.....	42
功能框图.....	1	DATA_STAT.....	42
修订历史.....	3	IOSTRENGTH.....	42
技术规格.....	4	接地和布局布线.....	43
时序特性.....	7	寄存器汇总.....	44
时序图.....	7	寄存器详解.....	46
绝对最大额定值.....	8	通信寄存器.....	46
热阻.....	8	状态寄存器.....	47
ESD警告.....	8	ADC模式寄存器.....	48
引脚配置和功能描述.....	9	接口模式寄存器.....	49
典型性能参数.....	11	寄存器检查.....	50
噪声性能和分辨率.....	15	数据寄存器.....	50
开始使用.....	16	GPIO配置寄存器.....	51
电源.....	17	ID寄存器.....	52
数字通信.....	17	通道映射寄存器0.....	53
配置概述.....	19	通道映射寄存器1.....	54
电路描述.....	23	通道映射寄存器2.....	55
模拟输入.....	23	通道映射寄存器3.....	56
驱动放大器.....	23	设置配置寄存器0.....	57
AD7176-2基准电压源.....	26	设置配置寄存器1.....	57
AD7176-2时钟源.....	27	设置配置寄存器2.....	58
数字滤波器.....	28	设置配置寄存器3.....	58
Sinc5 + Sinc1滤波器.....	28	滤波器配置寄存器0.....	59
Sinc3滤波器.....	29	滤波器配置寄存器1.....	60
单周期建立.....	29	滤波器配置寄存器2.....	61
增强型50 Hz和160 Hz抑制滤波器.....	31	滤波器配置寄存器3.....	62
工作模式.....	34	失调寄存器0.....	63
连续转换模式.....	34	失调寄存器1.....	63
连续读取模式.....	35	失调寄存器2.....	63
单次转换模式.....	36	失调寄存器3.....	63
待机和掉电模式.....	37	增益寄存器0.....	64
校准模式.....	37	增益寄存器1.....	64
数字接口.....	38	增益寄存器2.....	64
校验和保护.....	38	增益寄存器3.....	64
CRC计算.....	39	外形尺寸.....	65
通用I/O.....	41	订购指南.....	65
16位/24位转换.....	41		

修订历史

2013年4月—修订版0至修订版A

更改表20 31

2012年11月—修订版0：初始版

AD7176-2

技术规格

除非另有说明，AVDD1 = 4.5 V至5.5 V，AVDD2 = 2 V至5.5 V，IOVDD = 2 V至5.5 V，AVSS = DGND = 0 V，REF+ = 2.5 V，REF- = AVSS，内部主时钟 = 16 MHz， $T_A = T_{MIN}$ 至 T_{MAX} 。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
ADC速度和性能					
输出数据速率(ODR)		5		250,000	SPS
无失码 ¹		24			Bits
分辨率	见表6				
噪声	见表6				
无噪声分辨率	250 kSPS, REF+ = 5 V		17		Bits
	2.5 kSPS, REF+ = 5 V		20		Bits
	5 SPS, REF+ = 5 V		22		Bits
精度					
积分非线性(INL)	2.5 V基准电压源		±2.5	±7	FSR的ppm
	5 V基准电压源		±7		FSR的ppm
失调误差 ²			±40		μV
失调漂移			±110		nV/°C
失调漂移与时间的关系 ³			±450		nV/500小时
增益误差 ²			±10	±50	ppm/FSR
增益漂移与温度的关系 ¹			±0.5	±1	ppm/FSR/°C
增益温漂与时间的关系 ³			±3		ppm/FSR/500小时
抑制					
电源抑制	AVDD1, AVDD2 $V_{IN} = 1$ V		90		dB
共模抑制					
DC时	$V_{IN} = 0.1$ V	95			dB
50 Hz和160 Hz时 ¹	20 SPS ODR(后置滤波器) (50 Hz ± 1 Hz和160 Hz ± 1 Hz)	130			dB
串模干扰抑制 ¹	50 Hz ± 1 Hz和160 Hz ± 1 Hz				
	内部时钟, 20 SPS ODR(后置滤波器)	71	90		dB
	外部时钟, 20 SPS ODR(后置滤波器)	85	90		dB
模拟输入					
差分输入电压范围			±V _{REF}		V
绝对AIN电压限值 ¹		AVSS – 0.050		AVDD1 + 0.05	V
模拟输入电流					
输入电流			±48		μA/V
输入电流漂移	外部时钟		±0.75		nA/V/°C
	内部时钟(±2.5 %时钟)		±4		nA/V/°C
串扰	1 kHz输入		–120		dB
内部基准电压源	REFOUT与AVSS之间有一个100 nF 外部电容				
输出电压	REFOUT相对于AVSS		2.5		V
初始精度 ¹	$T_A = 25^\circ\text{C}$	– 0.16%		+ 0.16%	V
温度系数	0°C至+105°C		±2	±5	ppm/°C
	–40°C至+105°C		±3	±10	ppm/°C
基准负载电流 I_{LOAD}	I_L	–10		+10	mA
电源抑制(电压调整率)	AVDD1和AVDD2		93		dB
负载调整率	$\Delta V_{OUT}/\Delta I_L$		32		ppm/mA
电压噪声	e_N , 0.1 Hz至10 Hz		4.5		μV rms
电压噪声密度	e_N , 1 kHz		215		nV/√Hz

参数	测试条件/注释	最小值	典型值	最大值	单位
开启建立时间	100 nF 电容		60		μs
长期稳定性 ³	500 小时		460		ppm
短路	I _{SC}		25		mA
外部基准电压源					
基准输入电压	基准输入 = (REF+) – (REF–)	1	2.5	AVDD1	V
绝对基准输入电压限值 ¹		AVSS – 0.05		AVDD1 + 0.05	V
平均基准输入电流			±72		μA/V
平均基准输入电流漂移	外部时钟		±1.2		nA/V/°C
	内部时钟		±6		nA/V/°C
串模干扰抑制 ¹	参见本表的“抑制”参数部分				
共模抑制			83		dB
通用 I/O (GPIO 0、GPIO 1)	相对于 AVSS				
输出高电压 V _{OH} ¹	I _{SOURCE} = 200 μA	AVSS + 4			V
输出低电压 V _{OL} ¹	I _{SINK} = 800 μA			AVSS + 0.4	V
输入模式漏电流 ¹		–10		+10	μA
浮空态输出电容			5		pF
输入高电压 V _{IH} ¹		AVSS + 3			V
输入低电压 V _{IL} ¹				AVSS + 0.7	V
时钟					
内部时钟					
频率		–2.5	16	+2.5	MHz
精度			50:50		%
占空比					%
输出低电压 V _{OL}				0.4	V
输出高电压 V _{OH}		0.8 × IOVDD			V
晶振					
频率		14	16	16.384	MHz
启动时间			50		μs
外部时钟 (CLKIO)			16	16.384	MHz
占空比 ¹	典型占空比 50:50 (max:min)	30	50:50	70	%
逻辑输入					
输入高电压 V _{INH} ¹	2 V ≤ IOVDD ≤ 2.3 V	0.65 × IOVDD			V
	2.3 V ≤ IOVDD ≤ 5.5 V	0.7 × IOVDD			V
输入低电压 V _{INL} ¹	2 V ≤ IOVDD ≤ 2.3 V			0.35 × IOVDD	V
	2.3 V ≤ IOVDD ≤ 5.5 V			0.7	V
迟滞 ¹	IOVDD > 2.7 V	0.08		0.25	V
	IOVDD < 2.7 V	0.04		0.2	V
漏电流		–10		+10	μA
逻辑输出 (DOUT/RDY)					
输出高电压 V _{OH} ¹	IOVDD ≥ 4.5 V, I _{SOURCE} = 1 mA	0.8 × IOVDD			V
	2.7 V ≤ IOVDD < 4.5 V, I _{SOURCE} = 500 μA	0.8 × IOVDD			V
	IOVDD < 2.7 V, I _{SOURCE} = 200 μA	0.8 × IOVDD			V
输出低电压 V _{OL} ¹	IOVDD ≥ 4.5 V, I _{SINK} = 2 mA			0.4	V
	2.7 V ≤ IOVDD < 4.5 V, I _{SINK} = 1 mA			0.4	V
	IOVDD < 2.7 V, I _{SINK} = 400 μA			0.4	V
漏电流	浮空态	–10		+10	μA
输出电容	浮空态		10		pF

AD7176-2

参数	测试条件/注释	最小值	典型值	最大值	单位
系统校准 ¹					
满量程校准限值				$1.05 \times FS$	V
零电平校准限值		$-1.05 \times FS$			V
输入范围		$0.8 \times FS$		$2.1 \times FS$	V
电源要求					
电源电压					
AVDD1 – AVSS		4.5		5.5	V
AVDD2 – AVSS		2		5.5	V
AVSS – DGND		-2.75		0	V
IOVDD – DGND		2		5.5	V
IOVDD – AVSS	AVSS < DGND			6.35	V
电源电流	所有输出空载，数字输入连接到 IOVDD或DGND				
完全工作模式					
AVDD1电流	外部基准电压源		1.5	1.75	mA
	内部基准电压源		1.75	2.1	mA
AVDD2电流	外部基准电压源		4.3	4.9	mA
	内部基准电压源		4.5	5.1	mA
IOVDD电流	外部时钟		2	2.3	mA
	内部时钟		2.25	2.6	mA
	外部晶振		2.5		mA
待机模式					
待机（LDO开启）	内部基准电压源关闭，总功耗		22		μA
	内部基准电压源开启，总功耗		415		μA
掉电模式	完全掉电，LDO，内部基准电压源		0.5	10	μA
功耗					
完全工作模式	AVDD2 = 2 V，IOVDD = 2 V， 外部时钟和基准电压源		20.1	23.15	mW
	AVDD2 = 5 V，IOVDD = 5 V， 外部时钟和基准电压源		39	44.75	mW
	AVDD2 = 2 V，IOVDD = 2 V， 内部时钟和基准电压源		22.25	25.9	mW
	AVDD2 = 5 V，IOVDD = 5 V， 内部时钟和基准电压源		42.5	49	mW
待机模式	内部基准电压源关闭，所有电源 = 5 V		110		μW
	内部基准电压源开启，所有电源 = 5 V		2.1		mW
掉电模式	完全掉电		2.5	50	μW

¹ 技术规格未经生产测试，但受产品初始发布时的特性数据支持。

² 经系统或内部零电平校准，此失调误差与选定的编程输出数据速率所对应的噪声相当。系统满量程校准可以把增益误差降至与编程输出数据速率对应的噪声相当的水平。

³ 长期稳定性规格为非累积性。

时序特性

除非另有说明，IOVDD = 2 V至5.5 V，DGND = 0 V，逻辑输入0 = 0 V，逻辑输入1 = IOVDD， $C_{LOAD} = 20$ pF。

表2.

参数	在 T_{MIN} 和 T_{MAX} 条件下的限值(B级)	单位	测试条件/注释 ^{1,2}
t_3	25	ns(最小值)	SCLK高电平脉宽
t_4	25	ns(最小值)	SCLK低电平脉宽
读操作			
t_1	0 15 40	ns(最小值) ns(最大值) ns(最大值)	\overline{CS} 下降沿到DOUT/ \overline{RDY} 有效时间 IOVDD = 4.5 V至5.5 V IOVDD = 2 V至3.6 V
t_2^3	0 12 25	ns(最小值) ns(最大值) ns(最大值)	SCLK有效沿到数据有效延迟 ⁴ IOVDD = 4.5 V至5.5 V IOVDD = 2 V至3.6 V
t_5^5	2.5 20	ns(最小值) ns(最大值)	\overline{CS} 无效沿后的总线释放时间
t_6	0	ns(最小值)	SCLK无效沿到 \overline{CS} 无效沿
t_7	10	ns(最小值)	SCLK无效沿到DOUT/ \overline{RDY} 高电平/低电平
写操作			
t_8	0	ns(最小值)	\overline{CS} 下降沿到SCLK有效沿建立时间 ⁴
t_9	8	ns(最小值)	数据有效到SCLK沿建立时间
t_{10}	8	ns(最小值)	数据有效到SCLK沿保持时间
t_{11}	5	ns(最小值)	\overline{CS} 上升沿到SCLK沿保持时间

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。

² 参见图2和图3。

³ 输出跨越 V_{OL} 或 V_{OH} 限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

⁵ \overline{RDY} 在读取数据寄存器之后返回高电平。在单次转换模式和连续转换模式下，当 \overline{RDY} 为高电平时，如果需要，可以再次读取同一数据，但应确保后续读取操作的发生时间不能接近下一次输出更新时间。如果使能连续读取功能，数字字只能被读取一次。

时序图

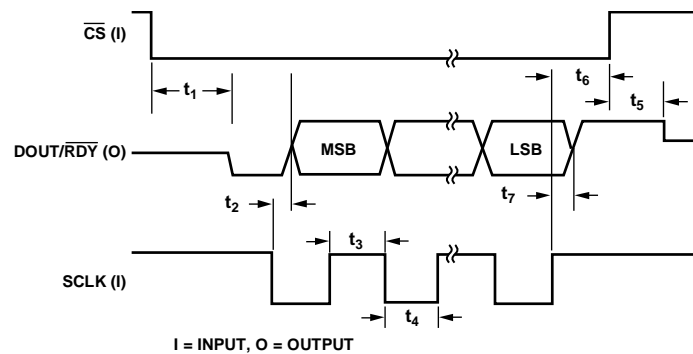


图2. 读取周期时序图

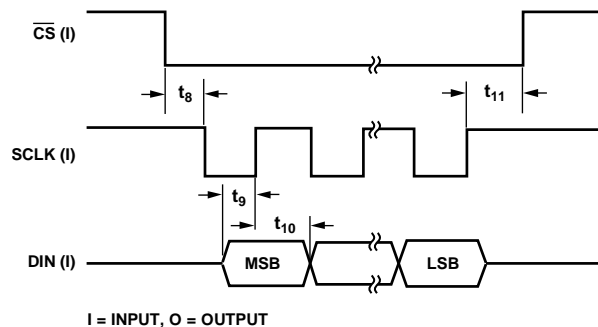


图3. 写入周期时序图

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表3.

参数	额定值
AVDD1, AVDD2至AVSS	−0.3 V至+6.5 V
AVDD1至DGND	−0.3 V至+6.5 V
IOVDD至DGND	−0.3 V至+6.5 V
IOVDD至AVSS	−0.3 V至+7.5 V
AVSS至DGND	−3.25 V至+0.3 V
模拟输入电压至AVSS	−0.3 V至AVDD1 + 0.3 V
基准输入电压至AVSS	−0.3 V至AVDD1 + 0.3 V
数字输入电压至DGND	−0.3 V至IOVDD + 0.3 V
数字输出电压至DGND	−0.3 V至IOVDD + 0.3 V
AIN[4:0]或数字输入电流	10 mA
工作温度范围	−40°C至+105°C
存储温度范围	−65°C至+150°C
最高结温	150°C
引脚焊接，回流温度	260°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 指定器件焊接在JEDEC测试板上以实现表贴封装。表4所示值基于仿真数据。

表4. 热阻

封装类型	θ_{JA}	单位
24引脚 TSSOP		
JEDEC板第1层	156	°C/W
JEDEC板第2层	87	°C/W

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

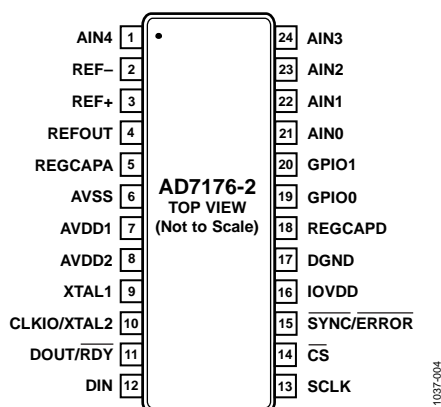


图4. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	AIN4	模拟输入4。可通过交叉点多路复用器选择。
2	REF-	基准输入负端。REF-的范围是AVSS至AVDD1 - 1 V。
3	REF+	基准输入正端。可以在REF+与REF-之间施加一个外部基准电压。REF+的范围是AVDD1至AVSS + 1 V。该器件采用1 V至AVDD1的基准电压工作。
4	REFOUT	内部基准电压源的缓冲输出。输出相对于AVSS为2.5 V。
5	REGCAPA	模拟LDO稳压器输出。利用一个1 μ F电容将此引脚去耦至AVSS。
6	AVSS	负模拟电源。此电源的范围是0 V到-2.75 V，标称设置为0 V。
7	AVDD1	模拟电源1。此电压相对于AVSS为5 V \pm 10%。
8	AVDD2	模拟电源2。此电压相对于AVSS的范围是2 V至AVDD1。
9	XTAL1	晶振的输入1。
10	CLKIO/XTAL2	时钟输入或输出(取决于ADCMODE寄存器中的CLOCKSEL位)/晶振的输入2。有四个选项可用： 内部振荡器—无输出。 内部振荡器—输出至CLKIO/XTAL2。工作在IOVDD逻辑电平。 外部时钟—输入至CLKIO/XTAL2。输入应为IOVDD逻辑电平。 外部晶振—连接在XTAL1与CLKIO/XTAL2之间。
11	DOUT/RDY	串行数据输出/数据就绪输出引脚。 <u>DOUT/RDY具有双重作用。它可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。数据字/控制字信息在SCLK下降沿置于DOUT/RDY引脚上，且在SCLK上升沿有效。当CS为高电平时，DOUT/RDY输出为三态。当CS为低电平时，DOUT/CS用作数据就绪引脚，变为低电平时表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/RDY下降沿可以用作处理器的中断，表示存在可用数据。</u>
12	DIN	ADC输入移位寄存器的串行数据输入。 <u>该移位寄存器中的数据传至ADC内的控制寄存器，通信寄存器的寄存器地址(RA)位确定适当的寄存器。数据在SCLK的上升沿逐个输入。</u>
13	SCLK	串行时钟输入。用于与ADC进行数据传输。SCLK具有施密特触发式输入，因而该接口适合光隔离应用。
14	CS	片选输入引脚。这是一个低电平有效逻辑输入，用于选择ADC。 <u>CS可以用来在串行总线上具有多个器件的系统中选择ADC。CS可以用硬连线方式置为低电平，使得ADC能以3线式模式工作，使用SCLK、DIN和DOUT与器件接口。当CS为高电平时，DOUT/RDY输出为三态。</u>

AD7176-2

引脚编号	引脚名称	描述
15	SYNC/ERROR	可以通过GPIOCON寄存器在逻辑输入与逻辑输出之间切换。使能同步输入时，此引脚可以使多个AD7176-2器件的数字滤波器和模拟调制器同步。禁用同步输入时，此引脚可以用于三种模式之一： 低电平有效错误输入模式：此模式将STATUS寄存器的ADC_ERROR位设为1。 低电平有效、开漏错误输出模式：STATUS寄存器错误位映射到ERROR引脚。多个器件的ERROR引脚可以连接到同一个上拉电阻，这样就可以观察到任何器件的错误。 通用输出模式：此引脚的状态由GPIOCON寄存器的ERR_DAT位控制。此引脚参考IOVDD与DGND之间的电平，而不是GPIO引脚使用的AVDD1和AVSS电平。这种模式下，该引脚有一个有源上拉电阻。
16	IOVDD	数字I/O电源电压。IOVDD电压范围是2 V至5 V。IOVDD与AVDD2无关。例如，当AVDD2为5 V时，IOVDD可采用3 V工作，反之亦然。如果AVSS设置为-2.5 V，则IOVDD上的电压不得超过3.6 V。
17	DGND	数字地。
18	REGCAPD	数字LDO稳压器输出。此引脚仅用于去耦。利用一个1 μF电容将此引脚去耦至DGND。
19	GPIO0	通用输入/输出。此引脚参考AVDD1与AVSS之间的电平。
20	GPIO1	通用输入/输出。此引脚参考AVDD1与AVSS之间的电平。
21	AIN0	模拟输入0。可通过交叉点多路复用器选择。
22	AIN1	模拟输入1。可通过交叉点多路复用器选择。
23	AIN2	模拟输入2。可通过交叉点多路复用器选择。
24	AIN3	模拟输入3。可通过交叉点多路复用器选择。

典型性能参数

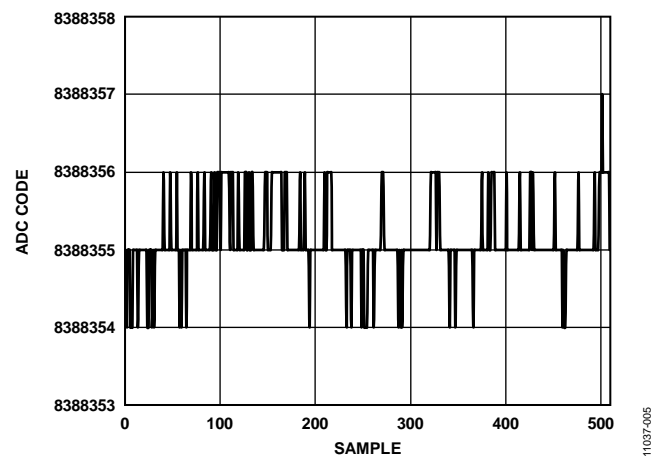


图5. 噪声($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 5\text{ V}$, 输出数据速率 = 5 SPS)

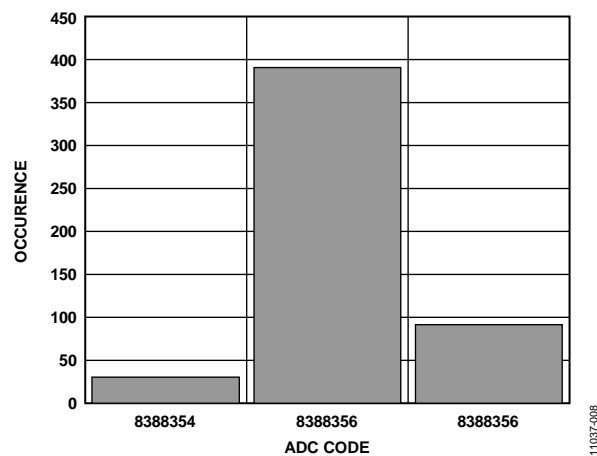


图8. 噪声分布直方图($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 5\text{ V}$, 输出数据速率 = 5 SPS)

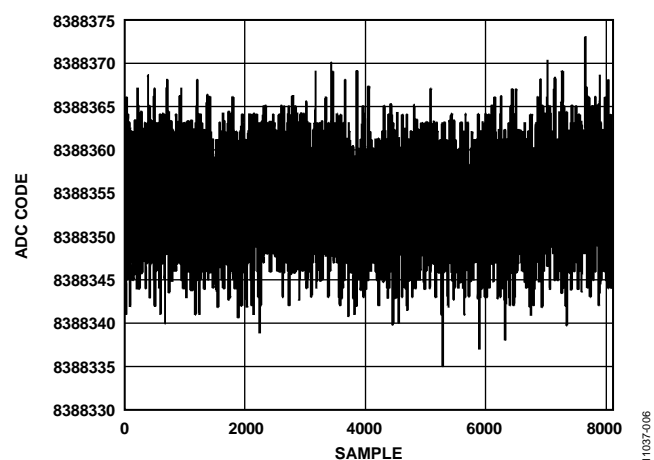


图6. 噪声($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 5\text{ V}$, 输出数据速率 = 10 kSPS)

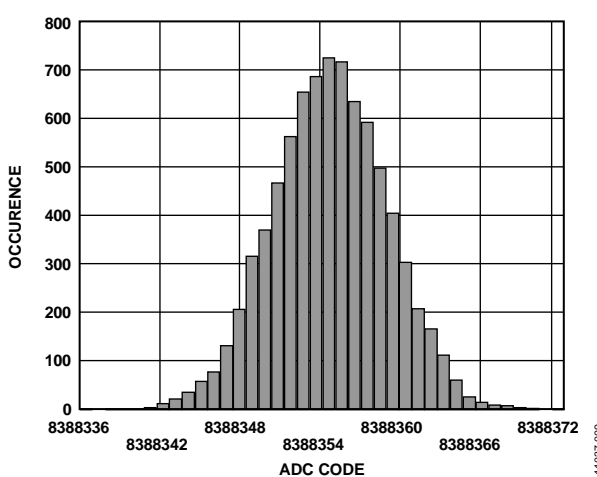


图9. 噪声分布直方图($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $V_{REF} = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, 输出数据速率 = 10 kSPS)

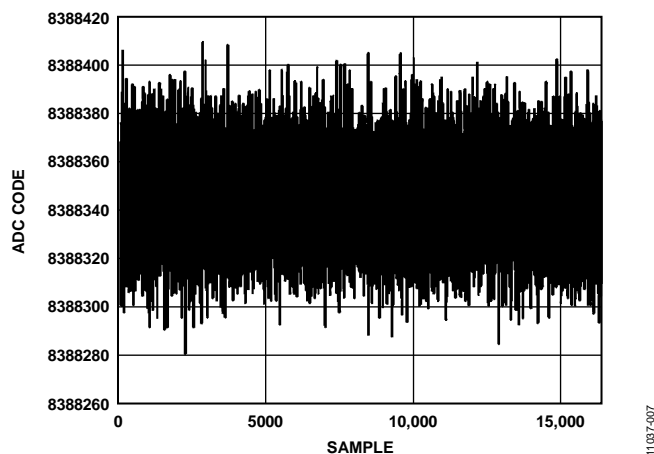


图7. 噪声($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 5\text{ V}$, 输出数据速率 = 250 kSPS)

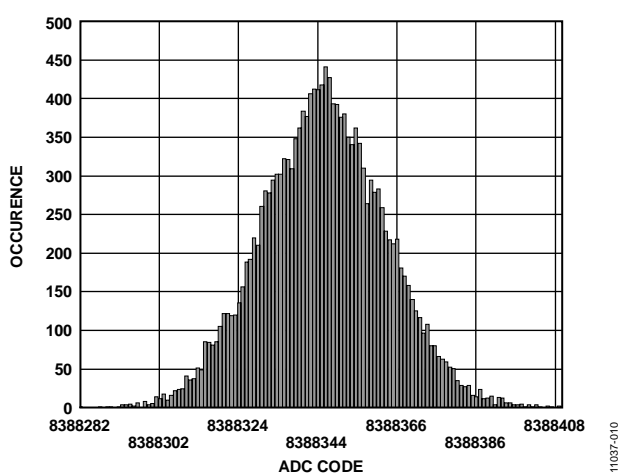


图10. 噪声分布直方图($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $V_{REF} = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, 输出数据速率 = 250 kSPS)

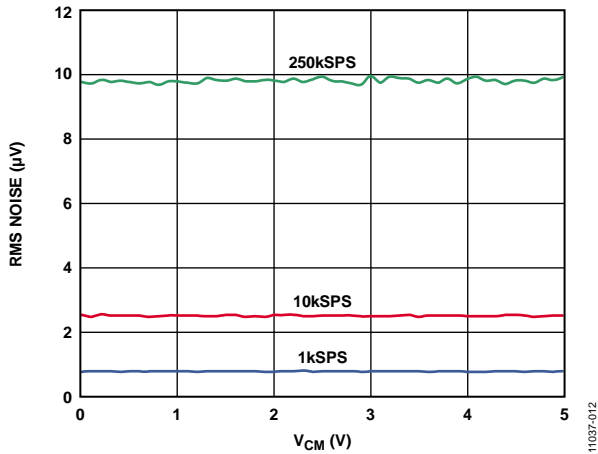


图11. 噪声与共模输入电压的关系
($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$)

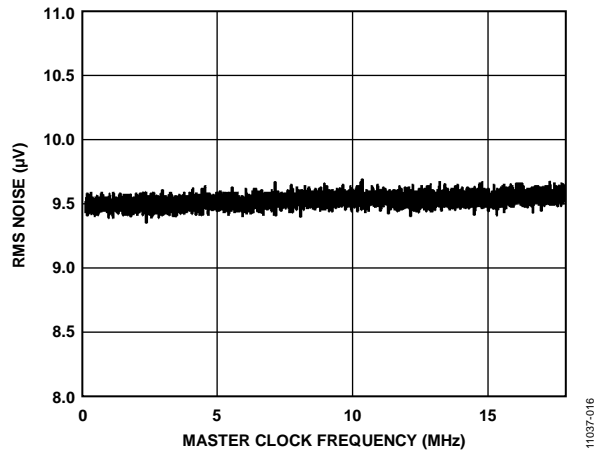


图12. 噪声与主时钟的关系
($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$)

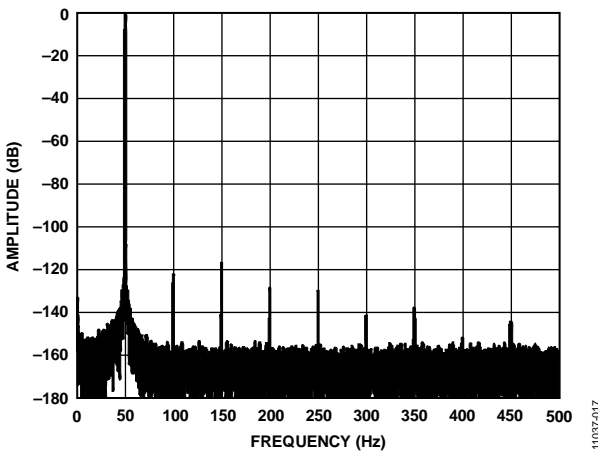


图13. 50 Hz输入音, -0.5 dBFS输入FFT
($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, 输出数据速率 = 1 kSPS)

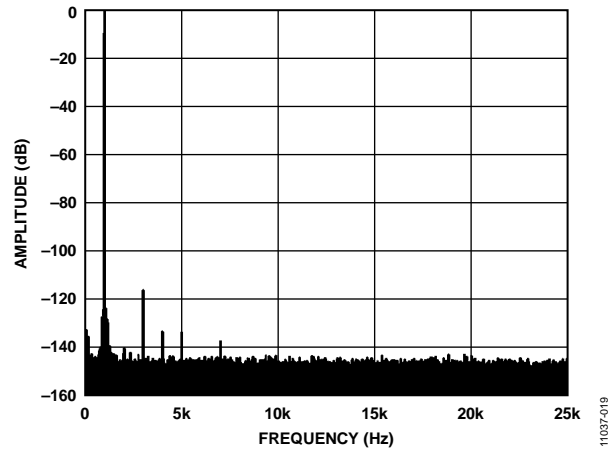


图14. 1 kHz输入音, -0.5 dBFS输入FFT
($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, 输出数据速率 = 50 kSPS)

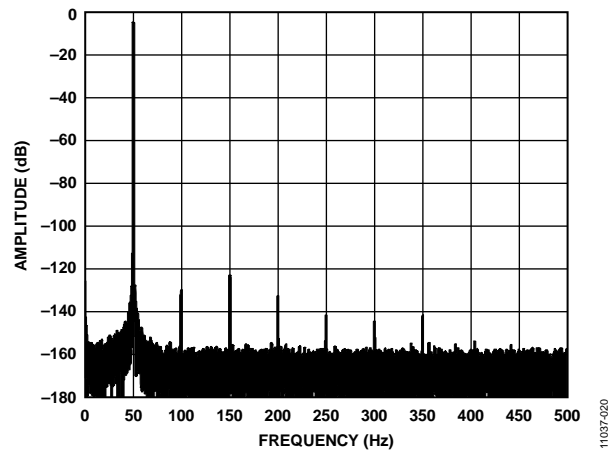


图15. 50 Hz输入音, -6 dBFS输入FFT
($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, 输出数据速率 = 1 kSPS)

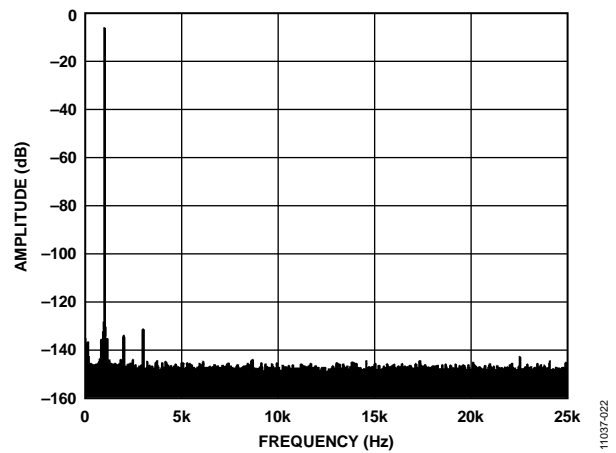


图16. 1 kHz输入音, -6 dBFS输入FFT
($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$, $V_{REF} = 2.5\text{ V}$, 输出数据速率 = 50 kSPS)

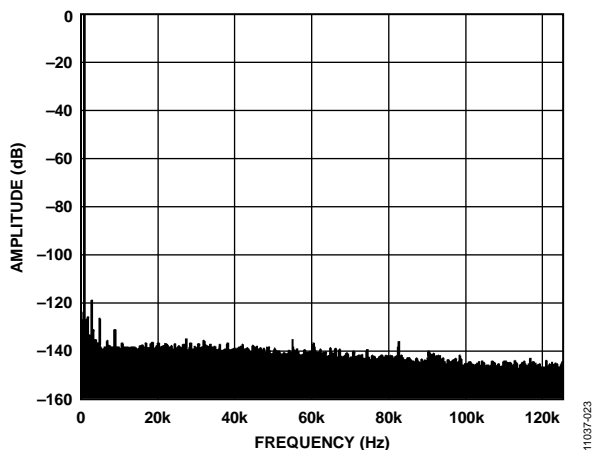


图17. 1 kHz输入音, -0.5 dBFS输入FFT
(AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V,
 $V_{REF} = 2.5$ V, 输出数据速率 = 250 kSPS)

11037-033

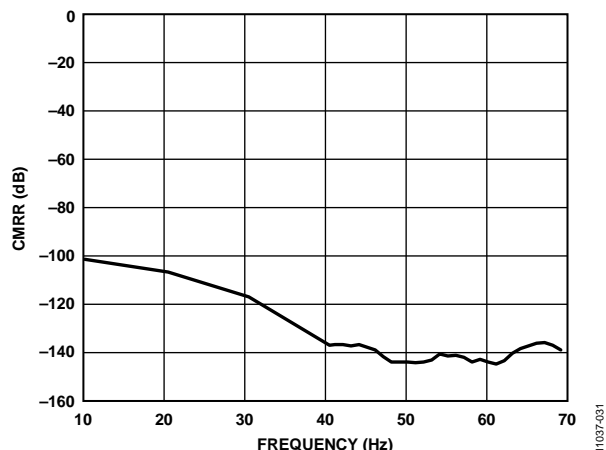


图20. 共模抑制比(10 Hz至70 Hz)
(AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V, 20 SPS增强滤波器)

11037-031

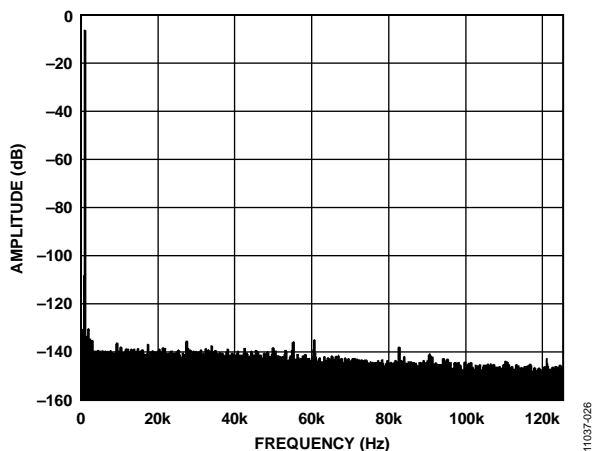


图18. 1 kHz输入音, -6 dBFS输入FFT
(AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V,
 $V_{REF} = 2.5$ V, 输出数据速率 = 250 kSPS)

11037-026

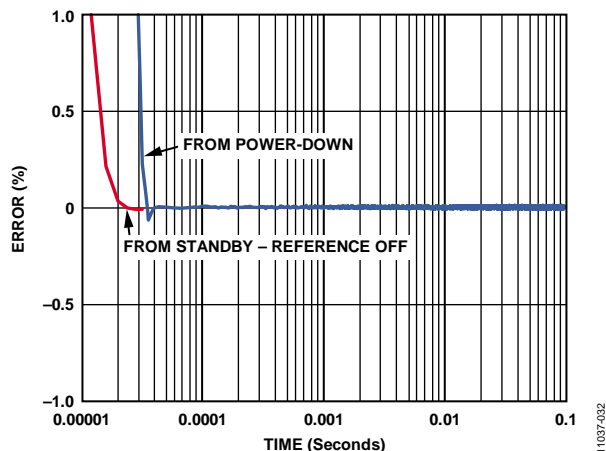


图21. 内部基准电压建立时间
(AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V)

11037-032

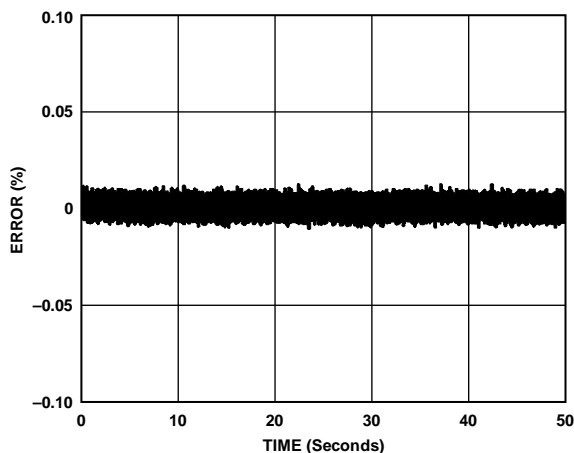


图19. 内部基准电压建立时间(延长)
(AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V)

11037-030

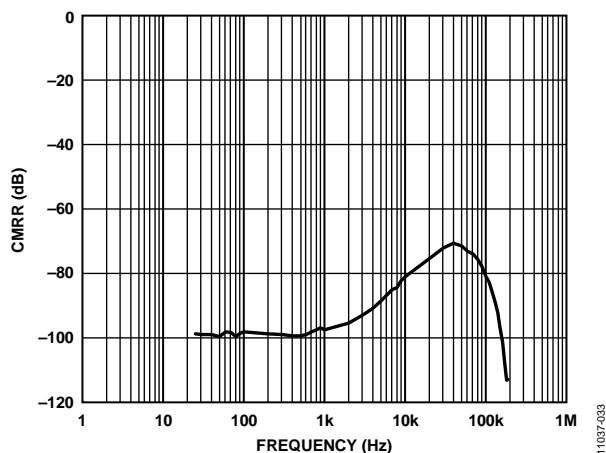


图22. 共模抑制比与频率的关系
(AVDD1 = 5 V, AVDD2 = 5 V, IOVDD = 3.3 V,
输出数据速率 = 250 kSPS)

11037-033

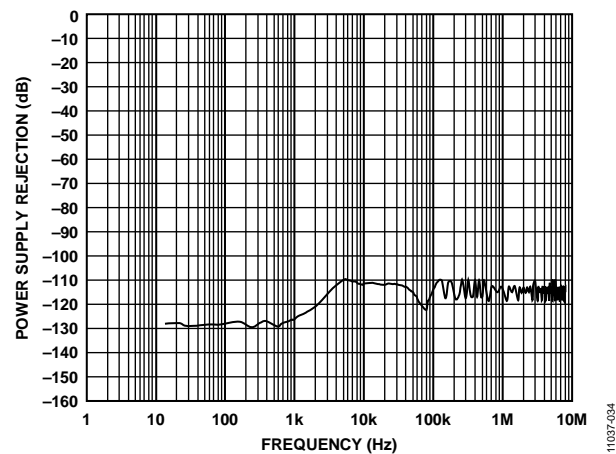


图23. 电源抑制比与频率的关系
($AVDD1 = 5\text{ V}$, $AVDD2 = 5\text{ V}$, $IOVDD = 3.3\text{ V}$)

噪声性能和分辨率

图6显示AD7176-2在不同输出数据速率和滤波器下的均方根噪声及无噪声(峰峰值)分辨率。所提供的数据是针对双极性输入范围以及采用5 V外部基准电压源而言。

这些数据是在单个通道上连续转换ADC时，差分输入电压为0 V产生的典型值。必须注意，峰峰值分辨率是根据峰峰值噪声计算得出。峰峰值分辨率表示无闪烁码的分辨率。

表6. 均方根噪声和峰峰值分辨率与输出数据速率的关系¹

输出数据速率(SPS)	Sinc5 + Sinc1滤波器(默认)		Sinc3滤波器	
	噪声(μV rms)	峰峰值分辨率(位)	噪声(μV rms)	峰峰值分辨率(位)
250,000	9.7	17.2	220	12.8
62,500	5.4	18.2	5.1	18.3
10,000	2.5	19	1.8	19.8
1000	0.82	20.8	0.62	21
60	0.46	21.4	0.32	22
50	0.42	21.7	0.31	22
16.7	0.42	21.7	0.29	22.4
5	0.32	22.2	0.29	22.4

¹ 仅限选定速率，1000样本。

开始使用

AD7176-2是一款快速建立、高分辨率、多路复用ADC，配置灵活。

- 两路全差分或四路单端模拟输入。
- 交叉点多路复用器可选择任何模拟输入组合作为要转换的输入信号，并将其路由至调制器正或负输入。
- 支持全差分输入、单端(相对于任何模拟输入)和伪差分配置。
- 各通道独立配置能力——最多可以定义四种不同的设置。可以将不同的设置映射到各通道。每种设置均支持用户配置：
 - 增益和失调校正
 - 滤波器类型
 - 输出数据速率
 - 基准电压源选择(内部/外部)

AD7176-2内置一个2.5 V精密低漂移(2 ppm/°C)带隙基准电压源。可以选择此基准电压源用于ADC转换，从而减少外部元件数量。另外，该基准电压源也可以通过REFOUT引脚输出，用作外部电路的低噪声偏置电压。例子之一是利用REFOUT信号设置外部驱动放大器的输入共模电压。

AD7176-2内置两个独立的线性稳压器模块，分别用于模拟和数字电路。模拟LDO将AVDD2电源调节到2 V，以便为ADC内核供电。用户可以将AVDD1和AVDD2电源连在一起，此时连接最简单。如果系统中已经有一个2 V至5 V的干净模拟电源轨，用户也可以选择将此电源连接到AVDD2输入，从而降低功耗。

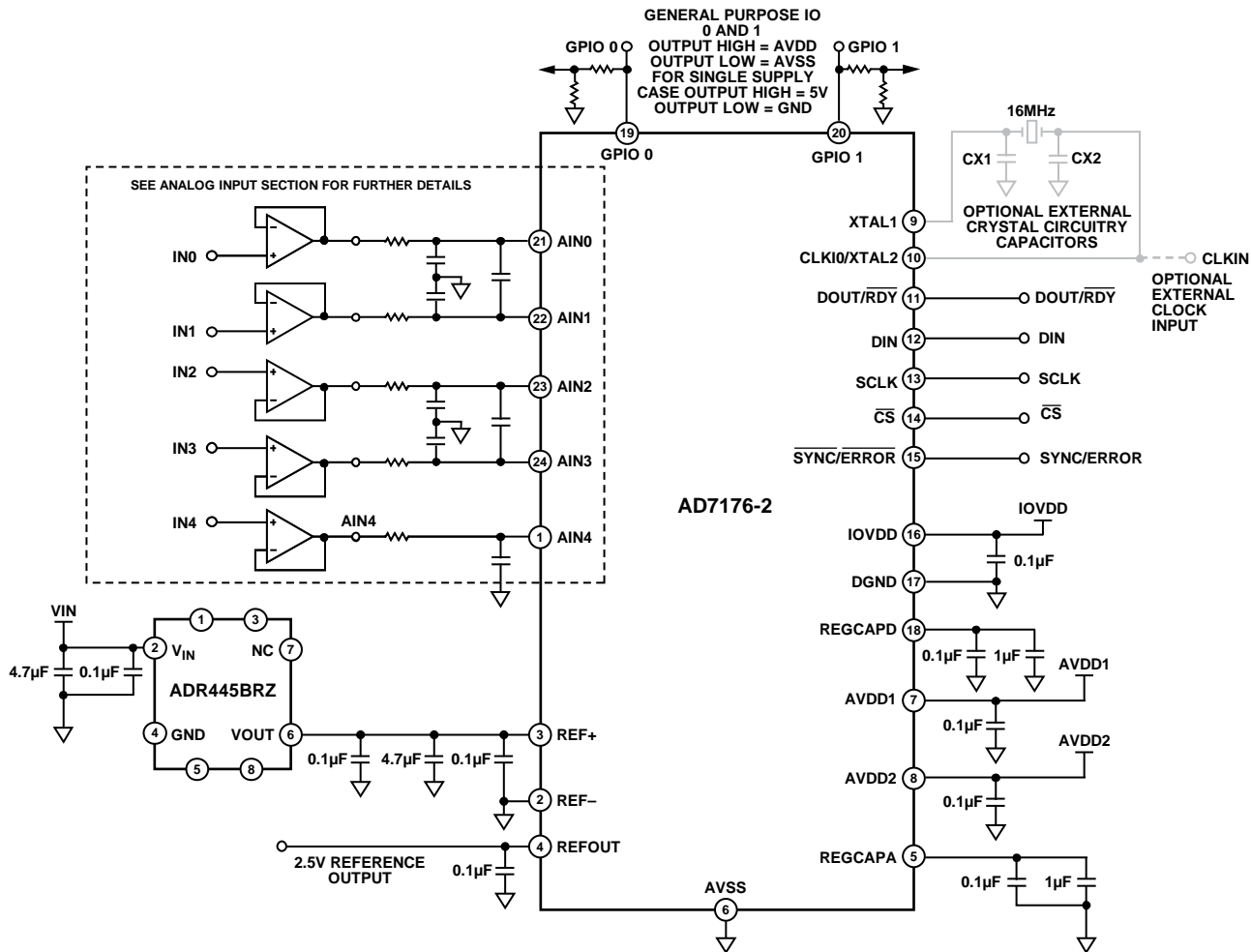


图24. 典型连接图

用于数字IOVDD电源的线性稳压器执行类似的功能，将施加于IOVDD引脚的输入电压调节至2 V，用于内部数字滤波。串行接口信号始终采用该引脚上出现的IOVDD电源工作。这意味着，如果将3.3 V电压施加于IOVDD引脚，接口逻辑输入和输出将以此电平工作。

AD7176-2适合类型广泛的应用，可提供高分辨率和高精度。应用情形举例如下：

- 利用内部多路复用器快速扫描模拟输入通道。
- 利用外部多路复用器快速扫描模拟输入通道。
- 在通道扫描或每通道ADC应用中以较低速度实现高分辨率。
- 每通道单ADC：快速低延迟输出支持在外部微控制器、DSP或FPGA中进行进一步的应用特定滤波。

电源

AD7176-2有三个独立的电源引脚：AVDD1、AVDD2和IOVDD。

AVDD1为前端电路供电，包括交叉点多路复用器。AVDD1以AVSS为基准， $AVDD1 - AVSS = 5\text{ V}$ 。它可以是5 V单电源或 $\pm 2.5\text{ V}$ 分离电源。分离电源供电支持真双极性输入。采用分离电源时，必须注意绝对最大额定值(参见“绝对最大额定值”部分)。

AVDD2为内部1.8 V模拟LDO稳压器供电。此稳压器为ADC内核供电。AVDD2以AVSS为基准， $AVDD2 - AVSS$ 可以在5 V到2 V之间。

IOVDD为内部1.8 V数字LDO稳压器供电。此稳压器为ADC的数字逻辑供电。IOVDD设置ADC的SPI接口的电平。IOVDD以DGND为基准， $IOVDD - DGND$ 可以在5 V到2 V之间。

数字通信

AD7176-2有一个3线或4线SPI接口，它与QSPI™、MICROWIRE®和DSP兼容。该接口以SPI模式3工作，在 $\overline{\text{CS}}$ 接低电平时也能工作。在SPI模式3下，SCLK空闲时为高电平，SCLK的下降沿为驱动沿，上升沿为采样沿。这意味着，数据在下降/驱动沿输出，在上升/采样沿输入。

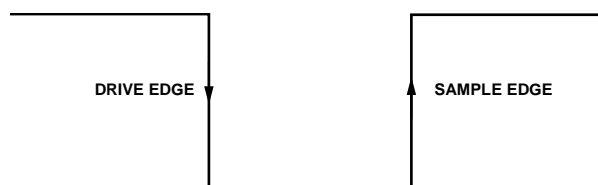


图25. SPI模式3 SCLK沿

访问ADC寄存器映射

通信寄存器控制对ADC全部寄存器映射的访问。此寄存器是一个8位只写寄存器。上电或复位后，数字接口默认处于期待对通信寄存器执行一个写操作的状态，因此，所有通信均从写入通信寄存器开始。

写入通信寄存器的数据决定要访问哪一个寄存器，以及下一个操作是读操作还是写操作。寄存器地址位(RA[5:0])决定读或写操作的目标寄存器。

当对选定寄存器的读或写操作完成后，接口返回到默认状态，即期待对通信寄存器执行写操作的状态。

当接口同步丧失时，执行一个占用至少64个串行时钟周期的写操作，并使DIN处于高电平状态，可以复位整个器件，使ADC返回默认状态，包括寄存器内容。另外，如果 $\overline{\text{CS}}$ 配合数字接口使用，让 $\overline{\text{CS}}$ 变为高电平就能将数字接口设为默认状态，并中止当前的任何操作。

图26和图27显示了对一个寄存器的读写操作：首先将一个8位命令写入通信寄存器，然后是针对该寄存器的数据。

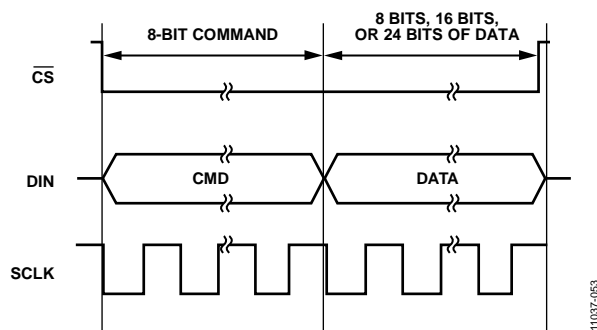


图26. 写入一个寄存器(8位命令和寄存器地址，随后是8位、16位或24位数据；数据长度取决于所选的寄存器)

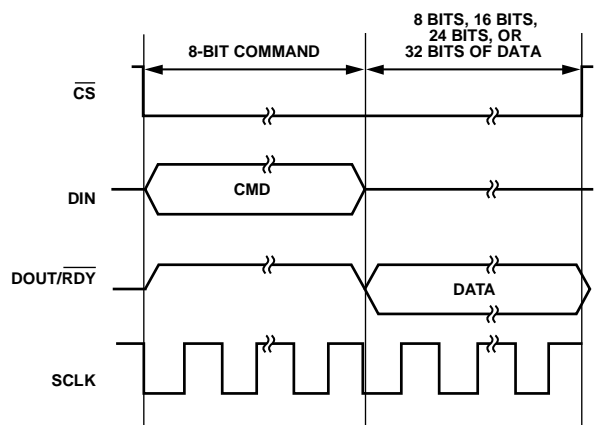


图27. 读取一个寄存器(8位命令和寄存器地址，随后是8位、16位或24位数据；DOUT上的数据长度取决于所选的寄存器)

AD7176-2

要验证器件通信是否正常，建议读取ID寄存器。ID寄存器是一个只读寄存器，对于AD7176-2，其值为0x0C9X。通信寄存器和ID寄存器详情参见表7和表8。

表7. 通信寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	COMMS	[7:0]	$\overline{\text{WEN}}$	R/ $\overline{\text{W}}$	RA						0x00	W

表8. ID寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x07	ID	[15:8]	ID[15:8]								0x0C9X	R
		[7:0]	ID[7:0]									

配置概述

图28是配置流程的概述，分为以下三个部分：

- ADC和接口模式配置(图28中标记为A)
- ADC设置(图28中标记为B)
- 通道映射设置(图28中标记为C)

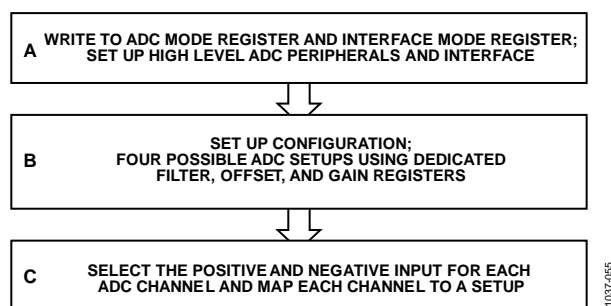


图28. 配置流程

AD7176-2

ADC和接口模式配置

ADC模式寄存器和接口模式寄存器(参见图28中的模块A)配置AD7176-2使用的核心外设以及数字接口的模式。

ADC模式寄存器

ADC模式寄存器主要用于设置ADC的转换模式：连续转换或单次转换。用户也可以选择待机和掉电模式以及任何校准模式。此外，该寄存器还包含时钟源选择位和内部基准电压源使能位。基准电压源选择位包含在设置配置寄存器中(更多信息参见“ADC设置”部分)。

接口模式寄存器

接口模式寄存器用于配置数字接口的工作模式。利用此寄存器，用户可以控制数据字长度、CRC使能、数据+状态读取和连续读取模式。

以上两个寄存器的详情参见表9和表10。更多信息请参阅“数字接口”部分。

表9. ADC模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		DELAY			0x8000	RW
		[7:0]	保留	MODE			CLOCKSEL		保留			

表10. 接口模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x02	IFMODE	[15:8]	保留			ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留	CRC_EN		保留	WL16		

ADC设置

AD7176-2有四种独立的设置(参见图28中的模块B)。每种设置包括以下四个寄存器：

- 设置配置寄存器
- 滤波器配置寄存器
- 失调寄存器
- 增益寄存器

例如，设置0包括设置配置0、滤波器配置0、失调0和增益0。设置可从通道映射寄存器选择，详见“通道映射配置”部分。各通道可以指定不同的设置，而每种设置都有自己的滤波器、失调和增益寄存器，因此各通道均可全面配置。表11至表14显示了设置0相关的四个寄存器。

设置配置寄存器

设置配置寄存器允许用户通过选择双极性或单极性来选择ADC的输出编码。在双极性模式下，ADC支持负差分输入电压，输出编码为偏移二进制。在单极性模式下，ADC仅支持正差分电压，输出编码为标准二进制。无论何种情况，输入电压必须在电源电压范围内。利用此寄存器，用户还可以选择基准电压源。有三个选项可用：内部2.5 V基准电压源、连接在REF+与REF-引脚之间的外部基准电压源或AVDD1 – AVSS。

表11. 设置配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	保留			0x1020	RW	
		[7:0]	保留		REF_SEL0		保留					

表12. 滤波器配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	保留			ENHFILTEN0	ENHFILTO			0x0000	RW
		[7:0]	保留	ORDER0		ODR0						

表13. 失调0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x30	OFFSET0	[23:16]	OFFSET0[23:16]								0x800000	RW
		[15:8]	OFFSET0[15:8]									
		[7:0]	OFFSET0[7:0]									

表14. 增益0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x38	GAIN0	[23:16]	GAIN0[23:16]								0x5XXXX0	RW
		[15:8]	GAIN0[15:8]									
		[7:0]	GAIN0[7:0]									

滤波器配置寄存器

滤波器配置寄存器用于选择ADC调制器的输出端使用何种数字滤波器。滤波器的阶数和输出数据速率通过设置此寄存器的各位来选择。更多信息请参阅“数字滤波器”部分。

失调寄存器

失调寄存器保存ADC的失调校准系数。失调寄存器的上电复位值为0x800000。失调寄存器为24位读/写寄存器。如果用户启动内部或系统零电平校准，或者写入失调寄存器，该上电复位值将被自动覆盖。

增益寄存器

增益寄存器是一个24位寄存器，用来保存ADC的增益校准系数。增益寄存器是读/写寄存器。这些寄存器在上电时加载工厂校准系数。因此，每个器件具有不同的默认系数。如果用户启动系统满量程校准，或者写入增益寄存器，该默认值将被自动覆盖。有关校准的更多信息请参见“工作模式”部分。

AD7176-2

通道映射配置

AD7176-2有四个独立的通道(参见图28中的模块C)。用户可以选择各通道使用四种设置中的哪一种，从而实现各通道独立配置。

通道映射寄存器

通道映射寄存器用于选择5个模拟输入引脚中的哪一个用作该通道的正模拟输入或负模拟输入。此寄存器还包含通

道使能/禁用位和设置选择位，用于选择该通道使用四种可用设置中的哪一种。

当AD7176-2以连续转换模式工作并使能多个通道时，通道序列器按顺序遍历各使能的通道，从通道映射0到通道映射3。如果一个通道被禁用，序列器将跳过该通道。通道0的通道映射寄存器详情如表15所示。

表15. 通道映射寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x10	CHMAP0	[15:8]	CH_EN0	保留	SETUP_SEL0		保留		AINPOS0[4:3]		0x8001	RW
		[7:0]	AINPOS0[2:0]			AINNEG0						

电路描述

模拟输入

AD7176-2有5个模拟输入引脚：AIN0、AIN1、AIN2、AIN3和AIN4。各引脚均连接到内部交叉点多路复用器。交叉点多路复用器使能这些引脚以配置为伪差分或全差分输入对。AD7176-2最多可以有四个有效通道。使能多个通道时，各通道按顺序处理。多路复用器的输出直接连到ADC的开关电容输入。简化的模拟输入电路如图29所示。

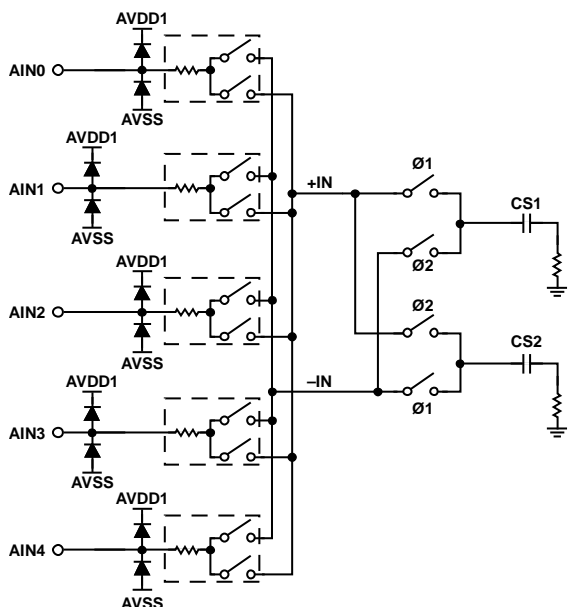


图29. 简化模拟输入电路

CS1和CS2为皮法级电容。此容值是采样电容和寄生电容的组合。AD7176-2的平均输入电流以 $48 \mu\text{A/V}$ 的速率随差分输入电压而线性变化。每个模拟输入均必须进行外部缓冲，从而提供差分输入幅度的变化输入电流，并使开关电容输入稳定以实现精确采样。

“驱动放大器”部分讨论了为此目的而推荐使用的放大器。

全差分输入

AIN0至AIN4模拟输入均连接到交叉点多路复用器，因此可以使用信号的任意组合来构成模拟输入对。用户可以选择两路全差分输入或四路伪差分输入。

若有两个全差分输入路径连接到AD7176-2，考虑到引脚彼此的相对位置，建议将AIN0/AIN1用作一个差分输入对，并将AIN2/AIN3用作第二个差分输入对。所有模拟输入都应去耦至AVSS。

伪差分输入

用户也可以选择测量四路不同的单端模拟输入。这种情况下，各路模拟输入被转换为待测量的单端输入与设定的模拟输入公共引脚之间的差值。由于存在一个交叉点多路复用器，因此用户可以将任意模拟输入设置为公共引脚。例如，将AIN4引脚连接到AVSS或REFOUT电压（即 $\text{AVSS} + 2.5 \text{ V}$ ），并在配置交叉点多路复用器时选择此输入。在伪差分输入下使用AD7176-2时，INL性能会降低。

驱动放大器

要驱动模拟输入开关电容，需要一个外部放大器。针对AD7176-2的推荐放大器有三款，详见“驱动放大器”部分。每种放大器都能采用5 V单电压轨供电。

AD7176-2

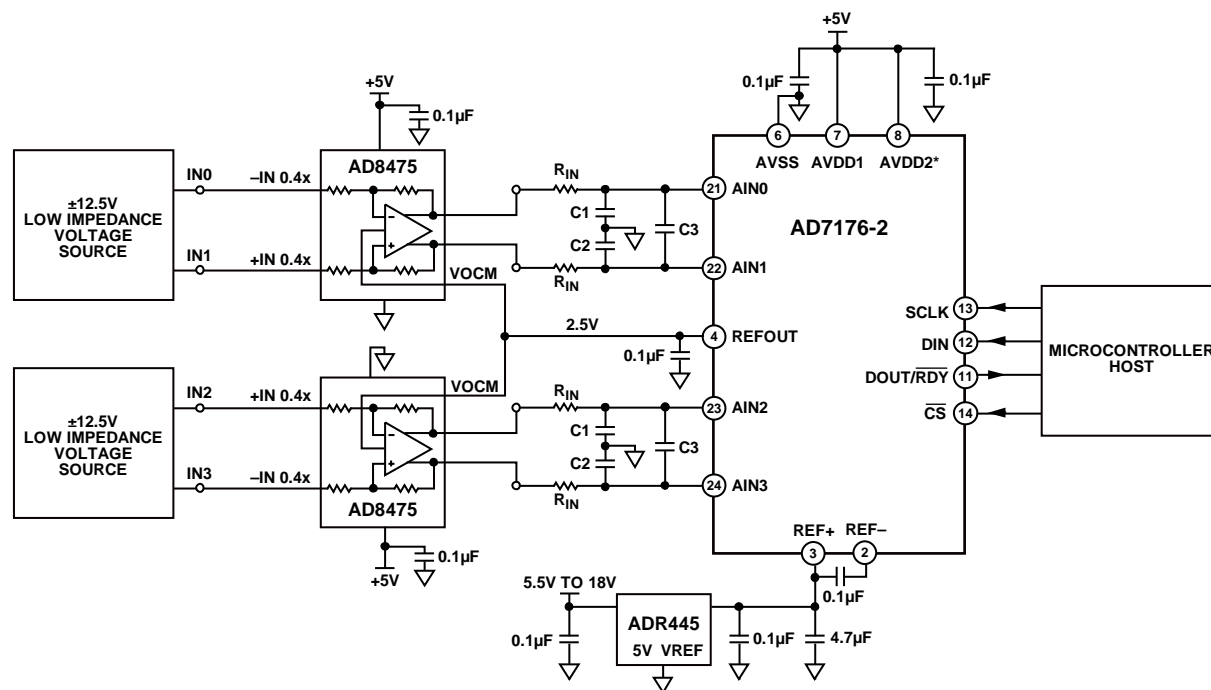
AD8475

AD8475具有一个 $0.8\times$ 或 $0.4\times$ 衰减输入级(利用集成精密电阻),支持使用 $\pm 10\text{ V}$ 范围、 5 V 单电源供电和 3 mA 功耗的输入。**AD8475**执行单端到差分转换,可轻松设置共模输出,并以差分输入驱动**AD7176-2**。

图30显示了AD7176-2的典型连接，两个AD8475放大器衰减两路差分输入，然后驱动AD7176-2输入。AD8475的共模输出通过以下方式设置：将AD7176-2的内部缓冲2.5 V基准电压连接到AD8475的VOCM引脚。从AD8475到AD7176-2

的输出为全差分式，共模电压为固定值2.5 V。[AD8475](#)放大器的输出连接到一个RC网络。如图30所示，该RC网络包括： $R_{IN} = 10\ \Omega$ ； $C1$ 、 $C2 = 270\text{ pF}$ ； $C3 = 680\text{ pF}$ 。RC电路的作用是提供[AD7176-2](#)开关采样电容所需的动态电荷，同时隔离放大器输出，防止其受到动态开关电容输入的反冲影响。图30中的[AD8475](#)配置显示一个全差分信号源，增益为 $0.4\times$ 。

AD8475也可以设置为将单端信号转换为全差分输入。-IN_{0.4}×输入接地，单端输入施加于+IN_{0.4}×输入。



*AVDD2 CAN BE SUPPLIED BY VOLTAGES RANGING FROM 2V TO 5.5V.

图30. AD8475驱动AD7176-2的两路差分输入

AD8656

AD8656是一款低噪声、双通道精密CMOS放大器。AD8656允许用户将目标信号直接连接到高阻抗、低噪声、低失调放大器的输入，从而驱动AD7176-2开关电容输入。AD8656可以采用5 V单电源供电。与ADR445等5 V外部基准电压源和AD7176-2一起使用时，AD8656的输出摆幅可达ADC输入范围的-1 dBFS(相当于 ± 4.45 V的差分输入)。

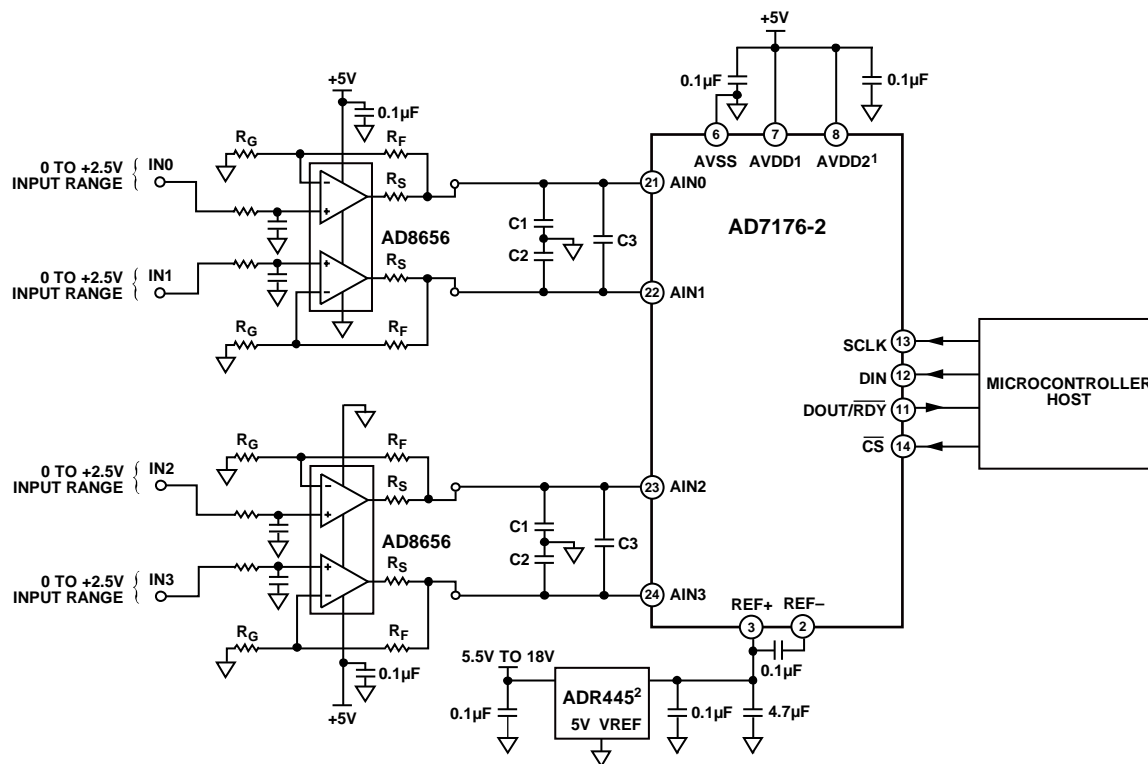
使用AD8656的一个简单配置是将放大器连接在增益大于1的配置中。AD7176-2的每个模拟输入都有自己的放大器。因此，用户可以将全差分输入或单端输入连接到AD7176-2。图31所示的例子配置为两路全差分输入，连接到AIN0/AIN1对和AIN2/AIN3对。

放大器的高阻抗输入允许用户利用适当的无源滤波器RC组合对输入进行频带限制。所用的配置增益由电阻 R_G 和 R_F 设

置。为提高精度， R_G 和 R_F 应使用精密电阻。设置 $R_G = R_F = 1\text{ k}\Omega$ 时，电路增益为2。 R_G 和 R_F 电阻的匹配度直接影响电路的增益误差。这些电阻的漂移和匹配度影响电路的增益误差漂移。一个 $10\text{ }\Omega$ 源电阻(R_S)放在反馈电阻(R_F)与放大器输出端之间。此电阻的作用是隔离放大器，使其不受ADC输入的反冲影响；它不直接影响电路的增益误差。

各放大器对的输出直接连到去耦和差分电容网络，然后连接到AD7176-2模拟输入。图31所示的电容网络包括： C_1 、 $C_2 = 270\text{ pF}$ ； $C_3 = 680\text{ pF}$ 。电容网络的作用是提供AD7176-2开关采样电容所需的动态电荷。

图31中的电路示例要求每个放大器包括两个精密增益电阻(R_G 和 R_F)。这些电阻的值、精度和匹配度应根据应用要求选择。



¹AVDD2 CAN BE SUPPLIED BY VOLTAGES RANGING FROM 2V TO 5.5V.

²USING ADR444 (4.096V REFERENCE) IN PLACE OF THE ADR445 AS SHOWN IN THIS EXAMPLE WOULD ALLOW THE ENTIRE CCT TO BE OPERATED FROM A SINGLE 5V SUPPLY RAIL.

图31. 双通道AD8656放大器驱动AD7176-2

11037-158

AD7176-2

ADA4940

ADA4940-1/ADA4940-2是AD7176-2的另一个驱动选择。它是低噪声、低失真、全差分放大器，功耗极低(1.25 mA静态电流)。AD7176-2 REFOUT引脚可以连接到ADA4940-1/ADA4940-2，从而将其模输出设置为2.5 V。此方案要求利用外部电阻设置放大器的增益。

AD7176-2基准电压源

AD7176-2允许用户将外部基准电压源施加于器件的REF+和REF-引脚，或者使用内部2.5 V、低噪声、低漂移基准电压源。适当设置配置寄存器的REF_SELx位(位[5:4])，可以选择要使用的基准电压源。配置寄存器0寄存器的结构如表16所示。上电时，AD7176-2默认使用内部2.5 V基准电压源。

外部基准电压源

AD7176-2具有全差分基准电压输入，通过REF+和REF-引脚施加。推荐使用标准低噪声、低漂移基准电压源，如ADR445、ADR444和ADR441等。外部基准电压源应施加

于AD7176-2基准电压引脚，如图32所示。任何外部基准电压源的输出应去耦至AVSS。如图32所示，ADR445输出通过其输出端的0.1 μ F电容去耦以确保稳定。输出然后连接到一个4.7 μ F电容，它用作ADC所需动态电荷的储存库，REF+输入端连接一个0.1 μ F去耦电容。此电容应尽可能靠近REF+和REF-引脚。REF-引脚直接连到AVSS电位。AD7176-2上电时，内部基准电压源默认使能，并通过REFOUT引脚输出。当使用外部基准电压源而非内部基准电压源为AD7176-2供电时，必须注意REFOUT引脚的输出。如果应用的其它地方不使用内部基准电压源，应确保不要将REFOUT引脚硬线连接到AVSS，否则会在上电时消耗大量电流。上电时，如果不使用内部基准电压源，应写入ADC模式寄存器，禁用内部基准电压源。这是由ADC模式寄存器的REF_EN位(位15)控制，如表17所示。

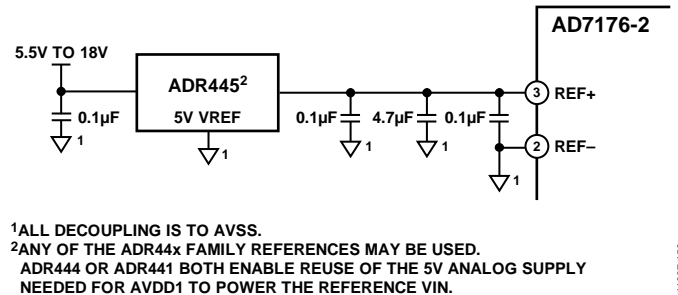


图32. 外部基准电压源ADR445连接到AD7176-2基准电压引脚

表16. 设置配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	保留				0x1020	RW
		[7:0]	保留		REF_SEL0		保留					

表17. ADC模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		DELAY			0x8000	RW
		[7:0]	保留	MODE			CLOCKSEL		保留			

内部基准电压源

AD7176-2内置低噪声、低漂移基准电压源。内部基准电压源提供2.5 V输出。ADC模式寄存器的REF_EN位设置为1后，内部基准电压源通过REFOUT引脚输出，并通过一个0.1 μ F电容去耦至AVSS。AD7176-2的内部基准电压源在上电时默认使能，并且被选择为ADC的基准电压源。

REFOUT信号经过缓冲后输出到该引脚。该信号可以在电路外部使用，用作外部放大器配置的共模源，如“驱动放大器”部分的图30所示，其中REFOUT引脚提供AD8475放大器的VOCM输入。

AD7176-2时钟源

AD7176-2需要16 MHz的主时钟。AD7176-2可以从以下三个来源获得采样时钟：

- 内部振荡器
- 外部晶振
- 外部时钟源

数据手册中列出的所有输出数据速率均与16 MHz的主时钟速率相关。例如，使用外部源提供的较低时钟频率时，所有列出的数据速率将按比例缩小。为实现额定数据速率，尤其是支持50 Hz和60 Hz抑制的速率，应当使用16 MHz时钟。主时钟的来源通过设置ADC模式寄存器的CLOCKSEL位(位[3:2])来选择，如表17所示。AD7176-2上电和复位时默认使用内部振荡器工作。

内部振荡器

内部振荡器工作频率为16 MHz，可以用作ADC主时钟。它是AD7176-2的默认时钟源，额定精度为 $\pm 2.5\%$ 。

有一个选项允许内部时钟振荡器通过AD7176-2 CLKIO/XTAL2引脚输出。时钟输出被驱动到IOVDD逻辑电平。由于输出驱动器会产生干扰，使用此选项可能影响AD7176-2的直流

性能。性能受影响的程度取决于IOVDD电压。IOVDD电压越高，则驱动器的逻辑输出摆幅越宽，因而性能受到的影响越大。如果IOSTRENGTH位设置为较高的IOVDD电平，则影响更严重(更多信息参见表25)。

外部晶振

如果需要更高精度、更低抖动的时钟源，AD7176-2允许使用外部晶振来产生主时钟。晶振连接到XTAL1和XTAL2引脚。建议使用的晶振之一是Epson-Toyocom的16 MHz、10 ppm、9 pF晶振FA-20H，它采用表贴封装。如图33所示，从连接晶振的走线到XTAL1和XTAL2引脚之间可以插入两个电容。利用这些电容可以调谐电路。应将这些电容连接到DGND引脚。这些电容的值取决于晶振与XTAL1和XTAL2引脚之间的走线连接的长度和容值。因此，PCB布局 and 采用的晶振不同，这些电容的值也不同。这就需要对电路进行经验测试。

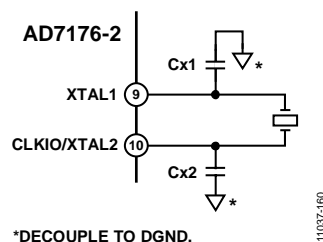


图33. 外部晶振连接

外部时钟

AD7176-2也可以使用外部提供的时钟。在使用外部时钟的系统中，外部时钟连接到CLKIO引脚。这种配置中，CLKIO引脚接受外部提供的时钟，并将其路由至调制器。此时钟输入的逻辑电平由施加于IOVDD引脚的电压定义。

数字滤波器

AD7176-2有三个灵活的滤波器选项，支持对噪声、建立时间和抑制性能进行优化。

- Sinc5 + Sinc1滤波器
- Sinc3滤波器
- 增强型50 Hz和60 Hz抑制滤波器

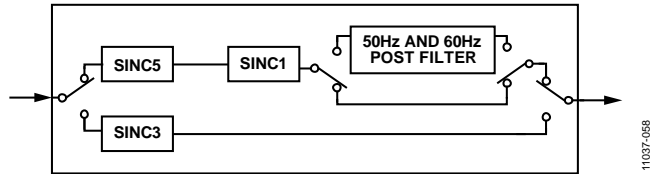


图34. 数字滤波器功能框图

滤波器和输出数据速率是通过设置选定设置的滤波器配置寄存器的相应位来配置。更多信息参见“寄存器详解”部分。

SINC5 + SINC1滤波器

Sinc5 + Sinc1滤波器主要用于快速切换多路复用应用，在10 kSPS和更低的输出数据速率时，可实现单周期建立。Sinc5模块输出固定在250 kSPS的最大速率，Sinc1模块的输出数据

速率可变，从而控制最终ADC输出数据速率。图35显示Sinc5 + Sinc1滤波器在50 SPS输出数据速率时的频域响应。Sinc5 + Sinc1滤波器随频率的滚降速度很慢，陷波频率很窄。

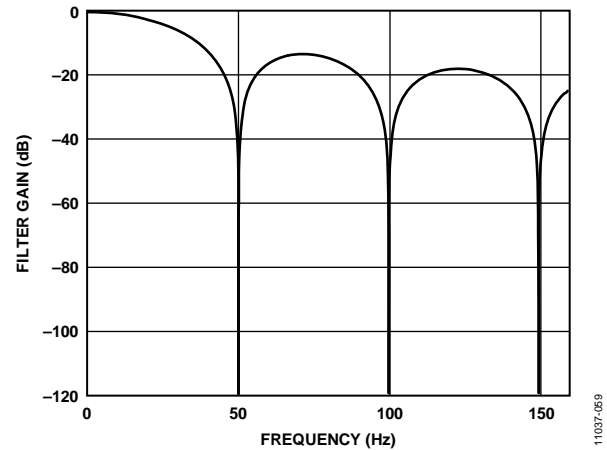


图35. Sinc5 + Sinc1滤波器在50 SPS ODR时的响应

Sinc5 + Sinc1滤波器的输出数据速率以及相应的建立时间和均方根噪声如表18所示。

表18. AD7176-2输出数据速率(ODR)、噪声、建立时间(t_{SETTLE})和抑制——使用Sinc5 + Sinc1滤波器

输出数据速率 (SPS) ¹	建立时间 ¹	开关速率(Hz) ¹	陷波频率(Hz)	抑制 ± 1 Hz (dB) ²	噪声($\mu\text{V rms}$)	采用5 V基准电压时的峰峰值分辨率(位)
250,000	20 μs	50,000	250,000		9.7	17.25
125,000	24 μs	41,667	125,000		7.4	17.6
62,500	32 μs	31,250	62,500		5.4	18.1
50,000	36 μs	27,778	50,000		5	18.2
31,250	48 μs	20,833	31,250		4	18.5
25,000	56 μs	17,857	25,000		3.6	18.7
15,625	80 μs	12,500	15,625		2.7	19.1
10,000	100 μs	10,000	11,905		2.5	19.2
5000	200 μs	5000	5435		1.8	19.7
2500	400 μs	2500	2604		1.3	20.2
1000	1.0 ms	1000	1016		0.82	20.8
500	2.0 ms	500.0	504		0.63	21.2
400	2.516 ms	400	400.00		0.62	21.2
200	5.0 ms	200.0	200.64		0.47	21.6
100	10.0 ms	100.0	100.16		0.46	21.7
60	16.68 ms	460	60.00	34 dB (60 Hz)	0.43	21.7
50	20.016 ms	50	50.00	34 dB (50 Hz)	0.42	21.8
20	50.0 ms	20.00	20.01		0.42	21.8
16.667	60.02 ms	16.66	16.67		0.42	21.8
10	100.02 ms	10.00	10.00	34 dB(50 Hz和60 Hz)	0.38	22
5	200.02 ms	5.00	5.00		0.32	22.1

¹ 建立时间已舍入到最接近的微秒数。这反映在输出数据速率和开关速率中。开关速率 = $1 \div t_{\text{SETTLE}}$ 。

² 主时钟 = 160 MHz。

SINC3滤波器

Sinc3滤波器在较低速率时可实现最佳单通道噪声性能，因此最适合单通道应用。Sinc3滤波器的建立时间始终等于

$$t_{\text{SETTLE}} = 3/\text{输出数据速率}$$

图36显示Sinc3滤波器的频域滤波器响应。Sinc3滤波器具有良好的随频率滚降性能，并具有宽陷波频率，可实现良好的陷波频率抑制。

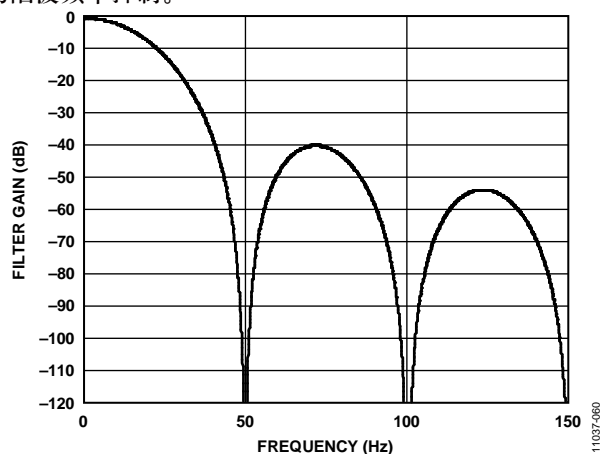


图36. Sinc3滤波器响应

Sinc3滤波器的输出数据速率以及相应的建立时间和均方根噪声如表19所示。

通过设置滤波器配置寄存器的SINC3_MAP位，可以精密调整Sinc3滤波器的输出数据速率。如果此位置1，滤波器寄存器的映射将变为直接对Sinc3滤波器的抽取率进行编程。所有其它选项均无效。单通道的数据速率可通过下式计算：

$$\text{Output Data Rate} = \frac{f_{\text{MOD}}}{32 \times \text{FILTCONx}[14:0]}$$

其中：

f_{MOD} 为调制器速率，等于8 MHz。

FILTCONx[14:0]是滤波器配置寄存器的内容，不包括MSB。

例如，通过将FILTCONx[14:0]位设置为5000以使能SINC3_MAP，可以实现50 SPS的输出数据速率。

单周期建立

AD7176-2可以配置如下：将ADC模式寄存器的SING_CYC位设置为1，以便仅输出完全建立的数据，从而将ADC有效置于单周期建立模式。此模式将输出数据速率降至与选定输出数据速率的ADC建立时间相等的水平，从而实现单周期建立。Sinc5 + Sinc1滤波器在10 kSPS及更低的输出数据速率时，此位不起作用。

图37显示了禁用此模式且选择Sinc3滤波器时模拟输入上的阶跃。阶跃变化后，输出达到最终稳定值至少需要三个周期。

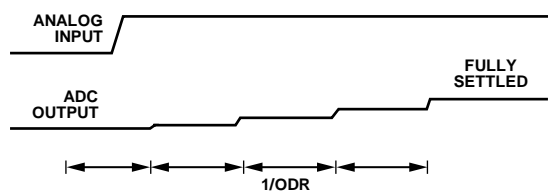


图37. 无单周期建立的阶跃输入

图38显示了单周期建立使能时模拟输入上的相同阶跃。输出完全建立至少需要一个周期。输出数据速率现在降为与选定输出数据速率的建立时间相当的水平。

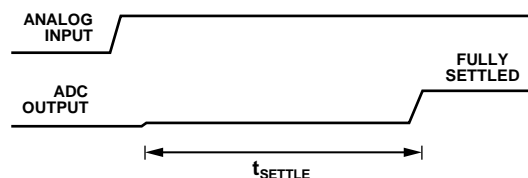


图38. 带单周期建立的阶跃输入

AD7176-2

表19. AD7176-2输出数据速率(ODR)、噪声、建立时间(t_{SETTLE})和抑制——使用Sinc3滤波器

输出数据速率 (SPS) ¹	建立时间 (ms) ¹	开关速率(Hz) ¹	陷波频率(Hz)	抑制 ± 1 Hz (dB) ²	噪声(μV rms)	采用5 V基准电压时的 峰峰值分辨率(位)
250,000	0.012	83,333	250,000		220	12.8
125,000	0.024	41,667	125,000		27	15.9
62,500	0.048	20,833	62,500		5.1	18.3
50,000	0.060	16,667	50,000		4.3	18.5
31,250	0.096	10,417	31,250		3.2	18.8
25,000	0.120	8333	25,000		2.7	19
15,625	0.192	5208	15,625		2.3	19.4
10,000	0.300	3333	10,000		1.8	19.8
5000	0.600	1667	5000		1.3	20.2
2500	1.200	833	2500		0.91	20.5
1000	3.000	333.3	1000		0.62	21
500	6.000	166.7	500		0.49	21.4
400	7.500	133.3	400		0.45	21.7
200	15.000	66.7	200		0.37	22
100	30.000	33.3	100		0.33	22
59.94	50.004	20.00	59.94	100 (60 Hz)	0.32	22
49.96	60.000	16.67	49.96	100 (50 Hz)	0.31	22
20	150.000	6.67	20	100 (50 Hz和60 Hz)	0.31	22
16.667	180.000	5.56	16.667		0.29	22.4
10	300.000	3.33	10		0.29	22.4
5	600.000	1.67	5		0.29	22.4

¹ 建立时间已舍入到最接近的微秒数。这反映在输出数据速率和开关速率中。开关速率 = $1 \div t_{\text{SETTLE}}$ 。

² 主时钟 = 160 MHz。

增强型50 HZ和60 HZ抑制滤波器

增强型滤波器旨在提供50 Hz和60 Hz同时抑制，并且允许用户用建立时间交换抑制性能。这些滤波器可以最高27.27 SPS的速率工作，或者可以抑制最高90 dB的50 Hz ± 1 Hz和60 Hz ± 1 Hz干扰。这些滤波器是通过对Sinc5 + Sinc1滤波器输出

进行后滤波实现的。因此，使用增强型滤波器时，必须选择Sinc5 + Sinc1滤波器。表20显示了输出数据速率及相应的建立时间、抑制性能和均方根噪声。图39至图46显示了增强型滤波器的频域响应。

表20. AD7176-2输出数据速率(ODR)、噪声、建立时间(t_{SETTLE})和抑制——使用增强型滤波器

输出数据速率 (SPS)	建立时间(ms)	50 Hz ± 1 Hz和60 Hz ± 1 Hz 同时抑制(dB) ¹	噪声(μV rms)	峰峰值分辨率(位)	注释
27.27	36.67	47	0.45	21.7	参见图39和图40
25	40.0	62	0.45	21.7	参见图41和图42
20	50.0	85	0.44	22	参见图43和图44
16.667	60.0	90	0.44	22	参见图45和图46

¹ 主时钟 = 160 MHz。

AD7176-2

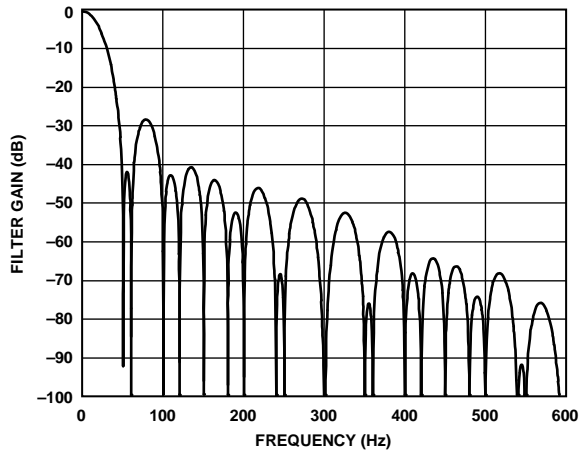


图39. DC至600 Hz, 27.27 SPS ODR, 36.67 ms建立时间

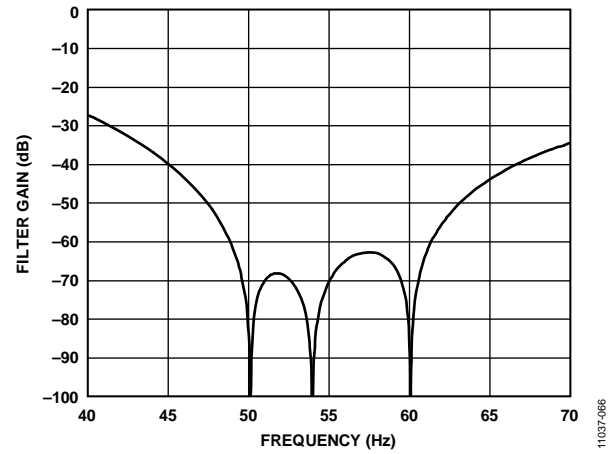


图42. 放大40 Hz至70 Hz, 25 SPS ODR, 40 ms建立时间

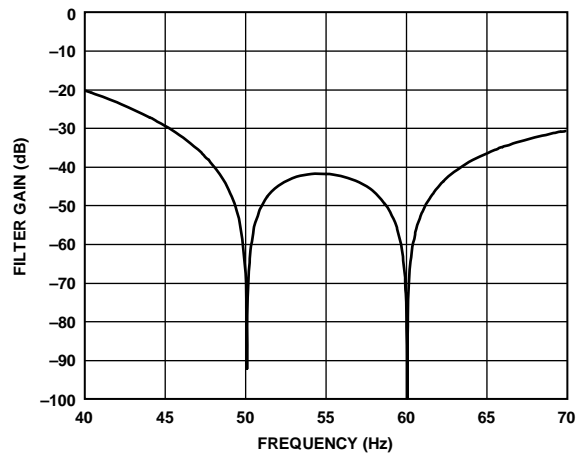


图40. 放大40 Hz至70 Hz, 27.27 SPS ODR, 36.67 ms建立时间

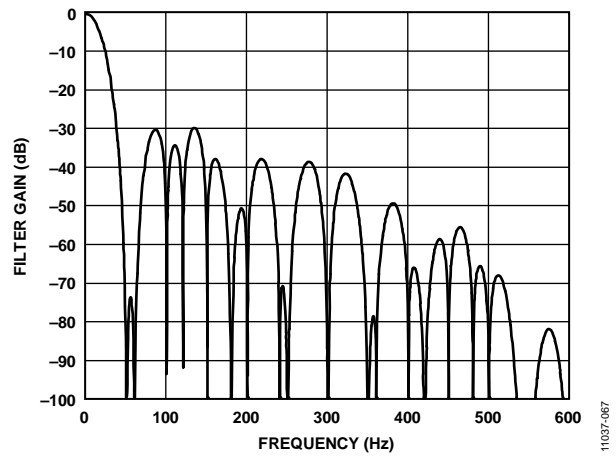


图43. DC至600 Hz, 20 SPS ODR, 50 ms建立时间

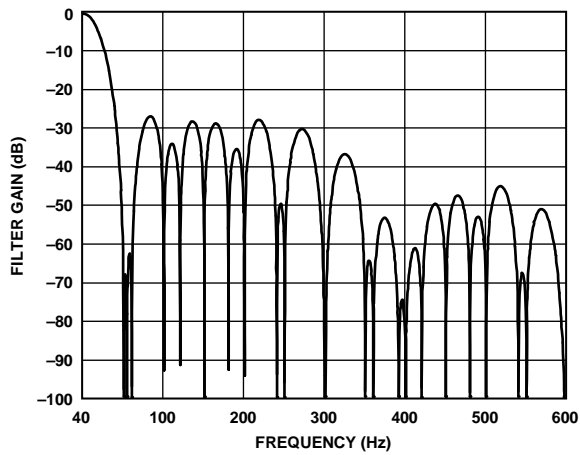


图41. DC至600 Hz, 25 SPS ODR, 40 ms建立时间

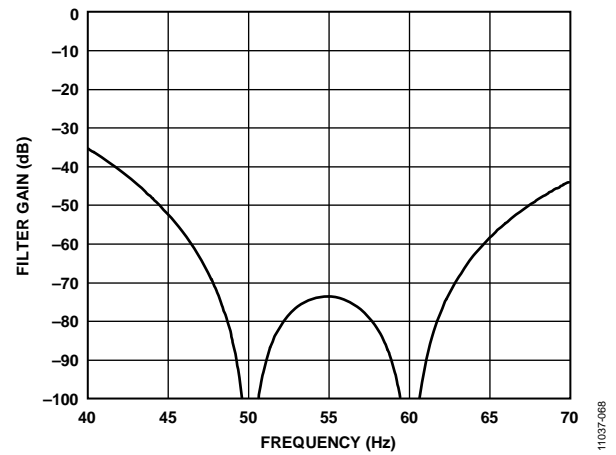


图44. 放大40 Hz至70 Hz, 20 SPS ODR, 50 ms建立时间

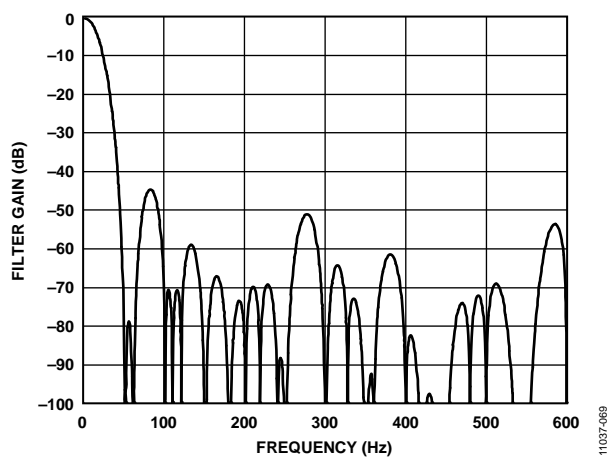


图45. DC至600 Hz, 16.667 SPS ODR, 60 ms建立时间

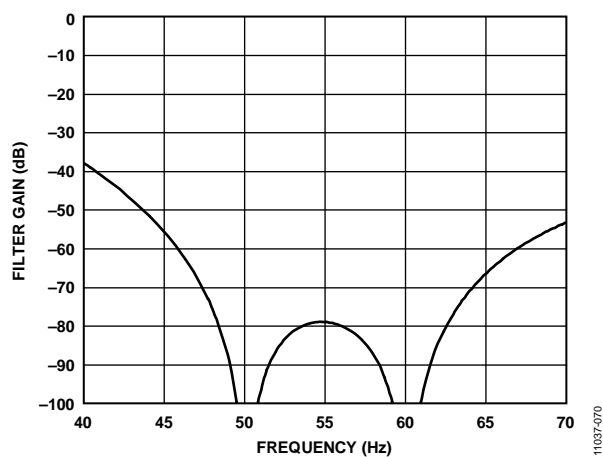


图46. 放大40 Hz至70 Hz, 16.667 SPS ODR, 60 ms建立时间

工作模式

连续转换模式

连续转换模式是上电后的默认转换模式。AD7176-2连续进行转换，每次完成转换后，状态寄存器中的RDY位变为低电平。如果CS为低电平，则完成一次转换时，DOUT/RDY线路也会变为低电平。若要读取转换结果，用户需要写入通信寄存器，指示下一操作为读取数据寄存器。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如需要，用户可以多次读取该寄存器。但用户必须确保在下一次转换完成前，不访问数据寄存器；否则，新的转换结果将丢失。

如果使能了多个通道，ADC将自动遍历各使能通道，在每个通道上执行一次转换。所有通道均转换完毕后，又从第一个通道开始。使能的通道按从低到高的顺序转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时，DOUT/RDY引脚均会变为低电平。然后，用户可以读取转换结果，同时ADC转换下一个使能通道。

如果接口模式寄存器中的DATA_STAT位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器指示对应的转换通道。

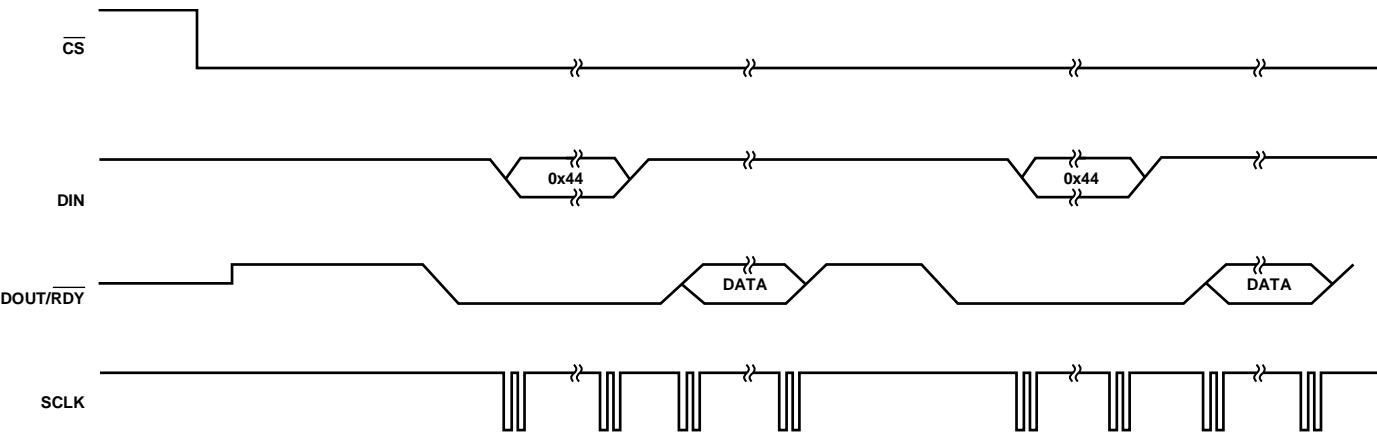


图47. 连续转换模式

11037-071

连续读取模式

在连续读取模式下，读取ADC数据之前不需要写入通信寄存器，只需在DOUT/RDY变为低电平(表示转换结束)后提供所需数量的SCLK。读取转换结果后，DOUT/RDY返回到高电平，直到获得下一转换结果为止。这种模式下，数据只能被读取一次，而且用户必须确保在下一转换完成前读取数据字。如果在下一转换完成之前，用户尚未读取转换结果，或者为AD7176-2提供的串行时钟数不足以完成对转换字的读取，则当下一转换完成时，串行输出寄存器将复位，新转换结果将置于输出串行寄存器中。要使用连续读取模式，ADC必须配置为连续转换模式。

要使用连续读取模式，应将接口模式寄存器的CONTREAD位设置为1。此位设置为1时，唯一可能的串行接口操作是读取数据寄存器。要退出连续读取模式，应在RDY为低电平时发出一个伪读取ADC数据寄存器命令(0x44)，或者应用软件复位，即在CS = 0且DIN = 1时提供64个SCLK，从而复位ADC及所有寄存器内容。接口被置于连续读取模式后只能识别这些命令。在连续读取模式下，DIN应保持低电平，直到有指令将要写入该器件。

使能多个ADC通道时，各通道轮流输出，如果接口模式寄存器的DATA_STAT置1，数据将为附加状态位。状态寄存器指示对应的转换通道。

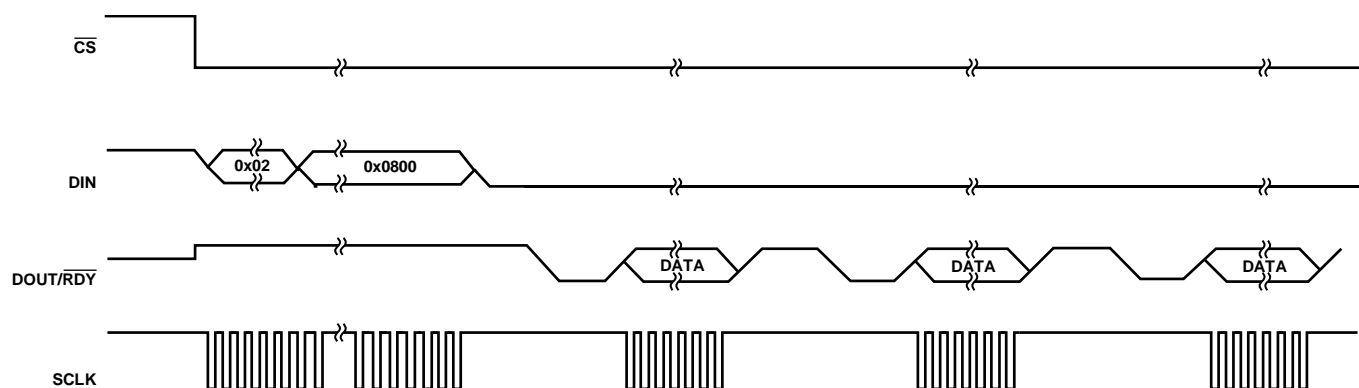


图48. 连续读取模式

11037-072

单次转换模式

在单次转换模式下，AD7176-2执行一次转换，完成转换后即被置于待机模式。DOUT/RDY变为低电平表示转换完成。从数据寄存器中读取数据字后，DOUT/RDY变为高电平。如果需要，即使DOUT/RDY已变为高电平，也可以多次读取数据寄存器。

如果使能了多个通道，ADC将自动遍历各使能通道，并在各通道上执行转换。开始转换后，DOUT/RDY变为高电平并保持该状态，直到获得有效转换结果且CS变为低电平。

一旦获得转换结果，DOUT/RDY便会变为低电平。然后，ADC选择下一个通道并开始转换。在执行下一转换过程中，用户可以读取当前的转换结果。下一转换完成后，数据寄存器便会更新；因此，用户读取转换结果的时间有限。ADC在各选择通道上均完成一次转换后，便会返回待机模式。

如果接口模式寄存器中的DATA_STAT位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器的两个LSB表示对应的转换通道。

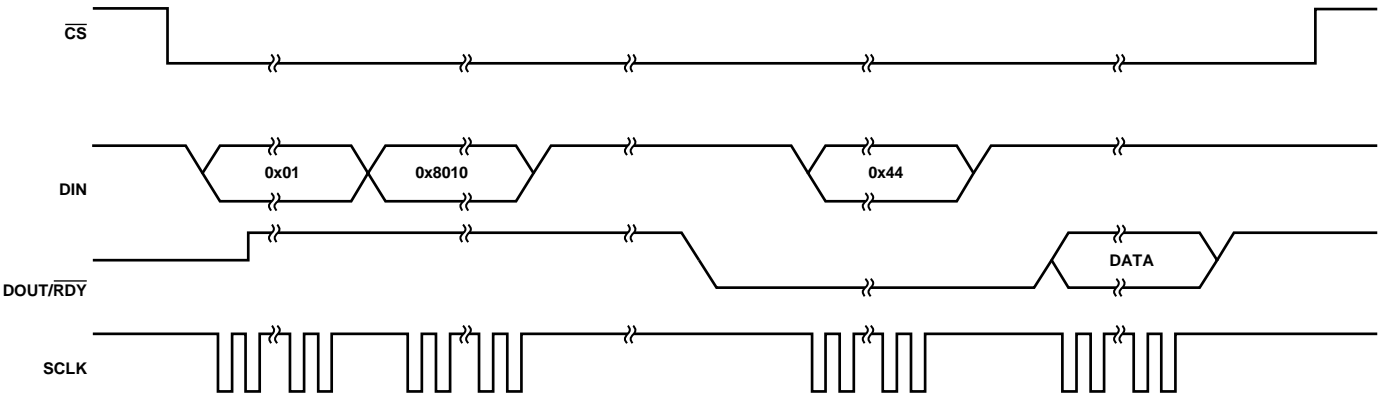


图49. 单次转换模式

11037-073

待机和掉电模式

在待机模式下，大部分模块被关断。LDO仍然有效，因此寄存器保持其内容不变。内部基准电压源若使能则仍然有效，晶振若被选择则仍然有效。要在待机模式下关断基准电压源，应将ADC模式寄存器的REF_EN位设置为0。要在待机模式下关断时钟，应将ADC模式寄存器的CLOCKSEL位设置为00(内部振荡器)。

在掉电模式下，所有模块均被关断，包括LDO。所有寄存器丧失其内容，GPIO输出被置于三态。要防止意外进入掉电模式，必须首先将ADC置于待机模式。退出掉电模式需要在 $\overline{CS} = 0$ 且 $DIN = 1$ 时提供64个SCLK，即执行串行接口复位。发出后续串行接口命令以允许LDO上电之前，建议延迟500 μs 。

校准模式

AD7176-2提供三种校准模式，可用在单设置基础上消除失调和增益误差：

- 内部零电平校准模式
- 系统零电平校准模式
- 系统满量程校准模式

校准期间只能有一个通道有效。每次转换完成后，ADC转换结果需利用ADC校准寄存器进行调整，然后写入数据寄存器。

失调寄存器的默认值是0x800000，增益寄存器的标称值是0x555555。ADC增益的校准范围是 $0.4 \times V_{REF}$ 至 $1.05 \times V_{REF}$ 。计算使用下面的公式。在单极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} \times 2$$

在双极性模式下，理想关系(即不考虑ADC增益误差和失调误差)如下：

$$Data = \left[\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - (Offset - 0x800000) \right] \times \frac{Gain}{0x400000} + 0x800000$$

为启动校准，应将适当的值写入ADC模式寄存器的MODE位。启动校准后，DOUT/RDY引脚和状态寄存器的RDY位变为高电平。校准完成时，相应失调或增益寄存器的内容会更新，状态寄存器的RDY位复位，DOUT/RDY引脚返回到低电平(如果 \overline{CS} 为低电平)，并且AD7176-2返回待机模式。

内部失调校准期间，所选正模拟输入引脚断开，调制器的两个输入均内部连接到所选的负模拟输入引脚。因此，必须确保所选负模拟输入引脚上的电压不超过允许的限值，并且没有过大的噪声和干扰。

然而，系统校准则要求在启动校准模式之前，将系统零电平(失调)和系统满量程(增益)电压施加于ADC引脚，这样可以消除ADC的外部误差。

从操作上来看，校准就像另一次ADC转换。如果需要，失调校准必须总是在满量程校准之前执行。对系统软件进行设置，以监视状态寄存器的RDY位或DOUT/RDY引脚，进而通过一个轮询序列或中断驱动的例行程序确定校准何时结束。所有校准所需的时间等于选定滤波器的建立时间加上要完成的输出数据速率。

内部失调校准、系统零电平校准和系统满量程校准可以在任何输出数据速率下执行。使用较低的输出数据速率可以获得更高的校准精度，并且对所有输出数据速率都是精确的。如果一个通道的基准电压源发生改变，则该通道需要重新校准。

失调误差典型值为 $\pm 40 \mu V$ ，失调校准将失调误差降至噪声水平。增益误差在环境温度下经过出厂校准。校准之后，增益误差典型值为 $\pm 0.001\%$ 。

用户可以访问AD7176-2的片内校准寄存器，通过微处理器读取器件的校准系数，以及写入自己的校准系数。读写失调和增益寄存器可以在内部或自校准以外的任意时间执行。

数字接口

AD7176-2的可编程功能通过SPI串行接口执行。AD7176-2的串行接口包含四个信号： \overline{CS} 、DIN、SCLK和DOUT/RDY。DIN线路用于将数据传输至片内寄存器中，DOUT/RDY则用于从片内寄存器中获取数据。SCLK是器件的串行时钟输入，所有数据传输(无论是DIN上还是DOUT/RDY上)均与SCLK信号相关。

DOUT/RDY引脚也可用作数据就绪信号；当数据寄存器中有新数据字可用时，如果 \overline{CS} 为低电平，则该线路变为低电平。对数据寄存器的读操作完成时，该引脚复位为高电平。数据寄存器更新之前，DOUT/RDY线路也会变为高电平，以提示此时不应读取器件，确保寄存器正在更新时不会发生数据读取操作。 \overline{CS} 用于选择器件，在多个器件与串行总线相连的系统中，它可以用于对AD7176-2进行解码。

图2和图3显示了与AD7176-2进行接口的时序图，其中 \overline{CS} 用于解码该器件。图2显示对AD7176-2执行读操作的时序，图3显示对AD7176-2执行写操作的时序。即使在第一次读操作之后DOUT/RDY线路返回到高电平，也可以多次读取数据寄存器。不过，必须确保在下一输出更新发生之前，这些读操作已完成。连续读取模式下，只能从数据寄存器读取一次。

将 \overline{CS} 与低电平相连时，串行接口可以在三线模式下工作。这种情况下，SCLK、DIN和DOUT/RDY线路用于与AD7176-2通信。转换是否结束也可以利用状态寄存器的RDY位来监视。

在 $\overline{CS} = 0$ 且DIN = 1时，写入64个SCLK可以复位串行接口。复位使接口返回到期待对通信寄存器执行写操作的状态。该操作会将所有寄存器的内容复位到其上电值。复位后，用户应等待500 μ s再访问串行接口。

校验和保护

AD7176-2具有校验和模式，可用来提高接口的鲁棒性。使用校验和可确保仅将有效数据写入寄存器，并且可以对从寄存器读取的数据进行验证。如果寄存器写入期间发生错误，状态寄存器的CRC_ERROR位将置1。然而，为确保寄存器写入成功，应回读该寄存器并验证校验和。

写操作期间的CRC校验和计算始终使用多项式：

$$x^8 + x^2 + x + 1$$

读操作期间，用户可以选择此多项式或类似的XOR函数。与基于多项式的校验和相比，主机处理器处理XOR函数所需的时间更少。接口模式寄存器的CRC_EN位用于使能和禁用校验和，并允许用户选择多项式或简单的XOR校验。

校验和附加于每次读和写处理的末尾。写处理的校验和利用8位命令字和8至24位数据计算。读处理的校验和利用命令字和8至32位数据输出计算。图50和图51分别显示了SPI读和写处理。

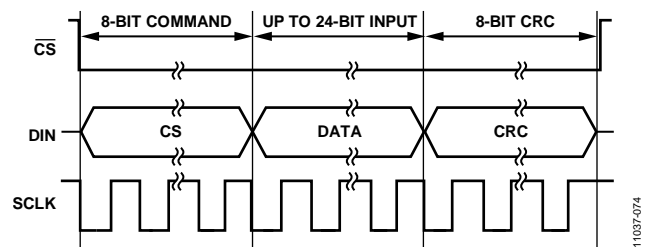


图50. 使能CRC的SPI写处理

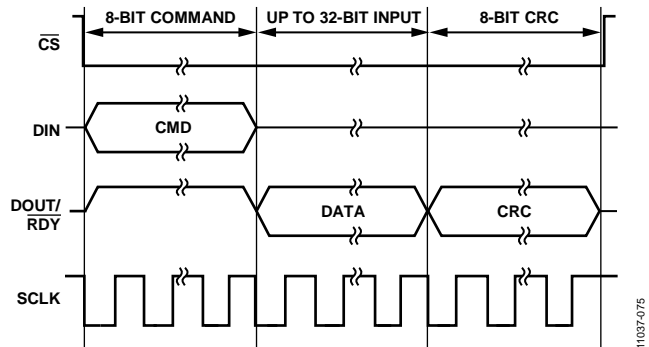


图51. 使能CRC的SPI读处理

连续读取模式有效时，如果使能校验和保护，则每次数据传输前存在暗含的读取数据命令0x44，计算校验和值时需要予以考虑。这是为了确保即使ADC数据等于0x000000，校验和值也不是零。

CRC计算**多项式**

校验和为8位宽，利用以下多项式产生：

$$x^8 + x^2 + x + 1$$

要生成校验和，需将数据左移8位，产生一个后8位为逻辑0的数值。对齐多项式，使其MSB与该数据最左侧的逻辑1对齐。对该数据施加一个异或(XOR)函数，以产生一个更短的新数。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

多项式CRC计算示例—24位字：0x654321(8命令位和16位数据)

下例使用基于多项式的校验和生成8位校验和：

初始值	011001010100001100100001	
	01100101010000110010000100000000	左移8位
$x^8 + x^2 + x + 1$	=	100000111
		多项式
100100100000110010000100000000		XOR结果
100000111		多项式
1000110001100100001000000000		XOR结果
100000111		多项式
111111100100001000000000		XOR结果
100000111		多项式值
111110111000010000000000		XOR结果
100000111		多项式值
1111000000001000000000		XOR结果
100000111		多项式值
1110011100010000000000		XOR结果
100000111		多项式值
11001001001000000000		XOR结果
100000111		多项式值
10010101010000000000		XOR结果
100000111		多项式值
1011011000000000		XOR结果
100000111		多项式值
11010110000000		XOR结果
100000111		多项式值
101010110000		XOR结果
100000111		多项式值
1010001000		XOR结果
100000111		多项式值
10000110		校验和 = 0x86。

AD7176-2

XOR计算

校验和为8位宽，产生方法如下：将数据拆分为字节，然后对这些字节执行XOR运算。

XOR计算示例—24位字：0x654321(8命令位和16位数据)

使用上例，

分为三个字节：0x65、0x43和0x21

01100101	0x65
01000011	0x43
00100110	XOR结果
00100001	0x21
00000111	CRC

通用I/O

AD7176-2有两个通用数字输入/输出引脚：GPIO0和GPIO1。这些引脚通过GPIOCON寄存器中的IP_EN0/IP_EN1或OP_EN0/OP_EN1位使能。当GPIO0或GPIO1引脚被使能为输入时，引脚的逻辑电平分别包含在DATA0或DATA1位。当GPIO0或GPIO1引脚被使能为输出时，GP_DATA0或GP_DATA1位决定引脚的逻辑电平输出。这些引脚的逻辑电平以AVDD1和AVSS为基准，因此，输出幅度为5 V。

当使用外部多路复用器来提高通道数时，多路复用器逻辑引脚可以通过AD7176-2 GPIO引脚进行控制。利用MUX_IO位，GPIO时序通过ADC控制；因此，通道变化与ADC同步，无需外部同步。

SYNC/ERROR引脚也可以用作通用输出。当GPIOCON寄存器的ERR_EN位设置为1时，SYNC/ERROR引脚用作通用输出。这种配置下，GPIOCON寄存器的ERR_DAT位决定引脚的逻辑电平输出。引脚的逻辑电平以IOVDD和DGND为基准，SYNC/ERROR引脚具有一个有源上拉电阻。

16位/24位转换

AD7176-2默认产生24位转换结果。然而，转换结果的宽度可以减少至16位。将接口模式寄存器的WL16位设置为1，可将所有数据转换舍入到16位。此位清0时，数据转换的宽度为24位。

串行接口复位(DOUT_RESET)

每完成一次读操作，串行接口就会复位。串行接口复位的时刻是可编程的。默认情况下，串行接口在最后一个SCLK上升沿(即处理器读取LSB的SCLK沿)后的一定时间之后复位。接口模式寄存器的DOUT_RESET位设置为1时，接口复位的时刻由CS上升沿控制。这种情况下，DOUT/RDY引脚继续输出所读取寄存器的LSB，直到CS变为高电平。只有到了CS上升沿，接口才复位。利用CS信号控制所有读操作时，此配置很有用。如果不使用CS来控制所有读操作，DOUT_RESET应设为0，使得接口在读操作的最后一个SCLK沿之后复位。

同步(SYNC/ERROR)

正常同步

当GPIOCON寄存器的SYNC_EN位设置为0时，SYNC/ERROR引脚用作同步引脚。利用SYNC输入，用户可以复位

调制器和数字滤波器，而不会影响器件的任何设置条件。这样，用户就可以从已知时间点，即SYNC的上升沿开始采集模拟输入的样本。为确保同步发生，此引脚必须保持低电平至少一个主时钟周期。

如果多个AD7176-2器件利用一个公共主时钟工作，则可以让这些器件同步，使其数据寄存器同时更新。这一般在各AD7176-2已执行自身的校准或已将校准系数载入其校准寄存器之后完成。SYNC引脚上的下降沿使数字滤波器和模拟调制器复位，并将AD7176-2置于一致的已知状态。在SYNC引脚为低电平期间，AD7176-2保持该状态。在SYNC上升沿，调制器和滤波器离开复位状态；在下一主时钟沿，器件再次开始采集输入样本。

该器件在SYNC由低到高跃迁之后的主时钟下降沿离开复位状态。因此，当同步多个器件时，SYNC引脚应在主时钟上升沿变为高电平，确保所有器件均在主时钟下降沿开始采样。如果SYNC引脚没有在充足的时间内变为高电平，则器件之间可能相差一个主时钟周期，即对于不同器件，获得转换结果的时刻最多相差一个主时钟周期。

SYNC引脚也可以用作启动转换命令。这种模式下，SYNC的上升沿启动转换，RDY的下降沿指示转换已完成。每次数据寄存器更新时，必须预留滤波器的建立时间。

交替同步

将接口模式寄存器的ALT_SYNC位设置为1，可以使能交替同步方案。要使能此方案，GPIOCON寄存器的SYNC_EN位必须置1。这种模式下，当AD7176-2的多个通道使能时，SYNC引脚用作开始转换命令。当SYNC变为低电平时，ADC完成对当前通道的转换，按顺序选择下一个通道，然后等到SYNC变为高电平时开始转换。当前通道的转换完成时，RDY引脚变为低电平，数据寄存器更新为对应的转换结果。因此，SYNC命令不会干扰当前选定通道的采样，但允许用户控制下一个通道开始转换的时刻。

该模式只能在使能多个通道时使用。仅使能一个通道时不建议使用这种模式。

AD7176-2

错误标志

状态寄存器包含三个错误位——ADC_ERROR、CRC_ERROR和REG_ERROR，分别指示ADC转换错误、CRC校验错误和寄存器改变引起的错误。此外， $\overline{\text{ERROR}}$ 引脚可以指示已发生错误。

ADC_ERROR

状态寄存器的ADC_ERROR位指示转换过程中发生的所有错误。当模拟输入发生过压或欠压时，该标志位置1。发生过压或欠压时，ADC也会输出全0或全1。此标志仅在过压/欠压消失时复位。读取数据寄存器不会使其复位。

CRC_ERROR

如果一个写操作相关的CRC值与所发送的信息不一致，CRC_ERROR标志位即置1。一旦明确读取状态寄存器，该标志就会复位。

REG_ERROR

此标志位与接口模式寄存器的REG_CHECK位一起使用。当REG_CHECK位置1时，AD7176-2监视片内寄存器的值。若有一位改变，REG_ERROR位就会置1。因此，为了写入片内寄存器，应将REG_CHECK置0。更新寄存器后，就可以将REF_CHK位置1。AD7176-2计算片内寄存器的校验和。若有一个寄存器值发生改变，REG_ERROR位就会置1。发现错误后，必须将REG_CHECK位清0才能清除状态寄存器的REG_ERROR位。寄存器校验功能不监视数据寄存器、状态寄存器和接口模式寄存器。

ERROR 引脚

当GPIOCON寄存器的SYNC_EN位置1且接口模式寄存器的ALT_SYNC位置0时， $\overline{\text{SYNC/ERROR}}$ 引脚用作错误输入/输出引脚或通用输出引脚。GPIOCON寄存器的ERR_EN位决定该引脚的功能。

ERR_EN位设置为10时，该引脚用作开漏错误输出引脚。状态寄存器的三个错误位(ADC_ERROR、CRC_ERROR和REG_ERROR)经过“或”运算并反转后映射到 $\overline{\text{ERROR}}$ 引脚。因此， $\overline{\text{ERROR}}$ 引脚指示已发生错误。要确定错误来源，必须读取状态寄存器。

ERR_EN位设置为01时， $\overline{\text{ERROR}}$ 引脚用作错误输入引脚。其它器件的错误引脚可以连接到AD7176-2 $\overline{\text{ERROR}}$ 引脚，因此AD7176-2可以指示自身或外部器件发生错误。 $\overline{\text{ERROR}}$ 引脚的值经过反转并与ADC转换错误进行“或”运算，结果通过状态寄存器的ADC_ERROR位显示。ERROR引脚的值反映在状态寄存器的ERR_DAT位。

ERR_EN位设置为00时， $\overline{\text{ERROR}}$ 引脚禁用。ERR_EN1位设置为11时， $\overline{\text{ERROR}}$ 引脚用作通用输出。

DATA_STAT

可以将状态寄存器的内容附加到AD7176-2的每次转换结果。使能多个通道时，此功能很有用。每次输出转换结果时，都会附加状态寄存器的内容。状态寄存器的两个LSB表示对应的转换通道。此外，用户可以通过错误位确定是否发生错误。

IOSTRENGTH

串行接口可以采用低至2 V的电源工作。然而，在此低压下，如果板上的寄生电容较大或SCLK频率较高，DOUT/ $\overline{\text{RDY}}$ 引脚可能没有足够的驱动强度。接口模式寄存器的IOSTRENGTH位可提高DOUT/ $\overline{\text{RDY}}$ 引脚的驱动强度。

接地和布局布线

由于模拟输入和基准输入均为差分输入，因此模拟调制器中的多数电压都是共模电压。器件的高共模抑制性能可消除这些输入信号中的共模噪声。为将模拟部分与数字部分之间的耦合降至最低，AD7176-2的模拟电源和数字电源彼此独立，各有单独的引脚排列。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为主时钟频率的整数倍的噪声。

另外，数字滤波器还能够消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，与传统高分辨率转换器相比，AD7176-2具有更强的抗噪能力。不过，由于AD7176-2的分辨率较高，而转换器的噪声电平极低，因此必须谨慎对待接地和布局布线。

ADC所在的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。

避免在该器件下方布设数字线路，否则会将噪声耦合至芯片；将模拟接地层放在AD7176-2下方可以防止噪声耦合。AD7176-2的电源线路必须采用尽可能宽的走线，以提供低

阻抗路径，并减小电源线路上的毛刺噪声。应利用数字地屏蔽时钟等快速切换信号，以免向电路板的其它部分辐射噪声，并且绝不应将时钟信号走线布设在模拟输入附近。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直，这样有助于减小电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

使用高分辨率ADC时，良好的去耦十分重要。AD7176-2有三个电源引脚：AVDD1、AVDD2和IOVDD。AVDD1和AVDD2引脚以AVSS为基准，IOVDD引脚以DGND为基准。AVDD1和AVDD2应通过10 μ F钽电容与0.1 μ F电容的并联组合去耦至各引脚上的AVSS。各电源的0.1 μ F电容应尽可能靠近该器件，且最好正对着该器件。IOVDD应通过10 μ F钽电容与0.1 μ F电容的并联组合去耦至DGND。所有模拟输入都应去耦至AVSS。如果使用外部基准电压源，REF+和REF-引脚应去耦至AVSS。

AD7176-2还有两个片上LDO稳压器，一个调节AVDD2电源，另一个调节IOVDD电源。对于REGCAPA引脚，建议利用1 μ F和0.1 μ F电容将其去耦至AVSS。类似地，对于REGCAPD引脚，建议利用1 μ F和0.1 μ F电容将其去耦至DGND。

如果AD7176-2采用分离电源供电，AVSS必须使用单独的层。

AD7176-2

寄存器汇总

表21. AD7176-2寄存器一览表

寄存器	名称	位	位7	位6	位5	位4	位6	位5	位4	位0	复位	RW	
0x00	COMMS	[7:0]	WEN	R/W	RA							0x00	W
0x00	STATUS	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	保留		CHANNEL		0x80	R	
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		DELAY			0x8000	RW	
		[7:0]	保留	MODE			CLOCKSEL		保留				
0x02	IFMODE	[15:8]	保留			ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET	0x0000	RW	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留	CRC_EN		保留	WL16			
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	DATA	[23:16]	DATA[23:16]									0x000000	R
		[15:8]	DATA[15:8]										
		[7:0]	DATA[7:0]										
0x06	GPIOCON	[15:8]	保留			MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	RW	
		[7:0]	保留		IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x0C9X	R
		[7:0]	ID[7:0]										
0x10	CHMAP0	[15:8]	CH_EN0	保留	SETUP_SEL0		保留		AINPOS0[4:3]		0x8001	RW	
		[7:0]	AINPOS0[2:0]			AINNEG0							
0x11	CHMAP1	[15:8]	CH_EN1	保留	SETUP_SEL1		保留		AINPOS1[4:3]		0x0001	RW	
		[7:0]	AINPOS1[2:0]			AINNEG1							
0x12	CHMAP2	[15:8]	CH_EN2	保留	SETUP_SEL2		保留		AINPOS2[4:3]		0x0001	RW	
		[7:0]	AINPOS2[2:0]			AINNEG2							
0x13	CHMAP3	[15:8]	CH_EN3	保留	SETUP_SEL3		保留		AINPOS3[4:3]		0x0001	RW	
		[7:0]	AINPOS3[2:0]			AINNEG3							
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0		保留			0x1020	RW	
		[7:0]	保留		REF_SEL0		保留						
0x21	SETUPCON1	[15:8]	保留			BI_UNIPOLAR1		保留			0x1020	RW	
		[7:0]	保留		REF_SEL1		保留						
0x22	SETUPCON2	[15:8]	保留			BI_UNIPOLAR2		保留			0x1020	RW	
		[7:0]	保留		REF_SEL2		保留						
0x23	SETUPCON3	[15:8]	保留			BI_UNIPOLAR3		保留			0x1020	RW	
		[7:0]	保留		REF_SEL3		保留						
0x28	FILTCON0	[15:8]	SINC3_MAP0	保留			ENHFILTEN0		ENHFILT0		0x0000	RW	
		[7:0]	保留	ORDER0			ODR0						
0x29	FILTCON1	[15:8]	SINC3_MAP1	保留			ENHFILTEN1		ENHFILT1		0x0000	RW	
		[7:0]	保留	ORDER1			ODR1						
0x2A	FILTCON2	[15:8]	SINC3_MAP2	保留			ENHFILTEN2		ENHFILT2		0x0000	RW	
		[7:0]	保留	ORDER2			ODR2						
0x2B	FILTCON3	[15:8]	SINC3_MAP3	保留			ENHFILTEN3		ENHFILT3		0x0000	RW	
		[7:0]	保留	ORDER3			ODR3						
0x30	OFFSET0	[23:16]	OFFSET0[23:16]									0x800000	RW
		[15:8]	OFFSET0[15:8]										
		[7:0]	OFFSET0[7:0]										
0x31	OFFSET1	[23:16]	OFFSET1[23:16]									0x800000	RW
		[15:8]	OFFSET1[15:8]										
		[7:0]	OFFSET1[7:0]										
0x32	OFFSET2	[23:16]	OFFSET2[23:16]									0x800000	RW
		[15:8]	OFFSET2[15:8]										
		[7:0]	OFFSET2[7:0]										
0x33	OFFSET3	[23:16]	OFFSET3[23:16]									0x800000	RW
		[15:8]	OFFSET3[15:8]										
		[7:0]	OFFSET3[7:0]										

寄存器	名称	位	位7	位6	位6	位6	位6	位6	位0	位0	复位	RW	
0x38	GAIN0	[23:16]	GAIN0[23:16]									0x5XXX0	RW
		[15:8]	GAIN0[15:8]										
		[7:0]	GAIN0[7:0]										
0x39	GAIN1	[23:16]	GAIN1[23:16]									0x5XXX0	RW
		[15:8]	GAIN1[15:8]										
		[7:0]	GAIN1[7:0]										
0x3A	GAIN2	[23:16]	GAIN2[23:16]									0x5XXX0	RW
		[15:8]	GAIN2[15:8]										
		[7:0]	GAIN2[7:0]										
0x3B	GAIN3	[23:16]	GAIN3[23:16]									0x5XXX0	RW
		[15:8]	GAIN3[15:8]										
		[7:0]	GAIN3[7:0]										

AD7176-2

寄存器详解

通信寄存器

地址：0x00；复位：0x00；名称：COMMS

表22. COMMS的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	WEN		要与ADC开始通信，此位必须为低电平。	0x0	W
6	R/W	0 1	此位决定命令是读操作还是写操作。 写命令 读命令	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 100000 100001 100010 100011 101000 101001 101010 101011 110000 110001 110010 110011 111000 111001 111010	寄存器地址位决定当前通信读写哪一个寄存器。 状态寄存器 ADC模式寄存器 接口模式寄存器 寄存器校验和寄存器 数据寄存器 GPIO配置寄存器 ID寄存器 通道映射1寄存器 通道映射2寄存器 通道映射3寄存器 通道映射4寄存器 设置配置1寄存器 设置配置2寄存器 设置配置3寄存器 设置配置4寄存器 滤波器配置1寄存器 滤波器配置2寄存器 滤波器配置3寄存器 滤波器配置4寄存器 失调1寄存器 失调2寄存器 失调3寄存器 失调4寄存器 增益1寄存器 增益2寄存器 增益3寄存器	0x00	W

状态寄存器**地址：0x00；复位：0x80；名称：STATUS**

状态寄存器是一个8位寄存器，包含ADC和串行接口的状态信息。通过将接口模式寄存器的DATA_STAT位设置为1，可以将其附加到数据寄存器。

表23. STATUS的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	RDY	0 1	只要 \overline{CS} 为低电平且不在读取寄存器， \overline{RDY} 的状态就会输出到DOUT/RDY引脚。当ADC已将新结果写入数据寄存器时，此位变为低电平。在ADC校准模式下，ADC写入校准结果后，此位变为低电平。读取数据寄存器时，RDY自动变为高电平。 新数据结果可用 等待新数据结果	0x1	R
6	ADC_ERROR	0 1	此位默认指示是否发生ADC超范围或欠范围事件。若发生，ADC结果将被箝位在 \pm 满量程。此位在写入ADC结果时更新，在消除模拟输入的超范围或欠范围状况后清零。 无错误 有错误	0x0	R
5	CRC_ERROR	0 1	此位指示寄存器写操作期间是否发生CRC错误。对于寄存器读操作，主机微控制器决定是否发生CRC错误。读取此寄存器时，该位清0。 无错误 有错误	0x0	R
4	REG_ERROR	0 1	此位指示一个内部寄存器的内容是否发生变化，与激活寄存器完整性检查时计算的值不同。要激活该检查，须将接口模式寄存器的REG_CHECK位设置为1。REG_CHECK位清0时，此位清0。 无错误 有错误	0x0	R
[3:2]	保留		这些位保留。	0x0	R
[1:0]	CHANNEL	00 01 10 11	这些位指示数据寄存器中当前存储的结果所对应的ADC转换通道。这可能与当前正在转换的通道不同。该映射是通道映射寄存器的直接映射；因此，通道0产生0x0，通道3产生0x3。 通道0 通道1 通道2 通道3	0x0	R

AD7176-2

ADC模式寄存器

地址：0x01；复位：0x8000；名称：ADCMODE

ADC模式寄存器控制ADC的工作模式和主时钟选择。写入ADC模式寄存器会复位滤波器和RDY位，并开始新的转换或校准。

表24. ADCMODE的位功能描述

位	位的名称	设置	描述	复位	访问类型
15	REF_EN	0 1	使能内部基准电压源并输出缓冲2.5 V电压到REFOUT引脚。 禁用 使能	0x1	RW
14	保留		此位保留，应设置为0。	0x0	R
13	SING_CYC	0 1	仅单个通道有效时，可以使用此位来设置ADC仅以建立的滤波器数据速率输出。 禁用 使能	0x0	RW
[12:11]	保留		这些位保留，应设置0。	0x0	R
[10:8]	DELAY	000 001 010 011 100 101 110 111	这些位允许通道切换后增加一个可编程的延迟时间，以便外部电路能在ADC开始处理其输入前稳定下来。 0 4 μ s 16 μ s 40 μ s 100 μ s 200 μ s 500 μ s 1 ms	0x0	RW
7	保留		此位保留，应设置为0。	0x0	R
[6:4]	MODE	000 001 010 011 100 110 111	这些位控制ADC的工作模式。详见“工作模式”部分。 连续转换模式 单次转换模式 待机模式 掉电模式 内部失调校准 系统失调校准 系统增益校准	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	此位用来选择ADC时钟源。如果选择内部振荡器，则也会使能内部振荡器。 内部振荡器 XTAL2引脚上的内部振荡器输出 XTAL2引脚上的外部时钟输入 XTAL1和XTAL2引脚上的外部晶振	0x0	RW
[1:0]	保留		这些位保留，应设置0。	0x0	R

接口模式寄存器

地址：0x02；复位：0x0000；名称：IFMODE

接口模式寄存器配置各种串行接口选项。

表25. IFMODE的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留，应设置0。	0x0	R
12	ALT_SYNC	0 禁用 1 使能	此位使能ERROR/SYNC引脚的不同行为，以便利用ERROR/SYNC来控制循环通道的转换(详见GPIO配置寄存器中的SYNC_EN位的说明)。	0x0	RW
11	IOSTRENGTH	0 禁用(默认) 1 使能	此位控制DOUT引脚的驱动强度。在IOVDD电源较低且电容中等的情况下高速读取串行接口时，此位应置1。	0x0	RW
[10:9]	保留		这些位保留，应设置0。	0x0	R
8	DOUT_RESET	0 禁用 1 使能	此位防止DOUT/RDY引脚在读操作最后一个SCLK上升沿之后立即从输出DOUT切换到输出RDY。相反，DOUT/RDY引脚继续输出数据的LSB，直到CS变为高电平。这可以为SPI主机提供更长的保持时间来采样数据的LSB。如果此位置1，CS必须接低电平。	0x0	RW
7	CONTREAD	0 禁用 1 使能	使能连续读取ADC数据寄存器。要使用连续读取，ADC应配置为连续转换模式。详情参见“工作模式”部分。	0x0	RW
6	DATA_STAT	0 禁用 1 使能	读取时数据寄存器附加状态寄存器，使得通道和状态信息与数据一同传输。这是确保从状态寄存器读出的通道位与数据寄存器中的数据对应的唯一方式。	0x0	RW
5	REG_CHECK	0 禁用 1 使能	此位使能寄存器完整性检查，利用此检查可监视用户寄存器值的任何变化。要使用此特性，应在此位清0的情况下根据需要配置所有其它寄存器。然后写入此寄存器，设置REG_CHECK位为1。若有任一寄存器的内容发生变化，状态寄存器的REG_ERROR位就会置1。要清除错误，应将REG_CHECK位设置为0。检查的寄存器不包括接口模式寄存器、ADC数据和状态寄存器。如果一个寄存器需要写入新值，首先应将此位清0；否则，写入新寄存器内容时会报错。	0x0	RW
4	保留		此位保留，应设置为0。	0x0	R

AD7176-2

位	位的名称	设置	描述	复位	访问类型
[3:2]	CRC_EN	00 01 10	使能寄存器读写的CRC保护。CRC会将串行接口传输的字节数加1。 详情参见“CRC计算”部分。 禁用。 使能寄存器读处理的XOR校验和。寄存器写处理仍将使用CRC。 读和写处理均使能CRC校验和。	0x00	RW
1	保留		此位保留，应设置为0。	0x0	R
0	WL16	0 1	ADC数据寄存器变为16位。写入接口模式寄存器不会复位ADC；因此，写入这些位后，ADC结果不会立即舍入到正确的字长。第一个新的ADC结果将是正确的。 24位数据 16位数据	0x0	RW

寄存器检查



地址：0x03；复位：0x000000；名称：REGCHECK

寄存器检查寄存器是通过对用户寄存器的内容进行异或运算而求得的24位校验和。要使用此功能，接口模式寄存器的REG_CHECK位必须置1；否则，寄存器读出0。

表26. REGCHECK的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	REGISTER_CHECK		接口模式寄存器的REG_CHECK位设置为1时，此寄存器包含用户寄存器的24位校验和。	0x000000	R

数据寄存器

地址：0x04；复位：0x000000；名称：DATA

数据寄存器包含ADC转换结果。编码为偏移二进制，也可以通过设置配置寄存器的BI_UNIPOLAR位更改为单极性。读取数据寄存器会将RDY位和引脚拉高(如果原先为低电平)。ADC结果可以多次读取，但由于RDY已被拉高，因此无法知道下一个ADC结果是否即将到来。若当前正在读取寄存器，ADC不会将新结果写入数据寄存器。

表27. DATA的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	DATA		此寄存器包含ADC转换结果。若接口模式寄存器的DATA_STAT位置1，则读取时状态寄存器会附加于此寄存器， <u>使其成为32位寄存器</u> 。 若接口模式寄存器的WL16置1，则此寄存器舍入到16位。	0x000000	R

GPIO配置寄存器

地址：0x06；复位：0x0800；名称：GPIOCON

GPIO配置寄存器控制ADC的通用I/O引脚。

表28. GPIOCON的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留，应设置0。	0x0	R
12	MUX_IO		此位允许ADC控制外部多路复用器，与内部通道顺序同步使用GPIO0/GPIO1。用于一个通道的模拟输入引脚仍可按通道进行选择。因此，可以在AIN0/AIN1之前放上一个4通道多路复用器，并在AIN2/AIN3之前放上另一个多路复用器，从而为AD7175-2提供总共8个差分通道。但是，一次只能自动安排4个通道。切换外部多路复用器之后可以插入一个延迟时间(参见ADC模式寄存器的DELAY位)。	0x0	RW
11	SYNC_EN	0 1	此位可使SYNC/ERROR引脚用作同步输入。设置为低电平时，SYNC/ERROR引脚使ADC和滤波器保持复位状态，直到SYNC/ERROR变为高电平为止。当接口模式寄存器的ALT_SYNC位置1时，可以使用SYNC/ERROR引脚的另一个功能。此模式仅在使能多个通道时有效。这种情况下，SYNC/ERROR引脚的低电平不会导致滤波器/调制器立即复位。相反，当通道就要切换时，如果SYNC/ERROR引脚为低电平，则会阻止调制器和滤波器开始新的转换。将SYNC/ERROR拉高就会开始新的转换。利用这一备选同步模式，可以在遍历通道的同时使用SYNC/ERROR。	0x1	RW
[10:9]	ERR_EN	00 01 10 11	这些位可使SYNC/ERROR引脚用作错误输入/输出。 禁用 SYNC/ERROR 是错误输入。(反转)回读状态与其它误差源进行“或”运算，结果通过状态寄存器的ADC_ERROR位输出。SYNC/ERROR引脚状态也可通过此寄存器的ERR_DAT位读取。 SYNC/ERROR 是开漏错误输出。状态寄存器错误位经过“或”运算、反转后映射到SYNC/ERROR引脚。多个器件的SYNC/ERROR引脚可以连接到同一个上拉电阻，这样就可以观察到任何器件的错误。 SYNC/ERROR 是通用输出。此引脚的状态由该寄存器的ERR_DAT位控制。此引脚参考IOVDD与DGND之间的电平，而不是GPIO引脚使用的AVDD1和AVSS电平。这种模式下，该引脚有一个有源上拉电阻。	0x0	RW
8	ERR_DAT		ERROR引脚用作通用输出时，此位决定其逻辑电平。用作输入时，它反映此引脚的回读状态。	0x0	RW
[7:6]	保留		这些位保留，应设置0。	0x0	R
5	IP_EN1	0 1	此位将GPIO1变为输入。输入应等于AVDD5或AVSS。 禁用 使能	0x0	RW
4	IP_EN0	0 1	此位将GPIO0变为输入。输入应等于AVDD5或AVSS。 禁用 使能	0x0	RW
3	OP_EN1	0 1	此位将GPIO1变为输出。输出参考AVDD1与AVSS之间的电平。 禁用 使能	0x0	RW
2	OP_EN0		此位将GPIO0变为输出。输出参考AVDD1与AVSS之间的电平。	0x0	RW

AD7176-2

位	位的名称	设置	描述	复位	访问类型
		0	禁用		
		1	使能		
1	GP_DATA1		此位是GPIO1的回读或写入数据。	0x0	RW
0	GP_DATA0		此位是GPIO0的回读或写入数据。	0x0	RW

ID寄存器

地址：0x07；复位：0x0C9X；名称：ID

ID寄存器返回16位ID。对于AD7176-2，此ID是0x0C94。

表29. ID的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:0]	ID	0x0C9X	ID寄存器返回ADC特定的16位ID代码。 AD7176-2	0x0C9X	R

通道映射寄存器0**地址：0x10；复位：0x8001；名称：CHMAP0**通道映射寄存器是16位寄存器，用于选择当前有效的通道、各通道使用哪些输入以及该通道使用何种设置来配置ADC。**表30. CHMAP0的位功能描述**

位	位的名称	设置	描述	复位	访问类型
15	CH_EN0	0 1	此位使能通道0。使能多个通道时，ADC自动按顺序处理各通道。 禁用 使能(默认)	0x1	RW
14	保留		此位保留，应设置为0。	0x0	R
[13:12]	SETUP_SELO	000 001 010 011	这些位决定该通道使用四种设置中的哪一种来配置ADC。设置由四个寄存器组成：设置配置寄存器、滤波器配置寄存器、失调寄存器和增益寄存器。所有通道可以使用相同的设置，此时对于所有有效的通道，应将相同的3位值写入这些位；最多可以配置4个不同的通道。 设置0 设置1 设置2 设置3	0x0	RW
[11:10]	保留		这些位保留，应设置0。	0x0	R
[9:5]	AINPOS0	00000 00001 00010 00011 00100 10101 10110	<u>这些位选择此通道的哪个模拟输入连接到ADC的正输入。</u> AIN0(默认) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG0	00000 00001 00010 00011 00100 10101 10110	<u>这些位选择此通道的哪个模拟输入连接到ADC的负输入。</u> AIN0 AIN1(默认) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

AD7176-2

通道映射寄存器1

地址：0x11；复位：0x0001；名称：CHMAP1

通道映射寄存器是16位寄存器，用于选择当前有效的通道、各通道使用哪些输入以及该通道使用何种设置来配置ADC。

表31. CHMAP1的位功能描述

位	位的名称	设置	描述	复位	访问类型
15	CH_EN1	0 1	此位使能通道1。使能多个通道时，ADC自动按顺序处理各通道。 禁用(默认) 使能	0x0	RW
14	保留		此位保留，应设置为0。	0x0	R
[13:12]	SETUP_SEL1	000 001 010 011	这些位决定该通道使用四种设置中的哪一种来配置ADC。设置由四个寄存器组成：设置配置寄存器、滤波器配置寄存器、失调寄存器和增益寄存器。所有通道可以使用相同的设置，此时对于所有有效的通道，应将相同的3位值写入这些位；最多可以配置4个不同的通道。 设置0 设置1 设置2 设置3	0x0	RW
[11:10]	保留		这些位保留，应设置0。	0x0	R
[9:5]	AINPOS1	00000 00001 00010 00011 00100 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的正输入。 AIN0(默认) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG1	00000 00001 00010 00011 00100 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的负输入。 AIN0 AIN1(默认) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

通道映射寄存器2**地址：0x12；复位：0x0001；名称：CHMAP2**

通道映射寄存器是16位寄存器，用于选择当前有效的通道、各通道使用哪些输入以及该通道使用何种设置来配置ADC。

表32. CHMAP2的位功能描述

位	位的名称	设置	描述	复位	访问类型
15	CH_EN2	0 1	此位使能通道2。使能多个通道时，ADC自动按顺序处理各通道。 禁用(默认) 使能	0x0	RW
14	保留		此位保留，应设置为0。		R
[13:12]	SETUP_SEL2	000 001 010 011	这些位决定该通道使用四种设置中的哪一种来配置ADC。设置由四个寄存器组成：设置配置寄存器、滤波器配置寄存器、失调寄存器和增益寄存器。所有通道可以使用相同的设置，此时对于所有有效的通道，应将相同的3位值写入这些位；最多可以配置4个不同的通道。 设置0 设置1 设置2 设置3	0x0 0x0	RW
[11:10]	保留		这些位保留，应设置0。	0x0	R
[9:5]	AINPOS2	00000 00001 00010 00011 00100 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的正输入。 AIN0(默认) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG2	00000 00001 00010 00011 00100 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的负输入。 AIN0 AIN1(默认) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

AD7176-2

通道映射寄存器3

地址：0x13；复位：0x0001；名称：CHMAP3

通道映射寄存器是16位寄存器，用于选择当前有效的通道、各通道使用哪些输入以及该通道使用何种设置来配置ADC。

表33. CHMAP3的位功能描述

位	位的名称	设置	描述	复位	访问类型
15	CH_EN3	0 1	此位使能通道3。使能多个通道时，ADC自动按顺序处理各通道。 禁用(默认) 使能	0x0	RW
14	保留		此位保留，应设置为0。	0x0	R
[13:12]	SETUP_SEL3	000 001 010 011	这些位决定该通道使用四种设置中的哪一种来配置ADC。设置由四个寄存器组成：设置配置寄存器、滤波器配置寄存器、失调寄存器和增益寄存器。所有通道可以使用相同的设置，此时对于所有有效的通道，应将相同的3位值写入这些位；最多可以配置4个不同的通道。 设置0 设置1 设置2 设置3	0x0	RW
[11:10]	保留		这些位保留，应设置0。	0x0	R
[9:5]	AINPOS3	00000 00001 00010 00011 00100 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的正输入。 AIN0(默认) AIN1 AIN2 AIN3 AIN4 REF+ REF-	0x0	RW
[4:0]	AINNEG3	00000 00001 00010 00011 00100 10101 10110	这些位选择此通道的哪个模拟输入连接到ADC的负输入。 AIN0 AIN1(默认) AIN2 AIN3 AIN4 REF+ REF-	0x1	RW

设置配置寄存器0**地址：0x20；复位：0x1020；名称：SETUPCON0**

设置配置寄存器是16位寄存器，用于配置ADC的基准电压源选择和输出编码方式。

表34. SETUPCON0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留，应设置0。	0x0	R
12	BI_UNIPOLAR0	0 1	此位设置设置0的ADC输出编码。 单极性编码输出 偏移二进制编码输出	0x1	RW
[11:6]	保留		这些位保留，应设置0。	0x00	R
[5:4]	REF_SEL0	00 10 11	这些位选择用于设置0 ADC转换的基准电压源。 外部基准电压源。 2.5 V内部基准电压源。ADC模式寄存器也必须使能此基准电压源。 AVDD1 – AVSS。这可用于诊断，验证其它基准值。	0x2	RW
[3:0]	保留		这些位保留，应设置0。	0x0	R

设置配置寄存器1**地址：0x21；复位：0x1020；名称：SETUPCON1**

设置配置寄存器是16位寄存器，用于配置ADC的基准电压源选择和输出编码方式。

表35. SETUPCON1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留，应设置0。	0x0	R
12	BI_UNIPOLAR1	0 1	此位设置设置1的ADC输出编码。 单极性编码输出 偏移二进制编码输出	0x1	RW
[11:6]	保留		这些位保留，应设置0。	0x00	R
[5:4]	REF_SEL1	00 10 11	这些位选择用于设置1 ADC转换的基准电压源。 外部基准电压源 2.5 V内部基准电压源。ADC模式寄存器也必须使能此基准电压源。 AVDD1 – AVSS。这可用于诊断，验证其它基准值。	0x2	RW
[3:0]	保留		这些位保留，应设置0。	0x0	R

AD7176-2

设置配置寄存器2

地址：0x22；复位：0x1020；名称：SETUPCON2

设置配置寄存器是16位寄存器，用于配置ADC的基准电压源选择和输出编码方式。

表36. SETUPCON2的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留，应设置0。	0x0	R
12	BI_UNIPOLAR2	0 1	此位设置设置2的ADC输出编码。 单极性编码输出 偏移二进制编码输出	0x1	RW
[11:6]	保留		这些位保留，应设置0。	0x00	R
[5:4]	REF_SEL2	00 10 11	这些位选择用于设置2 ADC转换的基准电压源。 外部基准电压源 2.5 V内部基准电压源。ADC模式寄存器也必须使能此基准电压源。 AVDD1 – AVSS。这可用于诊断，验证其它基准值。	0x2	RW
[3:0]	保留		这些位保留，应设置0。	0x0	R

设置配置寄存器3

地址：0x23；复位：0x1020；名称：SETUPCON3

设置配置寄存器是16位寄存器，用于配置ADC的基准电压源选择和输出编码方式。

表37. SETUPCON3的位功能描述

位	位的名称	设置	描述	复位	访问类型
[15:13]	保留		这些位保留，应设置0。	0x0	R
12	BI_UNIPOLAR3	0 1	此位设置设置3的ADC输出编码。 单极性编码输出 偏移二进制编码输出	0x1	RW
[11:6]	保留		这些位保留，应设置0。	0x00	R
[5:4]	REF_SEL3	00 10 11	这些位选择用于设置3 ADC转换的基准电压源。 外部基准电压源 2.5 V内部基准电压源。ADC模式寄存器也必须使能此基准电压源。 AVDD1 – AVSS。这可用于诊断，验证其它基准值。	0x2	RW
[3:0]	保留		这些位保留，应设置0。	0x0	R

滤波器配置寄存器0**地址：0x28；复位：0x0000；名称：FILTCON0**

滤波器配置寄存器是16位寄存器，用于配置ADC数据速率和滤波器选项。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表38. FILTCON0的位功能描述

位	位的名称	设置	描述	复位	访问类型
15	SINC3_MAP0		如果此位置1，滤波器寄存器的映射将变为直接对设置0的Sinc3滤波器的抽取率进行编程。所有其它选项均无效。这种情况下，可以对输出数据速率和滤波器陷波进行精密调整，以便抑制特定频率。对于单个通道，数据速率等于 $F_{MOD}/(32 \times FILTCON0[14:0])$ 。	0x0	RW
[14:12]	保留		这些位保留，应设置0。	0x0	R
11	ENHFILTENO	0 1	此位使能设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。为此，ORDER位必须设置为00以选择Sinc5 + Sinc1滤波器。 禁用 使能	0x0	RW
[10:8]	ENHFILT0	010 011 101 110	这些位选择设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。 27 SPS、47 dB抑制、36.7 ms建立 25 SPS、62 dB抑制、40 ms建立 20 SPS、86 dB抑制、50 ms建立 16.67 SPS、92 dB抑制、60 ms建立	0x0	RW
7	保留		此位保留，应设置为0。	0x0	R
[6:5]	ORDER0	00 11	这些位控制设置0的数字滤波器(用于处理调制器数据)的阶数。 Sinc5 + Sinc1(默认) Sinc3	0x0	RW
[4:0]	<u>ODR0</u>	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	这些位控制ADC的输出数据速率，从而控制设置0的建立时间和噪声。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.94 49.96 20 16.667 10 5	0x0	RW

AD7176-2

滤波器配置寄存器1

地址：0x29；复位：0x0000；名称：FILTCON1

滤波器配置寄存器是16位寄存器，用于配置ADC数据速率和滤波器选项。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表39. FILTCON1的位功能描述

位	位的名称	设置	描述	复位	访问类型
15	SINC3_MAP1		如果此位置1，滤波器寄存器的映射将变为直接对设置1的Sinc3滤波器的抽取率进行编程。所有其它选项均无效。这种情况下，可以对输出数据速率和滤波器陷波进行精密调整，以便抑制特定频率。对于单个通道，数据速率等于 $F_{MOD}/(32 \times FILTCON1[14:0])$ 。	0x0	RW
[14:12]	保留		这些位保留，应设置0。	0x0	R
11	ENHFILTEN1	0 1	此位使能设置1的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。为此，ORDER位必须设置为00以选择Sinc5 + Sinc1滤波器。 禁用 使能	0x0	RW
[10:8]	ENHFILT1	010 011 101 110	这些位选择设置1的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。 27 SPS、47 dB抑制、36.7 ms建立 25 SPS、62 dB抑制、40 ms建立 20 SPS、86 dB抑制、50 ms建立 16.67 SPS、92 dB抑制、60 ms建立	0x0	RW
7	保留		此位保留，应设置为0。	0x0	R
[6:5]	ORDER1	00 11	这些位控制设置1的数字滤波器(用于处理调制器数据)的阶数。 Sinc5 + Sinc1(默认) Sinc3	0x0	RW
[4:0]	ODR1	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	这些位控制ADC的输出数据速率，从而控制设置1的建立时间和噪声。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.94 49.96 20 16.667 10 5	0x0	RW

滤波器配置寄存器2**地址：0x2A；复位：0x0000；名称：FILTCON2**

滤波器配置寄存器是16位寄存器，用于配置ADC数据速率和滤波器选项。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表40. FILTCON2的位功能描述

位	位的名称	设置	描述	复位	访问类型
15	SINC3_MAP2		如果此位置1，滤波器寄存器的映射将变为直接对设置2的Sinc3滤波器的抽取率进行编程。所有其它选项均无效。这种情况下，可以对输出数据速率和滤波器陷波进行精密调整，以便抑制特定频率。对于单个通道，数据速率等于 $F_{MOD}/(32 \times FILTCON2[14:0])$ 。	0x0	RW
[14:12]	保留		这些位保留，应设置0。	0x0	R
11	ENHFILTEN2	0 禁用 1 使能	此位使能设置2的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。为此，ORDER位必须设置为00以选择Sinc5 + Sinc1滤波器。	0x0	RW
[10:8]	ENHFILT2	010 27 SPS、47 dB抑制、36.7 ms建立 011 25 SPS、62 dB抑制、40 ms建立 101 20 SPS、86 dB抑制、50 ms建立 110 16.67 SPS、92 dB抑制、60 ms建立	这些位选择设置2的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。	0x0	RW
7	保留		此位保留，应设置为0。	0x0	R
[6:5]	ORDER2	00 Sinc5 + Sinc1(默认) 11 Sinc3	这些位控制设置2的数字滤波器(用于处理调制器数据)的阶数。	0x0	RW
[4:0]	ODR2	00000 250,000 00001 125,000 00010 62,500 00011 50,000 00100 31,250 00101 25,000 00110 15,625 00111 10,000 01000 5000 01001 2500 01010 1000 01011 500 01100 397.5 01101 200 01110 100 01111 59.94 10000 49.96 10001 20 10010 16.667 10011 10 10100 5	这些位控制ADC的输出数据速率，从而控制设置2的建立时间和噪声。	0x0	RW

AD7176-2

滤波器配置寄存器3

地址：0x2B；复位：0x0000；名称：FILTCON3

滤波器配置寄存器是16位寄存器，用于配置ADC数据速率和滤波器选项。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表41. FILTCON3的位功能描述

位	位的名称	设置	描述	描述	访问类型
15	SINC3_MAP3		如果此位置1，滤波器寄存器的映射将变为直接对设置3的Sinc3滤波器的抽取率进行编程。所有其它选项均无效。这种情况下，可以对输出数据速率和滤波器陷波进行精密调整，以便抑制特定频率。对于单个通道，数据速率等于 $F_{MOD}/(32 \times FILTCON3[14:0])$ 。	0x0	RW
[14:12]	保留		这些位保留，应设置0。	0x0	R
11	ENHFILTEN3	0 1	此位使能设置3的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。为此，ORDER位必须设置为00以选择Sinc5 + Sinc1滤波器。 禁用 使能	0x0	RW
[10:8]	ENHFILT3	010 011 101 110	这些位选择设置3的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。 27 SPS、47 dB抑制、36.7 ms建立 25 SPS、62 dB抑制、40 ms建立 20 SPS、86 dB抑制、50 ms建立 16.67 SPS、92 dB抑制、60 ms建立	0x0	RW
7	保留		此位保留，应设置为0。	0x0	R
[6:5]	ORDER3	00 11	这些位控制设置3的数字滤波器(用于处理调制器数据)的阶数。 Sinc5 + Sinc1(默认) Sinc3	0x0	RW
[4:0]	ODR3	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100	这些位控制ADC的输出数据速率，从而控制设置3的建立时间和噪声。 250,000 125,000 62,500 50,000 31,250 25,000 15,625 10,000 5000 2500 1000 500 397.5 200 100 59.94 49.96 20 16.667 10 5	0x0	RW

失调寄存器0**地址：0x30；复位：0x800000；名称：OFFSET0**

失调(零电平)寄存器是24位寄存器，可用来补偿ADC或系统中的任何失调误差。

表42. OFFSET0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	OFFSET0		设置0的失调校准系数。	0x800000	RW

失调寄存器1**地址：0x31；复位：0x800000；名称：OFFSET1**

失调(零电平)寄存器是24位寄存器，可用来补偿ADC或系统中的任何失调误差。

表43. OFFSET1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	OFFSET1		设置1的失调校准系数。	0x800000	RW

失调寄存器2**地址：0x32；复位：0x800000；名称：OFFSET2**

失调(零电平)寄存器是24位寄存器，可用来补偿ADC或系统中的任何失调误差。

表44. OFFSET2的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	OFFSET2		设置2的失调校准系数。	0x800000	RW

失调寄存器3**地址：0x33；复位：0x800000；名称：OFFSET3**

失调(零电平)寄存器是24位寄存器，可用来补偿ADC或系统中的任何失调误差。

表45. OFFSET3的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	OFFSET3		设置3的失调校准系数。	0x800000	RW

AD7176-2

增益寄存器0

地址：0x38；复位：0x5xxxx0；名称：GAIN0

增益(满量程)寄存器是24位寄存器，可用来补偿ADC或系统中的任何增益误差。

表46. GAIN0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	GAIN0		设置0的增益校准系数。	0x5XXX0	RW

增益寄存器1

地址：0x39；复位：0x5xxxx0；名称：GAIN1

增益(满量程)寄存器是24位寄存器，可用来补偿ADC或系统中的任何增益误差。

表47. GAIN1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	GAIN1		设置1的增益校准系数。	0x5XXX0	RW

增益寄存器2

地址：0x3A；复位：0x5xxxx0；名称：GAIN2

增益(满量程)寄存器是24位寄存器，可用来补偿ADC或系统中的任何增益误差。

表48. GAIN2的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	GAIN2		设置2的增益校准系数。	0x5XXX0	RW

增益寄存器3

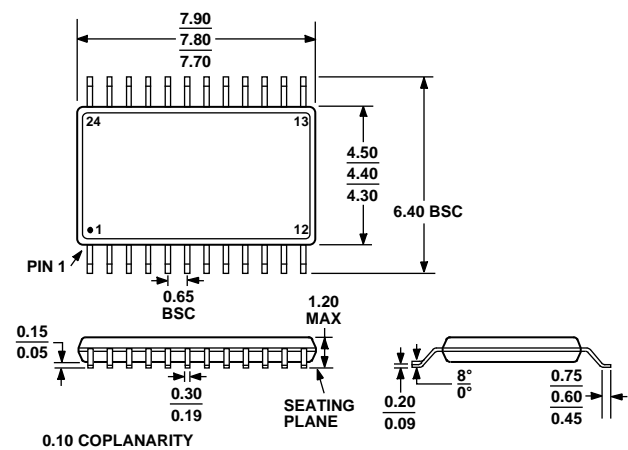
地址：0x3B；复位：0x5xxxx0；名称：GAIN3

增益(满量程)寄存器是24位寄存器，可用来补偿ADC或系统中的任何增益误差。

表49. GAIN3的位功能描述

位	位的名称	设置	描述	复位	访问类型
[23:0]	GAIN3		设置3的增益校准系数。	0x5XXX0	RW

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-153-AD

图52. 24引脚超薄紧缩小型封装[TSSOP]
(RU-24)
尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7176-2BRUZ	−40°C至+105°C	24引脚 TSSOP	RU-24
AD7176-2BRUZ-RL	−40°C至+105°C	24引脚 TSSOP	RU-24
EVAL-AD7176-2SDZ		评估板	
EVAL-SDP-CB1Z		评估控制板	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释