

# EDA 工具需求文档（支持最新制程 内存、CPU、功放芯片设计）

## 1. 文档概述

### 1.1 文档目的

本文档明确支持最新制程（3nm 及以下，含 GAA 全环绕栅极结构）内存芯片、CPU 芯片、功放芯片（功率放大器芯片）设计的 EDA（电子设计自动化）工具的核心需求、功能要求、性能指标、接口规范及其他约束条件，为 EDA 工具的研发、测试、验收提供唯一标准，确保工具能够满足高端芯片设计的复杂度、精度与效率需求，破解传统 EDA 工具在先进制程下的“效率-精度-成本”不可能三角困境。

### 1.2 适用范围

本文档适用于 EDA 工具研发团队、测试团队、产品团队，以及使用该 EDA 工具进行最新制程内存、CPU、功放芯片设计的研发人员、验证人员，同时作为工具验收、迭代优化的核心依据。

### 1.3 术语与定义

- EDA**：电子设计自动化（Electronic Design Automation），通过软件工具实现芯片从架构定义、设计、仿真、验证到物理实现的全流程自动化。
- 最新制程**：本文特指 3nm 及以下先进工艺节点，包含 FinFET 后续的 GAA（全环绕栅极）结构，涵盖台积电、三星等主流晶圆厂的先进工艺规范。
- 内存芯片**：含 DRAM、NAND Flash、HBM（高带宽存储器）等，适配 AI 基础设施、高端服务器等场景的高性能存储芯片。
- CPU 芯片**：基于 RISC-V、ARMv8、x86-64 等指令集架构，面向高性能计算、AI 服务器、消费电子的高端处理器芯片。
- 功放芯片**：功率放大器芯片，涵盖射频功放、音频功放等，具备高功率、低功耗、高线性度特性，适配通信、消费电子等场景。
- DFM**：设计-制造协同（Design for Manufacturability），确保芯片设计与制造工艺深度适配，提升流片良率。

- 时序收敛：芯片设计中，通过优化布局布线、时钟树综合等环节，使芯片时序满足设计要求，避免时序违例。

## 背景与意义

当前摩尔定律逼近物理极限，3nm 及以下先进制程芯片的晶体管密度呈指数级增长，设计复杂度大幅提升——单颗高端 CPU、GPU 晶体管数突破千亿，内存芯片（尤其是 HBM）需求因 AI 基础设施建设爆发式增长，功放芯片则面临高功率与低功耗的双重挑战。传统 EDA 工具依赖人工规则优化，难以应对纳米级物理效应（如量子隧穿、互连延迟），导致设计周期长达 2-3 年、单次流片成本突破 5 亿美元，且良率难以保障。本 EDA 工具旨在通过 AI 驱动的全流程自动化设计，打破传统工具瓶颈，支持最新制程多类型芯片设计，助力芯片研发效率提升、成本降低，推动高端芯片国产替代进程。

## 2. 总体需求

### 2.1 核心目标

开发一款集成化、自动化、高精度的 EDA 工具，支持 3nm 及以下制程的内存芯片、CPU 芯片、功放芯片全流程设计，涵盖架构定义、前端设计、后端设计、仿真验证、良率优化等全环节，具备 AI 辅助设计能力，实现设计效率提升 30% 以上、良率优化 10% 以上，适配主流晶圆厂先进工艺规范，满足高端芯片设计的 PPA（功耗、性能、面积）需求。

### 2.2 适用芯片类型

- 内存芯片：DRAM（DDR5 及以上）、NAND Flash（3D NAND，100 层及以上）、HBM（HBM3 及以上）等，支持海量阵列设计、复杂信号处理。
- CPU 芯片：高性能通用 CPU、AI 加速 CPU，支持 RISC-V、ARMv8、x86-64 等指令集架构，适配乱序执行、多核心集成、缓存层级优化等设计需求。
- 功放芯片：射频功放（5G/6G 场景）、音频功放（高保真场景），支持高功率密度、低谐波失真、热仿真优化等核心需求。

### 2.3 制程支持要求

核心支持 3nm 及以下先进制程，兼容 GAA 全环绕栅极结构，可扩展支持 2nm 及更先进制程；适配台积电、三星、中芯国际等主流晶圆厂的工艺文件（PDK），支持工艺参数实时更新，解决先进制程下物理效应建模复杂、工艺波动适配难的问题。

## 2.4 总体架构要求

工具采用模块化、可扩展架构，分为核心设计模块、仿真验证模块、物理实现模块、良率优化模块、数据管理模块、AI 辅助设计模块，各模块无缝集成、数据互通，支持自定义插件扩展，同时兼容现有主流 EDA 工具（Synopsys、Cadence 等）的设计文件格式，降低用户迁移成本。

## 3. 详细功能需求

### 3.1 通用基础功能（全芯片类型适用）

#### 3.1.1 架构定义与规划

- 支持芯片架构可视化设计，提供拖拽式架构搭建界面，可快速定义芯片核心模块（如 CPU 的运算单元、内存的存储阵列、功放的放大单元）及模块间互连关系。
- 集成 AI 辅助架构优化功能，基于强化学习、贝叶斯优化算法，根据 PPA 目标（功耗、性能、面积）自动推荐最优架构方案，量化评估架构对芯片性能的影响，解决传统架构设计依赖专家经验、难以量化评估的痛点。
- 支持架构方案对比、版本管理，可保存多个架构设计方案，对比分析各方案的 PPA 指标，支持方案回溯与迭代优化。

### 前端设计功能

- 支持 Verilog、VHDL 等主流硬件描述语言（HDL）的编辑、编译、语法检查，提供代码自动补全、错误定位、重构功能，提升代码编写效率。
- 集成逻辑综合工具，可将 HDL 代码转换为门级网表，支持多目标优化（功耗、性能、面积），适配最新制程的标准单元库，解决传统逻辑综合工具难以应对复杂电路多目标优化的问题。
- 支持 IP 核管理，内置常用 IP 核（如寄存器、加法器、乘法器、存储单元、功放核心单元），支持 IP 核导入、定制、复用，同时支持用户自定义 IP 核的创建与管理，适配内存、CPU、功放芯片的专用 IP 需求。

### 后端设计功能

- 布局规划：支持自动化布局与手动调整结合，基于 AI 算法实现模块合理布局，减少布线拥塞，优化互连延迟；针对内存芯片的海量阵列、CPU 的多核心布局、功放芯片的散热布局提供专用布局策略。
- 布局布线：支持自动化布线，适配最新制程的布线规则（如最小线宽、线间距、

通孔数量限制)，支持差分对布线、时钟树布线，解决纳米级工艺下布线拥塞不可预测、时序收敛难的问题；支持布线结果可视化，可手动调整布线路径，优化时序性能。

- 物理验证：集成 DRC（设计规则检查）、LVS（版图与原理图一致性检查）、ERC（电气规则检查）功能，适配最新制程的设计规则，支持自定义验证规则；针对 3nm 及以下制程的量子隧穿、IR 压降、EM 迁移等物理效应，提供专项物理验证模块，提升验证精度，降低漏检率。

## 仿真验证功能

- 功能仿真：支持数字电路、模拟电路、数模混合电路的功能仿真，提供高精度仿真引擎，可模拟芯片在不同工况下的工作状态，输出仿真波形、日志，支持仿真结果分析与调试；针对功放芯片的模拟特性，提供专用模拟仿真模块。
- 时序仿真：支持静态时序分析（STA）、动态时序仿真，适配最新制程的时序模型，可快速识别时序违例、关键路径，提供时序优化建议，助力时序收敛，解决传统时序仿真误差率高的问题。
- 功耗仿真：支持芯片全流程功耗仿真，包括动态功耗、静态功耗，可精准计算各模块功耗，定位功耗热点，提供功耗优化方案；针对先进制程下的漏电流问题，提供专项功耗优化仿真。
- AI 辅助验证：集成 AI 驱动验证平台，可自动生成测试计划、测试向量，协调回归测试流程，缩短验证周期——将传统人工数周完成的测试计划生成任务缩短至数天，验证效率提升 4 倍以上，解决验证覆盖率低、回归测试周期长的痛点。

## 良率优化功能

- 集成 DFM（设计-制造协同）模块，在设计阶段融入制造工艺参数，考虑光刻偏差、蚀刻速率等工艺波动，优化设计方案，提升流片良率；针对 3nm 及以下制程，提供良率预测模型，误差率控制在 15% 以内。
- 支持缺陷仿真与分析，模拟制造过程中可能出现的缺陷（如线宽偏差、通孔堵塞）对芯片性能的影响，提供缺陷规避建议，降低试错成本。
- 结合多任务学习算法，基于历史良率数据，优化设计参数与工艺参数的匹配度，进一步提升芯片良率，3nm 工艺良率提升可达 10%-20%。

## 数据管理与导出

- 支持设计文件（HDL 代码、网表、版图、仿真报告等）的统一管理、版本控制，可追溯设计过程中的每一次修改，支持文件备份与恢复。
- 支持多种格式文件的导入与导出，包括 GDSII（版图文件）、Verilog/VHDL（代码文件）、SPICE（仿真文件）、PDF（报告文件）等，兼容主流晶圆厂的流片文件格式，

确保设计文件可直接用于流片。

- 支持设计报告自动生成，可生成架构设计报告、仿真报告、物理验证报告、良率分析报告等，包含关键指标、优化建议等内容，提升设计文档规范化水平。

## 3.2 内存芯片专项设计功能

- 支持内存芯片专用架构设计，针对 DRAM 的存储阵列、控制单元、接口单元，NAND Flash 的存储单元、擦写控制模块，HBM 的堆叠结构、高速接口，提供专用设计模板与优化工具。
- 支持内存芯片的高速接口设计（如 DDR5、HBM3 接口），优化接口时序、信号完整性，减少信号干扰，适配 AI 服务器对内存带宽的高需求。
- 集成内存芯片专用仿真模块，可模拟内存的读写速度、存储容量、功耗等关键指标，支持内存故障仿真（如位翻转），优化内存可靠性；针对海量阵列设计，提供高效仿真算法，缩短仿真时间。
- 支持内存芯片的功耗优化，针对内存的待机功耗、读写功耗，提供专用优化策略，如动态电压调节、存储单元低功耗设计，适配移动设备、AI 服务器的低功耗需求。

## 3.3 CPU 芯片专项设计功能

- 支持 CPU 专用架构设计，适配 RISC-V、ARMv8、x86-64 等指令集架构，可设计单核心、多核心 CPU，支持乱序执行、超线程、缓存层级（L1/L2/L3 缓存）优化等高端特性。
- 集成 CPU 核心单元专用设计工具，包括运算单元（ALU、FPU）、控制单元、缓存单元、接口单元的专用设计模板，支持核心单元的定制化设计与优化，提升 CPU 运算性能。
- 支持 CPU 时钟树设计与优化，适配高频 CPU 的时钟需求，减少时钟 skew，优化时序收敛；针对多核心 CPU，提供时钟同步设计工具，确保各核心时钟一致性。
- 集成 CPU 性能仿真模块，可模拟 CPU 的运算速度、指令执行效率、缓存命中率等关键指标，支持多线程仿真，优化 CPU 多核心协同性能；针对 AI 加速 CPU，提供专用仿真模块，验证 AI 运算单元的性能。

## 3.4 功放芯片专项设计功能

- 支持功放芯片专用架构设计，针对射频功放、音频功放的放大单元、偏置电路、滤波电路、匹配电路，提供专用设计模板与优化工具，适配 AB 类、D 类等不同功放类型。
- 支持功放芯片的线性度优化，通过仿真工具模拟功放的谐波失真、互调失真，提

供线性度优化建议，确保功放输出信号的稳定性；针对射频功放，支持 5G/6G 频段适配，优化信号传输效率。

- 集成功放芯片热仿真模块，模拟功放芯片在工作过程中的温度分布，定位散热热点，提供散热结构优化建议，解决功放芯片高功率带来的散热问题；支持热-电协同仿真，提升设计精度。
- 支持功放芯片的功率优化，在保证输出功率的前提下，优化功耗，减少能耗；针对音频功放，提供高保真仿真模块，优化音质输出。

### 3.5 AI 辅助设计功能（核心增强）

- 采用多智能体协同架构（虚拟工程师体系），各智能体分别负责 IP 设计、验证、签核、调试等关键工作，实现全流程自动化协作。
- 引入心智模型技术，通过设计理解、技能获取、工具调用三个核心步骤，解决 AI 幻觉问题，提升 AI 设计的准确性，使 AI 能够精准理解芯片设计原理与工具使用方法，准确性提升 30-40%。
- 支持云端与本地部署多种 AI 模型（如 NVIDIA Nemotron、OpenAI GPT），用户可根据安全需求与性能需求选择部署方式，适配不同规模企业的需求。
- 实现设计全环节 AI 优化：架构定义阶段的多目标优化、布局布线阶段的 GNN/强化学习优化、良率优化阶段的多任务学习、物理验证阶段的 CNN/GNN 建模，全面提升设计效率与质量。

## 4. 性能需求

### 4.1 运行性能

- 支持千万级晶体管规模的芯片设计，针对 3nm 制程、千亿晶体管规模的 CPU 芯片，布局布线时间不超过 72 小时，较传统工具效率提升 50% 以上。
- 仿真速度：功能仿真支持百万门级电路，仿真步长可自定义（最小支持 1ps），单轮仿真时间不超过 24 小时；时序仿真、功耗仿真速度较传统工具提升 30% 以上。
- 物理验证速度：DRC/LVS/ERC 检查，针对 3nm 制程、100mm<sup>2</sup>版图，检查时间不超过 48 小时，检查准确率≥99.9%，漏检率≤0.1%。
- AI 辅助功能响应速度：架构推荐、测试计划生成、代码生成等功能，响应时间不超过 10 分钟；自动调试功能响应时间不超过 30 分钟。

### 精度需求



- 时序仿真精度：时序误差 $\leq 5\%$ ，关键路径识别准确率 $\geq 99.5\%$ ，解决传统时序模型误差率超过 10% 的问题。
- 功耗仿真精度：功耗计算误差 $\leq 3\%$ ，能够精准捕捉静态功耗、动态功耗的细微变化，适配先进制程下漏电流的精准控制需求。
- 物理验证精度：能够准确识别 3nm 及以下制程的细微设计规则违例，如线宽偏差、线间距不足、通孔缺陷等，验证准确率 $\geq 99.9\%$ 。
- 良率预测精度：良率预测误差 $\leq 15\%$ ，能够精准反映设计参数与工艺波动对良率的影响，为设计优化提供可靠依据。

## 稳定性需求

- 工具连续运行时间 $\geq 72$  小时，无崩溃、无卡顿、无数据丢失，异常情况下可自动备份设计数据，支持故障恢复。
- 支持多用户协同设计，多用户同时操作同一设计文件时，无数据冲突、无文件损坏，数据同步延迟 $\leq 10$  秒。
- 兼容不同操作系统，在 Windows 10/11、Linux (Ubuntu 20.04 及以上) 系统下稳定运行，无兼容性问题。

## 5. 接口需求

### 5.1 外部接口

- 晶圆厂工艺接口：支持导入台积电、三星、中芯国际等主流晶圆厂的 3nm 及以下制程 PDK (工艺设计套件)，支持工艺参数实时更新，确保设计与制造工艺一致。
- 第三方工具接口：兼容 Synopsys、Cadence 等主流 EDA 工具的文件格式，可导入/导出 Verilog、GDSII、SPICE 等文件，支持与第三方仿真工具、测试工具对接，实现流程联动。
- 硬件接口：支持与服务器、工作站对接，支持多 GPU 加速 (如 NVIDIA GPU)，提升仿真、布局布线的运行速度；支持与测试设备对接，可直接导出测试数据，用于芯片测试。

### 5.2 内部接口

- 各模块接口：核心设计模块、仿真验证模块、物理实现模块、良率优化模块等之间的数据接口畅通，数据传输延迟 $\leq 1$  秒，确保设计数据实时互通、同步更新。
- AI 模块接口：AI 辅助设计模块与其他模块无缝集成，可实时获取设计数据，输出

优化建议，支持 AI 模型与设计工具的协同工作，无数据断层。

## 6. 非功能需求

### 6.1 易用性需求

- 界面设计：采用简洁、直观的图形化界面，布局合理，操作流程清晰，支持自定义界面布局，适配不同用户的操作习惯。
- 操作便捷性：提供拖拽式设计、一键式仿真、自动优化等功能，减少手动操作；提供详细的操作指引、帮助文档，支持新手快速上手。
- 错误提示：操作错误时，提供清晰、准确的错误提示，指导用户解决问题；支持错误日志导出，便于问题排查。

### 6.2 可扩展性需求

- 模块扩展：支持新增芯片类型（如传感器芯片、射频芯片）、新增制程（如 2nm 及以下）的扩展，可通过插件形式添加新功能，无需修改核心代码。
- 算法扩展：支持 AI 算法、仿真算法、优化算法的升级与替换，可根据行业技术发展，更新算法模型，提升工具性能。
- 硬件扩展：支持多 GPU、多服务器集群部署，可根据设计规模扩展硬件资源，提升运行速度。

### 6.3 安全性需求

- 数据安全：设计文件、仿真数据、工艺文件等核心数据加密存储，支持用户权限管理（管理员、设计师、验证员等不同权限），防止数据泄露、篡改。
- 软件安全：工具无恶意代码、无漏洞，定期更新安全补丁，防止病毒、黑客攻击；支持设计数据备份与恢复，避免数据丢失。
- 知识产权保护：支持设计文件的加密导出，防止未经授权的文件传播，保护用户的芯片设计知识产权。

### 6.4 兼容性需求

- 操作系统兼容：支持 Windows 10/11（64 位）、Linux（Ubuntu 20.04 及以上，64 位）操作系统，适配不同用户的硬件环境。
- 文件格式兼容：支持导入/导出 Verilog、VHDL、GDSII、SPICE、PDF 等多种格式文件，兼容主流 EDA 工具、晶圆厂的文件格式。



- 硬件兼容：支持主流 CPU（Intel i7 及以上、AMD Ryzen 7 及以上）、GPU（NVIDIA RTX 3090 及以上）、内存（≥32GB）、硬盘（≥1TB SSD），确保工具流畅运行。

## 7. 约束条件

### 7.1 硬件约束

运行该 EDA 工具的工作站/服务器需满足以下配置：CPU≥Intel i7-12700H 或 AMD Ryzen 7 5800H；GPU≥NVIDIA RTX 3090（8GB 及以上显存）；内存≥32GB（推荐 64GB）；硬盘≥1TB SSD（推荐 2TB 及以上）；操作系统为 Windows 10/11（64 位）或 Linux（Ubuntu 20.04 及以上，64 位）；网络带宽≥100Mbps（支持多用户协同设计）。

### 7.2 软件约束

工具需依赖 Java 11 及以上版本、Python 3.8 及以上版本，需安装相应的运行环境；兼容主流的编译器（如 GCC、Clang）、仿真器（如 ModelSim、VCS），确保工具正常运行。

### 7.3 时间约束

工具研发周期≤18 个月，分为需求确认、架构设计、模块开发、集成测试、验收交付五个阶段；后续迭代优化周期≤3 个月/次，及时适配最新制程、新增芯片类型的设计需求，跟进行业技术发展。

### 7.4 成本约束

工具研发成本控制在预算范围内，避免不必要的成本支出；工具交付后，运维成本≤研发成本的 10%/年；工具定价合理，适配不同规模企业的需求，助力国产 EDA 工具的推广与应用。

## 8. 验收标准

### 8.1 功能验收

- 通用基础功能：所有通用功能（架构定义、前端设计、后端设计、仿真验证、良率优化、数据管理）均需正常运行，无功能缺失，满足 3.1 节所有需求。
- 专项功能：内存芯片、CPU 芯片、功放芯片的专项设计功能均需正常运行，能够

完成对应芯片的全流程设计，满足 3.2、3.3、3.4 节所有需求。

- AI 辅助功能：AI 架构推荐、测试计划生成、自动调试等功能正常运行，效率与精度满足 3.5 节、4.1 节需求。

## 8.2 性能验收

- 运行性能：布局布线、仿真、物理验证等速度均需满足 4.1 节要求，无明显卡顿、延迟。
- 精度性能：时序仿真、功耗仿真、物理验证、良率预测的精度均需满足 4.2 节要求，误差控制在规定范围内。
- 稳定性：工具连续运行 72 小时无崩溃、无数据丢失，多用户协同设计无数据冲突，满足 4.3 节要求。

## 8.3 接口验收

外部接口、内部接口均需畅通，能够正常导入/导出文件、对接第三方工具与硬件设备，数据传输无延迟、无丢失，满足 5 节所有需求。

## 8.4 非功能验收

易用性、可扩展性、安全性、兼容性均需满足 6 节要求，工具操作便捷、可扩展、安全可靠，适配不同的硬件与软件环境。

# 9. 附录

## 9.1 参考资料

- 主流晶圆厂 3nm 及以下制程 PDK 规范（台积电、三星、中芯国际）。
- EDA 工具行业标准（IEEE 1076、IEEE 1364 等）。
- 内存芯片、CPU 芯片、功放芯片设计规范与技术手册。
- AI 驱动 EDA 设计相关技术文献与行业报告。

## 9.2 术语对照表

英文缩写	英文全称	中文全称
EDA	Electronic Design	电子设计自动化

	Automation	
PDK	Process Design Kit	工艺设计套件
PPA	Power, Performance, Area	功耗、性能、面积
DRC	Design Rule Check	设计规则检查
LVS	Layout Versus Schematic	版图与原理图一致性检查
ERC	Electrical Rule Check	电气规则检查
STA	Static Timing Analysis	静态时序分析
DFM	Design for Manufacturability	设计-制造协同
GAA	Gate-All-Around	全环绕栅极
HBM	High Bandwidth Memory	高带宽存储器

## 9.3 联系方式

需求对接人：林桂安

联系电话：13450809906

电子邮箱：mendoumeiyou@qq.com