计算机科学与技术学院

**课程报告**

（ 2020 — 2021 学年 第 二 学期）

课程名称： 基带HDB3编解码系统设计

班 级：

学 号：

姓 名：

指导教师：

2021 年 07 月

**一、可编程逻辑器件**

**1.1、可编程逻辑器件简介**

可编程逻辑器件（Programmable Logic Device）PLD与一般数字芯片不同的是：PLD内部的数字电路可以在出厂后才规划决定，有些类型的PLD也允许在规划决定后再次进行变更、改变，而一般数字芯片在出厂前就已经决定其内部电路，无法在出厂后再次改变，事实上与一般的模拟芯片、混合信号芯片一样，在出厂后就无法再对其内部电路进行调修。

**1.2、可编程逻辑器件分类**

现阶段普遍使用的PLD期间主要有两种，一种是复杂可编程逻辑器件（CPLD），另一种则是现场可编程逻辑门阵列（FPGA）。两者的主要区别在于他们的系统结构。CPLD的系统结构均有一定的局限性，这个结构由一个或者多个可编辑的结果之和的逻辑组列和一些相对少量的锁定的寄存器组成。其优点在于延期时间易于设计，逻辑单元对连接单元比率较高。但是相比之下缺乏一定的灵活性。FPGA的灵活性很高，他的连接单元数量很大，可以更加灵活的编辑，但是结构却又相对复杂。

另一个较大的区别在于FPGA含有高层次的内置模块（比如加法器和乘法器）和内置的存储模块，很高新的FPGA支持完全的或部分的系统内重新配置。允许设计随着系统升级或者动态重新配置而改变。

**二、硬件描述语言简介**

目前常用的硬件描述语言主要有两种Verilog HDL和VHDL。除此之外还有System Verilog和System C等相关的硬件描述语言。本设计采用的是Verilog语言进行设计。

Verilog能够在多种抽象级别对数字逻辑系统进行描述：既可以在晶体管级、逻辑门级进行描述，也可以在寄存器传输级对电路信号在寄存器之间的传输情况进行描述。除了对电路的逻辑功能进行描述，Verilog代码还能够被用于逻辑仿真、逻辑综合，其中后者可以把寄存器传输级的Verilog代码转换为逻辑门级的网表，从而方便在现场可编程逻辑门阵列上实现硬件电路，或者让硬件厂商制造具体的专用集成电路。

使用硬件描述语言进行电路设计的一般流程为图2.1所示：

图示

描述已自动生成

图2.1：电路设计的一般流程

**三、基带传输码**：

**3.1、基带传输编码的需求**

在实际的基带传输系统中，并不是所有的基带波形都是和在信道中传输。如果信号中的直流分量和低频带量的单机性基带波形就不适合在低频传输特性差的信道中传输，有可能造成严重的信号畸变。此外，当信号中含有连续的1或0的时候，非归零波形呈现出连续的固定点评，因而无法获得定时信息。单极性归零码在传送连续的0信号时，也存在同样的问题。因此对于传输的基带信号主要有以下两方面的要求。

1. 对代码的要求：原始消息代码必须变成适合于传输用的码型。
2. 对所选码型的电波形要求：电波形应适合于基带系统的传输。

**3.1.1、传输码的码型选择原则**

1. 不含直流，且低频分量尽量少；
2. 应含有丰富的定时信息，以便于从接受码流中提取定时信号；
3. 功率谱主瓣宽度窄，以节省传输频带；
4. 不受信息源统计特性的影响，即能适应于信息源的变化；
5. 具有内在的检错能力，即码型应具有一定规律性，以便于用这一规律性进行宏观检测
6. 编译码简单，以降低通信延时和成本。

**3.2、常用的传输码型的编码规则：**

1. AMI码：AMI码(Alternative Mark Inversion) 码的全称是传号交替反转码，其编码规则是将消息码的“1”（传号）交替地变换为“+1”和“-1”，而“ 0”（空号）保持不变。AMI码的优点是,没有直流成分，且高、低频分量少，能量集中在频率为1/2 码速处；编码电路简单，且可利用传号极性交替这一规律观察误码情况；如果它是AMI-RZ波形，接收后只要全波整流，就可变为单极性RZ 波形，从中可以提取定时分量。鉴于上述优点，AMI 码成为较常用的传输码型之一。AMI码的缺点是，当原信码出现长连“ 0”串时，信号的电平长时间不跳变，造成提取定是信号的困难。解决连“ 0”码问题的有效方法之一是采用HDB3 码。
2. HDB3码：HDB3码的全称是三阶高密度双极性码。他是AMI码的一种改进型，改进的目的是为了保持AMI的优点，客服其缺点，使得连续的0不超过3个。

HDB3的编码虽然相对复杂但是解码比较简单。除了具有AMI的优点外，同时还将连续的0限制在三个以内，使得接收的时候保证定时信息的提取。HDB3是目前使用最为广泛的码型。

1. 双相码：双相码又称曼彻斯特码。它用一个周期的正负对称方波表示“0”，而用其反相波形表示“1”。编码规则之一是：“0”码用“01”两位码表示，“1”码用“10”两位码表示。双相码波形是一种双极性NRZ波形，只有极性相反的两个电平。它在每个码元间隔的中心点都存在电平的跳变，所以含有丰富的位定时信息，且没有直流分量，编码过程也简单。缺点是占有带宽加倍，使频带利用率降低。双相码适用于数据终端设备近距离上传输，局域网常采用该码作为传输码型。
2. 差分双相码：为了解决双相码因极性反转而引起的译码错误，可以采用差分码的概念。双相码是利用每个码元持续时间中间的电平跳变进行同步和信码表示。而在差分双相码编码中，每个码元中间的电平跳变用于同步， 而每个码元的开始处是否存在额外的跳变用来确定信码。有跳变则表示二进制“1”，无跳变则表示二进制“0”。该码在局域网中常被采用。
3. CMI码：CMI码是传号反转码的简称，与双相码类似，它也是一种双极性二电平码。其编码规则是：“1”码交替用“11”和“00”两位码表示；“0”码固定地用“ 01”表示。CMI 码易于实现，含有丰富的定时信息。此外，由于10为禁用码组，不会出现三个以上的连码，这个规律可用来宏观检错。该码已被ITU-T推荐为PCMCIA 四次群的接口码型，有时也用在速率低于8.448Mb/s的光缆传输系统中。

**四、HDB3编码原理**

**4.1、HDB3的编码规则**

1. 检查消息码中的0的个数。当连续的0小于等于3的时候，HDB3码和AMI码一样，+1和-1交替出现。
2. 当连0数目超过3个的时候，将每四个连0化作一个小节，定义为B00V，成为破坏节，其中V称为破坏脉冲，B称为调节脉冲；
3. V与前一个非0脉冲的极性相同（这破坏了极性交替的规则，所以V称为破坏脉冲），并且要求相邻的V码之间极性必须交替。V的取值为-1和+1；
4. B的取值可选0，-1，+1.以使V同时满足3中的两个需求；
5. V码后面的传号码极性也要交替。

**4.2、HDB3编码的实现**

编码中出现的V码，B码只是作为标识符，最终的电路还是0，-1和+1这三种电平。因此需要采用二进制编码对1，0，V，B进行编码，其中00表示0，01表示1，10表示V，11表示B。根据编码的规则和利用FPGA实现的特点，编码的过程为：首先插入V码，然后插入B码，最后是单极性变换。但是如果按照编码规则的顺序设计，应该首先进行单双极性变换，再完成插V和插B，在此过程中还需根据编码规则变换当前B 码之后的非零码的极性， 这就需要大量的寄存器来保存当前数据的状态，导致电路非常复杂，占用大量的FPGA 内部逻辑单元， 实现难度大，且成本高。因此不用这种设计方法。FPGA实现HDB3编码的过程如图4.1所示：

图形用户界面, 图示

描述已自动生成

图4.1、FPGA实现HDB3编码流程

**4.2.1、插入V码的过程：**

插入V码的过程是对消息代码中连续的0进行检测，一旦出现4个连续的0的时候，就把第四个0变为破坏符V码，其他情况下消息代码原样输出。输入的代码经过插V后全部变为双相码，代码输入到插V模块后，如果输入的是1，则输出为01，采用三位移位寄存器对输入数据进行寄存，如果输入数据i\_data和寄存器中的三位数据全为0的时候，则将最后一位的0变为V即为10，移入寄存器最低位。如果不是连续4个以上的0，则将0变为00移入寄存器。流程图如图4.2所示：

图示

描述已自动生成

图4.2：插入V码的流程

**4.2.2插入B码：**

当相邻两个V码之间有偶数个非0码时，则吧后一个V码之前的第一个非0码后面的0码变为B码用11表示。模块的设计难点在于插入B码的过程中设计一个由现在事件的状态控制过去事件状态的问题，按照实时信号处理的理论，这是无法实现的。本设计采用两组5位的移位寄存器，并选择一位的偶数位检测信号，没检测到一位1则进行取反，如果检测到V则归零。如果检测到V码，则将V码移入将第四位变为B码11。否则直接进行移位操作即可。流程图如图4.3所示：

图示

描述已自动生成

图4.3：插入B码的流程

**4.2.3、单双极性变换：**

分析HDB3的编码规则，可以发现V码的极性时政府交替的，余下的1和B码的极性也是正负交替的，且V码的极性和V码之前的非零码极性一致。因此可以将所有的1和B码提取出来左正负交替变换，而V码的极性则根据“V码的极性和V码之前的非零码极性一致”这一特性进行正负交替变换。具体的操作时设置一个标志位r\_not\_0\_parity，通过检测标志位的状态来确定是否进行单双极性变换，标志位要交替变换以实现1和B正负交替，V码的极性也根据标志位变换。下图是单双极性变换过程的流程，其中00表示0，01表示1，10表示-1。流程图如图4.4所示：

图示

描述已自动生成

图4.4：单双极性变换流程

**4.2.4、HDB3解码**

HDB3解码相对较为简单，只需要找到连续两个相同极性的非零码，将响应的位置变换为0，其余的位置变换为1即可。可以定义两组5位的移位寄存器r\_hdb3\_plus和r\_hdb3\_minus分别寄存输入代码的高位和低位。在极性检测的时候分为两种情况，一是V码的极性与前面的1码的极性相同，二是和前面的B码的极性相同，这两种情况需要检测的位数是不同的。如果是第一种情况，需要检测5位信号，如果是第二种则需要检测4位信号。HDB3解码的流程图如图4.5所示：

图示

描述已自动生成

图4.5：HDB3解码流程图

**五、实验结果**

**5.1、实验平台**

设计采用的开发板为正点原子的新起点FPGA开发板。采用的FPGA芯片为Altera公司的EP4CF10C8，时钟频率为50MHz，开发工具为Quartus II 13.0。仿真工具为ModelSim-Altera 10.1d。仿真输出的时钟频率为50MHz，板级验证输出的信号频率为1KHz。

**5.2、仿真**

此次仿真的数据为32位的：32'b1000\_1001\_0000\_0000\_1111\_0000\_1000\_0000

**5.2.1、插入V码的结果**

设计采用10代表V码，仿真结果如图5.1所示：

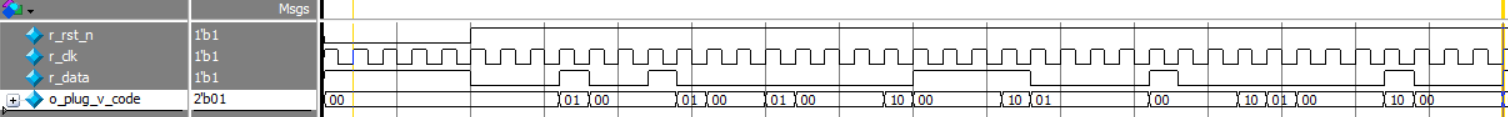


图5.1：插入V码的仿真

仿真的结果数据为：

01,00,00,00\_01,00,00,01\_00,00,00,10\_00,00,00,10,

01,01,01,01\_00,00,00,10\_01,00,00,00\_10,00,00,00

经检验，插入V码结果正确。

**5.2.2、插入B码的结果**

输入数据为插入B码后的编码数据，仿真结果如图5.2，采用11代表B码：

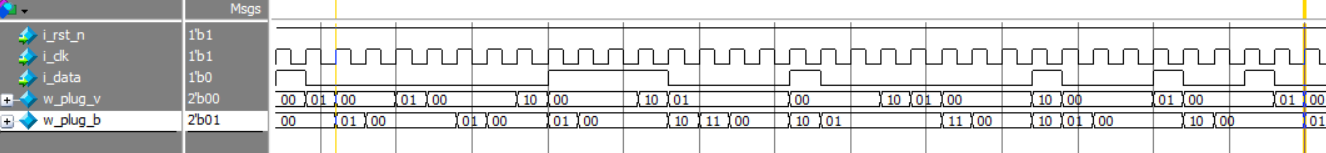


图5.2：插入B码的仿真

仿真的数据结果为：

01,00,00,00\_01,00,00,01\_00,00,00,10\_11,00,00,10

01,01,01,01\_11,00,00,10\_01,00,00,00\_10,00,00,00

经检验，插入B码结果正确。

**5.2.3、极性转换仿真**

极性转换的数据输入为经过插入B码之后的数据，采用00表示0，01表示1，10表示-1。仿真结果如图5.3：

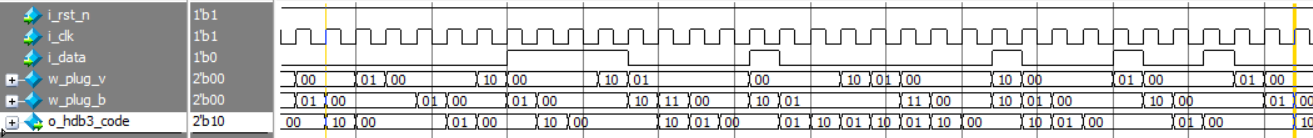


图5.3：极性转换的仿真

仿真的数据结果为：

10,00,00,00\_01,00,00,10\_00,00,00,10\_01,00,00,01

10,01,10,01\_10,00,00,10\_01,00,00,00\_01,00,00,00

数值结果为：-1,0,0,0\_1,0,0,0,1\_0,0,0,-1\_1,0,0,1\_-1,1,-1,1\_,-1,0,0,-1\_1,0,0,0\_1,0,0,0

经检验，极性变换结果正确。

**5.2.4、解码仿真**

解码的输入数据为HDB3编码的信息，解码后的数据为原始的序列，仿真结果如图5.4：

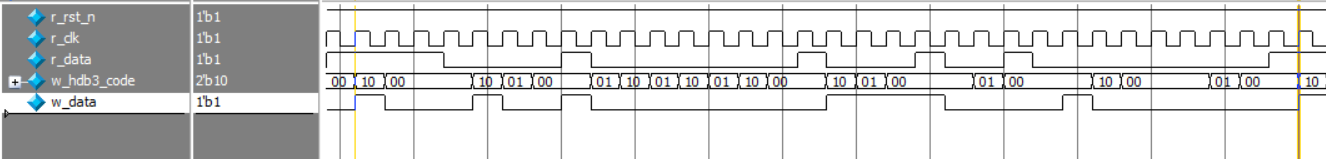


图5.4：解码后的信息

上图的信号一位时钟信号，信号二位原始编码信号，信号三位HDB3编码后的信号，信号四位解码后的信号。

经检验，HDB3的解码部分是正确的。

**5.3、板级验证**

**5.3.1、原始波形**

板级验证采用的序列为：16'b1111\_0000\_0000\_1110;

原始波形为和解码后波形分别为图5.5的黄线和紫色线：

屏幕上有字

描述已自动生成

图5.5：HDB3原始波形和解码后波形。

**5.3.2、编码波形：**

编码采用两个通道输出，上通道减去下通道的值即为HDB3编码，结果如图5.6所示：

电脑萤幕画面

中度可信度描述已自动生成

图5.6：HDB3编码波形

经检验，板级验证是正确的。

**六、实验小结**

本次实验是对通信原理课程的一次扩展。在本学期的通信原理课程中，我们学习了HDB3编码，做了相应的HDB3编解码实验，但是并没有完成自己的HDB3编码电路的设计。

在本次的设计中，设计输出的始终采用的1kHz的时钟，原因在于如果采用实验板的时钟频率，会导致输出的信号波形失真，在示波器上观察不出正确的波形。可以有两种解决方法，一种是添加合适的滤波器，另一种是把输出信号的频率降低。在咨询老师之后，HDB3编码实验不需要50MHz这么高的时钟频率。于是就将输出信号的频率降低到了1kHz。这时候的输出波形没有明显的失真，可以很好的输出0，1信号。

还有一点就是如果按照编码规则的顺序设计，应该首先进行单双极性变换，再完成插V和插B，在此过程中还需根据编码规则变换当前B码之后的非零码的极性，这就需要大量的寄存器来保存当前数据的状态，导致电路非常复杂， 占用大量的FPGA内部逻辑单元，实现难度大，且成本高。于是采用本设计的设计方法，即采用先插入V码，B码再实现极性转换的方法实现HDB3的编码实验。这样的设计需要的成本相对较低。

最后，感谢老师一个学期以来的支持和教诲。没有老师的帮忙，我自己也无法独立实现相关的功能。

参考文献

[1]杨湲.基于FPGA的HDB3码编译码设计[J].周口师范学院学报,2019,36(05):50-52.

[2]吴光辉,殷严刚,姜愉.基于FPGA的HDB3编码和解码器的设计与实现[J].电子测试,2015(23):15-16+28.

[3]佘新平,许鹏甲,梁浩.基于FPGA的HDB3译码器设计与仿真[J].长江大学学报(自然科学版),2013,10(07):37-39+5.

[4]沈媛媛,梁浩.基于FPGA的HDB3编码器设计与仿真[J].仪器仪表与分析监测,2012(04):17-19.