
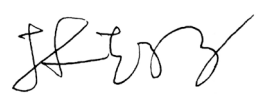




ATBM6441 技术规范

低功耗 IEEE 802.11b/g/n 1T1R Wi-Fi 芯片

作成	核对	批准
李楠		

版本号 3.7

发布日期: 2021-09-01

高拓讯达(北京)科技有限公司

声明

本文中的内容均与 AltoBeam 产品有关，该文件没有明示或暗示地以禁止反言或其他方式，授予过任何知识产权许可。除 AltoBeam 有关此类产品的销售条款和条件规定外，AltoBeam 不承担任何责任。AltoBeam 不承认任何明示或暗示的与 AltoBeam 产品的销售和/或使用相关的担保，包括与特定用途，适销性或侵犯任何专利，版权及其他知识产权相关的任何责任和保证。

AltoBeam 可随时更改规格和产品说明，恕不另行通知。

设计人员不得依赖标记为“保留”或“未定义”的空缺，任何功能特征或说明。AltoBeam 保留这些用于将来的重新定义，并且对由于未来更改导致的冲突或不兼容性不承担任何责任。

禁止未经 AltoBeam 书面许可擅自使用本文所含信息，向任何第三方披露或分发，

AltoBeam™是 AltoBeam 的商标。所有其他商标和产品名称均为其各自所有者的财产。

版权所有©2007~2021 AltoBeam，保留所有权利。

联系方式

高拓讯达(北京)科技有限公司

地址: 北京市海淀区王庄路 1 号清华同方科技广场 B 座 808

邮编: 100083

电话: (010) 6270 1811

传真: (010) 6270 1830

网站: www.altobeam.com

支持: support@altobeam.com

更新记录

版本号	修改日期	更新内容	
		项目	描述
3.7	2021-09-01	3.6 晶体规格 4 上电时序要求 5.7 SPI 接口	<ul style="list-style-type: none"> ➤ 修改 32.768KHz 晶体规格要求 ➤ 增加 1.4V DC/DC 上电时序要求 ➤ 修改 SPI 接口时序图
3.6	2021-08-05	1.4 ATBM6441 基本性能参数 3.5.2 供电要求 5.2 SDIO 接口	<ul style="list-style-type: none"> ➤ 睡眠时电流优化到 40uA 以内 ➤ 增加 3.3V 供电最低电压要求的注意事项 ➤ 增加 SDIO 时序要求
3.5	2021-06-18		特别版本
3.4	2021-06-04	1.4 ATBM6441 基本性能参数 3.5.2 供电要求 4 上电时序要求 7.1 应用参考设计	<ul style="list-style-type: none"> ➤ 睡眠时电流从 34uA 改为 50uA ➤ 增加 3.3V 断电时的电平要求 ➤ 上电时序要求分为用主控芯片的 GPIO 或 RC 电路控制 PWR_ON 管脚两种情况 ➤ 修改应用参考设计，把 PWR_ON 的上拉电阻从 100kohm 改为 2.7kohm
3.3	2021-04-14	3.6 晶体规格 5.6 ADC 接口	<ul style="list-style-type: none"> ➤ 修改 24MHz 晶体的负载电容典型值 ➤ ADC 输入范围从 0~1.2V 改为 0~1.1V
3.2	2021-03-05	2.2 管脚定义 3.5 供电电路 4 上电时序要求	<ul style="list-style-type: none"> ➤ 删除 JTAG 接口。 ➤ 增加不同发射功率的额定电流要求值。 ➤ 修改 PWR_ON 的时序要求值
3.1	2021-02-20	4 上电时序要求 7.1 应用参考设计	增加上电硬件复位方案，如果没有外部 GPIO 控制 PWR_ON 硬件复位，也可以采用 RC 电路。同时修改推荐设计的 PWR_ON 外围电路。
3.0	2021-02-08		V3.0 版修改适用于量产芯片
2.0	2020-11-03		V2.0 版修改适用于工程样片
1.0	2020-06-10		初始发布版本

目录

1	概述	1
1.1	产品简介	1
1.2	产品框图	1
1.3	ATBM6441 功能列表	2
1.4	ATBM6441 基本性能参数	3
2	管脚定义	5
2.1	管脚布局	5
2.2	管脚定义	6
3	电气特性	9
3.1	最大额定值	9
3.2	ESD 电气特性	9
3.3	热性能数据	9
3.4	直流电气特性	9
3.5	供电电路	10
3.5.1	供电类型	10
3.5.2	供电要求	11
3.6	晶体规格	12
3.6.1	外部晶体规格	12
4	上电时序要求	13
5	外设接口	14
5.1	GPIO 接口	14
5.2	SDIO 接口	14
5.3	I ² C 接口	16
5.4	UART 接口	17
5.5	脉冲宽度调制(PWM)接口	17
5.6	ADC(模/数转换)接口	18
5.7	SPI 接口	18
5.7.1	SPI 接口定义	18
5.7.2	SPI 接口时序图	18
5.8	I2S 接口	20
6	内置 SPI FLASH 烧写方法	20
7	外围参考电路	22
7.1	应用参考设计	22
8	封装信息	23
8.1	芯片封装图	23
8.2	封装尺寸(单位:MM)	24
9	回流焊规范	25
9.1	回流焊峰值温度	25

9.2	回流焊曲线类别.....	25
9.3	最大回流焊次数.....	25

图表索引

图 1	ATBM6441 框图.....	1
图 2	ATBM6441 布局 (顶视图).....	5
图 3	3.3V 单供电.....	10
图 4	低功耗电池供电.....	11
图 5	GPIO 控制 PWR_ON 的上电时序图.....	13
图 6	RC 电路控制 PWR_ON 的上电时序图.....	13
图 7	低功耗应用参考设计.....	22
图 8	ATBM6441 封装图.....	23
图 9	ATBM6441 回流焊曲线.....	25

1 概述

1.1 产品简介

ATBM6441 是由高拓讯达公司开发，支持 IEEE 802.11b/g/n 协议的高集成度低功耗 Wi-Fi 芯片。ATBM6441 为客户提供了性能卓越、稳定性高的低功耗 Wi-Fi 技术方案。

ATBM6441 集成了低功耗 MCU 处理器，可以独自实现 Wi-Fi 网络功能，内置 2Mbytes (16Mbits) SPI Flash 存储器，为嵌入式 FreeRTOS 系统提供高速缓存。

ATBM6441 支持 IEEE 802.11b, 802.11g 和 802.11n 的所有传输速率。支持单空间流传输，400ns 短保护间隔，20MHz 信道带宽。

ATBM6441 的 MAC 层支持 802.11e 协议，802.11i 加密协议和 802.11n 技术规范，以提高 MAC 协议的效率。为了提高数据吞吐率，该产品还支持如 A-MPDU 等帧聚合技术。同时支持 Legacy Power Save 和 U-APSD 等降低功耗的技术。

ATBM6441 完全满足 Wi-Fi- Alliance、WMM 等技术规范，支持 SmartConfig 功能，可扩展支持 P2P 功能。

1.2 产品框图

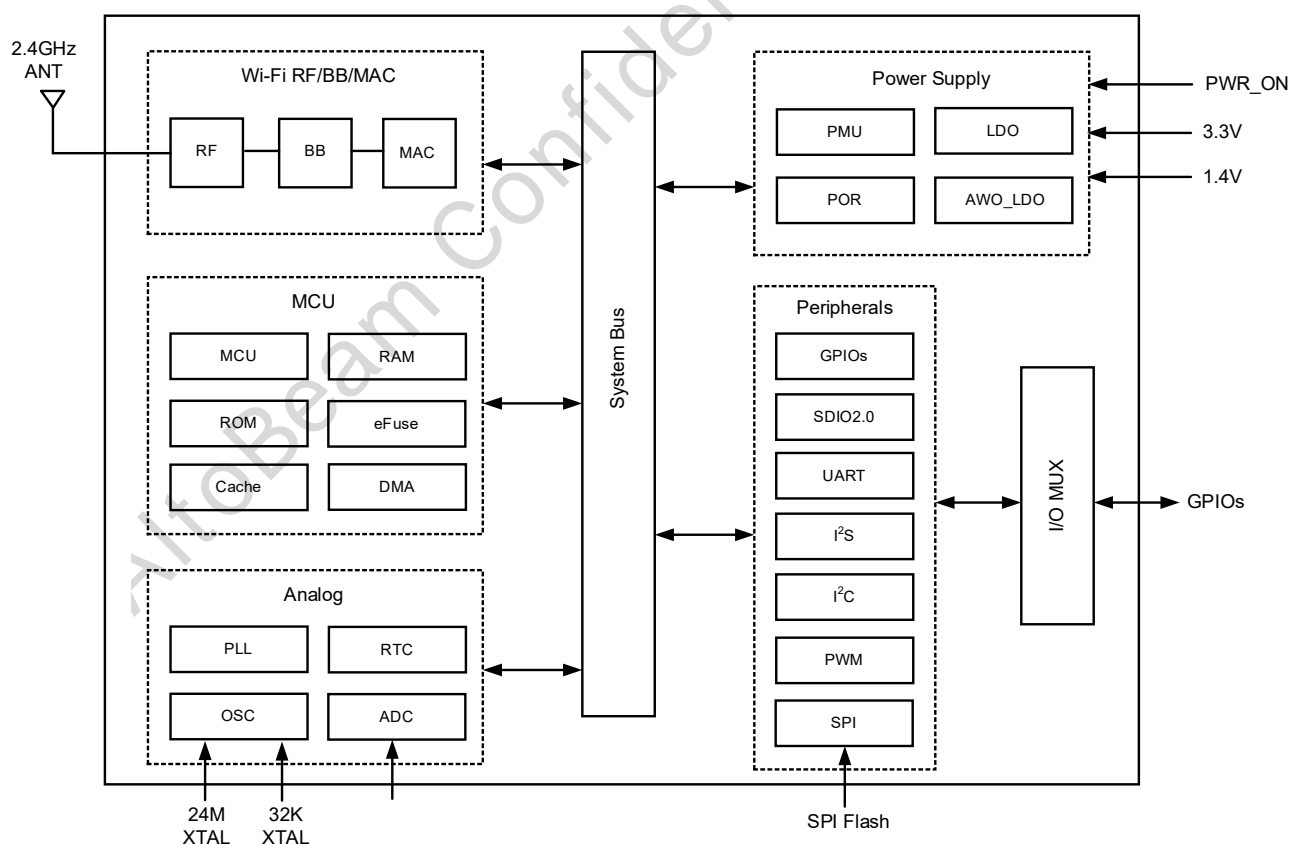


图 1 ATBM6441 框图

1.3 ATBM6441 功能列表

主要参数

- ATBM6441 包含低功耗处理器和 Wi-Fi MAC 层、1T1R Wi-Fi 基带、射频前端电路、Wi-Fi 协议加速器、SDIO 接口等其他通用外围接口以及电源管理子系统
- 内置 160MHz 频率的 32bit 低功耗处理器
- 内置 512KB 大容量 SRAM 空间
- 内置 2Mbytes (16Mbits) 的 Flash 存储器
- 内置 1024bits eFuse
- 内置晶振电路，只需外接 24.00MHz 晶体
- RTC 时钟源可采用片上 RC 震荡电路或外置 32.768KHz 晶体，电池应用推荐使用外置 32.768KHz 晶体，可以降低睡眠功耗
- 内置 LDO，可采用 3.3V 单供电，电池应用的低功耗模式需要提供 1.4V 和 3.3V 供电
- 6x6mm², 48pin QFN 封装
- 支持 Wi-Fi 快速连接
- 支持 IEEE 802.11 b/g/n 规范
- 支持 20MHz 信道带宽传输
- 内置 PA、LNA 和接收/发送开关，降低物料成本
- 支持 STA/AP/STA+AP 功能
- 可扩展支持 P2P 功能
- 支持 Smart Configure Wi-Fi 配网功能
- 兼容 802.11n 传统模式，Mixed 模式和 Green Field 模式
- 支持 A-MPDU 发送和接收，进一步提高吞吐率
- 支持 A-MSDU 接收和 STBC 流接收
- 支持 802.11n 的 Short-GI 功能
- BSS 模块支持 PS-Poll 和 U-APSD 节能功能
- 射频前端设计具有高效的 IQ 不平衡、DC 偏移、相位噪声、频率偏移和时序偏移补偿的能力

功能接口

- 拥有 19 个可配置的 GPIO
- 拥有 19 个可配置的 PWM 输出接口，最大支持 12 个 PWM 同时输出
- 支持 I²C master/slave 模式
- 多个可配置的两线和四线 UART 接口
- 2 个标准 SPI 接口，支持 master/slave 模式
- 1 个 SDIO 2.0 接口
- 2 个可配置的 I²S 接口，支持双向传输
- 内置 10bit 双通道 SAR ADC
- 支持 WPA, WPA2, WPA3 安全协议
- 支持 AES128/192/256, SHA1, SHA256, MD5 等硬件加密引擎
- 支持 Flash 固件加密保护
- 可以通过 UART、SDIO 和 SPI 接口升级固件
- 支持空中升级 (OTA)

技术特点

- 支持低功耗网络唤醒 Wi-Fi 保活功能
- Wi-Fi 协议栈独立运行在 Wi-Fi 芯片端，同时还支持高速 SDIO 数据传输，可传输高清视频流

典型应用

- 无线摄像机
- 电池供电无线摄像机
- 智能门铃
- 智能门锁
- 智能家电
- 智能家居

1.4 ATBM6441 基本性能参数

分类	项目	参数
功能	无线标准	802.11 b/g/n
	频率范围	2.4 ~ 2.483GHz
射频性能	最大发射功率	802.11b (11M): +17dBm (默认配置, 最大+21dBm)
		802.11g (54M): +15dBm (默认配置, 最大+19dBm)
		802.11n (MCS7): +14dBm
	最小接收灵敏度	802.11b (11M): -89dBm
		802.11g (54M): -75dBm
		802.11n (MCS7): -73dBm
工作电流 (*1)	发送模式	125mA (802.11n, MSC7, 50%占空比下的平均电流)
	接收模式	50mA
	睡眠模式 (*2) (Light Sleep)	睡眠时: 40uA DTIM=1: 0.93mA DTIM=3: 0.33mA DTIM=10: 0.12mA 测试条件: 每个 DTIM 周期接收 Beacon 时间约 2ms
	深度睡眠模式 (Deep Sleep)	5uA (只有 RTC 定时器工作)
工作环境	工作电压	<3.3V 单供电> 电压范围: 2.97 ~ 3.63V <锂电池供电> VBAT 供电: 3.0~ 4.3V 3.3V 供电: 2.97 ~ 3.63V 1.4V 供电: 1.35 ~ 1.5V

	工作温度范围	-40 ~ 105℃
软件	Wi-Fi 模式	Station/AP/Station + AP
	安全机制	WPA/WPA2/WPA3
	加密机制	WEP/TKIP/AES/SHA/MD5
	SRAM 空间	512KB 大容量 SRAM
	升级固件	可以通过 UART, SDIO 或 SPI 接口升级固件, 同时支持 OTA

注 1: 电流测试结果是 3.3V 和 1.4V 双供电时 3.3V 供电的总电流, 芯片的 1.4V 采用 3.3V 转 1.4V 的 DC/DC 供电。

注 2: 睡眠模式的待机电流是按照每个 DTIM 周期接收 Beacon 时间约 2ms 的平均电流值。不同的路由器设定会导致接收 Beacon 的时间有很大差异, 会影响待机功耗的测试结果。

2 管脚定义

2.1 管脚布局

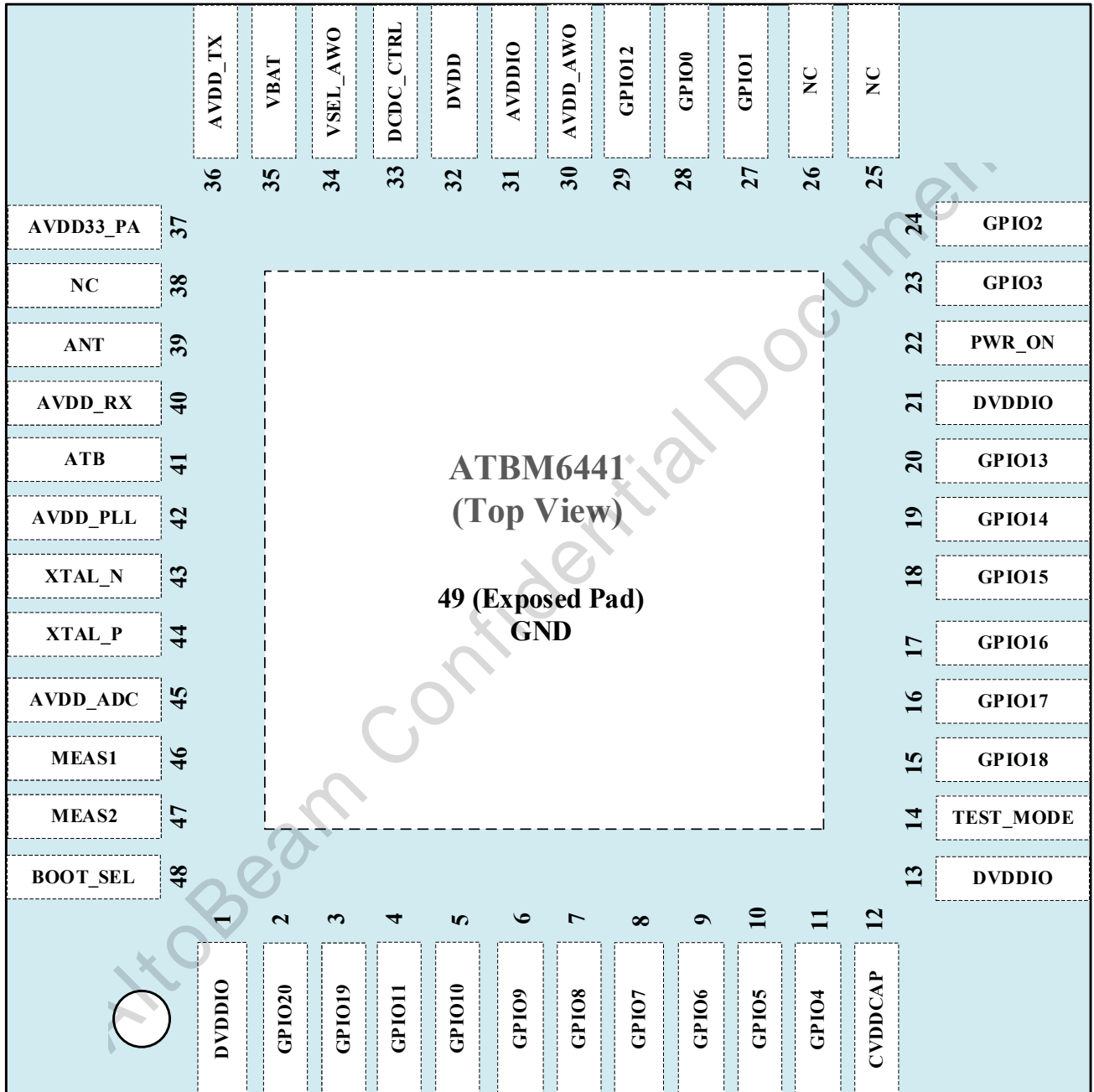


图 2 ATBM6441 布局 (顶视图)

2.2 管脚定义

管脚编号	管脚名称	管脚数	类型	管脚描述
供电				
1	DVDDIO	3	Power Input	3.3V I/O 供电， 注：由于 DVDDIO 还要给内置 SPI Flash 供电，现在内置的 Flash 供电仅支持 3.3V，所以 I/O 供电也仅支持 3.3V，暂不支持 1.8V 的 SDIO 接口。
13	DVDDIO			
21	DVDDIO			
31	AVDDIO	1		
12	CVDDCAP	1	Power Output	连接芯片内部 LDO 输出所需的外置去耦电容
30	AVDD_AWO	1	Power Output	芯片内部 AWO LDO 的输出，AWO LDO 的输入是 VBAT 管脚。通过管脚 AVDD_AWO 输出在 PCB 上连接 DVDDIO 和 AVDDIO 管脚供电。
35	VBAT	1	Power Input	电池应用的芯片内部 LDO 的输入管脚，直接连接电池。当不使用内部 LDO 时请悬空。
37	AVDD33_PA	1	Power Input	3.3V PA 供电电源
32	DVDD	1	Power Input	3.3V or 1.4V 给芯片内部 LDO 供电
36	AVDD_TX	1	Power Input	3.3V or 1.4V 射频电路供电
40	AVDD_RX	1	Power Input	3.3V or 1.4V 射频电路供电
42	AVDD_PLL	1	Power Input	3.3V or 1.4V 模拟电路供电
45	AVDD_ADC	1	Power Input	3.3V or 1.4V 模拟电路供电
电源控制				
22	PWR_ON	1	Input	Low: 芯片断电 High: 芯片工作 此管脚也可以作为硬件复位使用。芯片内部无上下拉电阻。
33	DCDC_CTRL	1	Output	外置 1.4V 输出 DC/DC 的开关控制管脚，采用硬件控制逻辑，保活时休眠状态下通过此管脚关闭外置 DC/DC，接收 Beacon 时会提前打开 DC/DC。
34	VSEL_AWO	1	Input	设置 AWO LDO 输出电压 3.3V 单供电：不使用 AWO LDO 时，VBAT 和 VSEL_AWO 管脚请悬空。 电池供电：推荐使用 3.3V 输出的常供电 DC/DC 给 I/O 供电。当使用 AWO LDO 给 I/O 供电时，如需给 I/O 供 3.3V，请把 VSEL_AWO 管脚接地，AVDD_AWO 管脚输出 3.3V 给 DVDDIO 和 AVDDIO 供电。如需给 I/O 供 1.8V，请把 VSEL_AWO 管脚通过 1Mohm

管脚编号	管脚名称	管脚数	类型	管脚描述
				的电阻连接到 VBAT, 这种情况下 AVDD_AWO 管脚输出 1.8V 给 DVDDIO 和 AVDDIO 供电。
GPIO				
2	GPIO20	1	I/O	I2C#1 SCL; GPIO; PWM; SDIO IRQ; Wake Host
3	GPIO19	1	I/O	I2C#1 SDA; GPIO; PWM; SDIO IRQ; Wake Host
4	GPIO11	1	I/O	UART RXD; SPI#3 CS/; I2S#2 MCLK; GPIO; PWM; SDIO IRQ
5	GPIO10	1	I/O	UART TXD; SPI#3 CLK; I2S#2 LRCK; GPIO; PWM; SDIO IRQ
6	GPIO9	1	I/O	UART RXD; SPI#3 MOSI; I2S#2 SCLK; GPIO; PWM; SDIO IRQ
7	GPIO8	1	I/O	UART TXD; SPI#3 MISO; I2S#2 SDATA; GPIO; PWM; SDIO IRQ
8	GPIO7	1	I/O	UART RXD; SPI#2 CS/; I2S#1 MCLK; GPIO; PWM; SDIO IRQ; Wake Host
9	GPIO6	1	I/O	I2C#2 SCL; UART TXD; SPI#2 MOSI; I2S#1 LRCK; GPIO; PWM; SDIO IRQ; Wake Host
10	GPIO5	1	I/O	I2C#2 SDA; UART RXD; SPI#2 MISO; I2S#1 SCLK; GPIO; PWM; SDIO IRQ; Wake Host
11	GPIO4	1	I/O	UART TXD; SPI#2 CLK; I2S#1 SDATA; GPIO; PWM; SDIO IRQ; Wake Host
15	GPIO18	1	I/O	SDIO DAT1; GPIO; PWM; Wake Host
16	GPIO17	1	I/O	SDIO DAT0; GPIO; PWM; Wake Host
17	GPIO16	1	I/O	UART CTS/; SDIO CLK; I2S#2 MCLK; GPIO; PWM; Wake Host
18	GPIO15	1	I/O	I2C#2 SCL; UART TXD; SDIO CMD; I2S#2 LRCK; GPIO; PWM; Wake Host
19	GPIO14	1	I/O	I2C#2 SDA; UART RXD; SDIO DAT3; I2S#2 SCLK; GPIO; PWM; Wake Host
20	GPIO13	1	I/O	UART RTS/; SDIO DAT2; I2S#2 SDATA; GPIO; Wake Host
27	GPIO1	1	I/O	UART RXD; GPIO; PWM; SDIO IRQ; Wake Host
28	GPIO0	1	I/O	UART TXD; GPIO; PWM; SDIO IRQ; Wake Host
29	GPIO12	1	I/O	GPIO; PWM; SDIO IRQ
48	BOOT_SEL	1	Input	<p>GPIO; PWM; SDIO IRQ</p> <p>用于选择固件烧录模式或从 Flash 的固件启动的 strapping pin, 上电或 PWR_ON 拉高时检测电平状态, 需外接上拉电阻。</p> <p>Low: 进入 ROM code 固件烧录模式, 可以从 GPIO0(TXD)和 GPIO1(RXD)的 UART 接口或 GPIO4~7 的 SPI 接口烧录固件到 Flash 中。</p> <p>High: 加载芯片内置 Flash 的固件启动。</p>

管脚编号	管脚名称	管脚数	类型	管脚描述
测试管脚				
14	TEST_MODE	1	Input	测试模式选择，拉高进入测试模式，正常工作状态下请悬空，芯片内部有下拉电阻。
41	ATB	1	Input	模拟电路测试管脚，请悬空。
46	MEAS1	1	Input	10bit SAR ADC输入管脚
47	MEAS2	1	Input	10bit SAR ADC输入管脚
晶体/时钟				
23	GPIO3	1	Input	外置 32.768KHz 晶体 XI 管脚
24	GPIO2	1	Output	外置 32.768KHz 晶体 XO 管脚
43	XTAL_N	1	Output	外接 24MHz 晶体，连接内部晶振输出端
44	XTAL_P	1	Input	外接 24MHz 晶体，连接内部晶振输入端
天线接口				
39	ANT	1	RF IN/OUT	连接 2.4GHz Wi-Fi 天线
其他				
25	NC	1	NC	预留管脚
26	NC	1	NC	预留管脚
38	NC	1	NC	预留管脚
接地				
49	GND (Exposed Pad)	1	GND	数字和模拟电路接地

3 电气特性

3.1 最大额定值

参数	描述	最小值	最大值	单位
T_j	芯片结温		125	°C
T_{stg}	储藏温度	-60	150	°C

注意：如果参数超过最大值，芯片有可能受到损坏。

3.2 ESD 电气特性

ESD 模式	描述	数值	单位
HBM	所有管脚	± 4000	V
CDM	所有管脚	± 800	V

3.3 热性能数据

参数	描述	数值	单位
T_{oper}	工作温度范围	-40 ~ +105	°C
R_{thjc}	结温至芯片表面温度的热阻系数	13.5	°C/W
R_{thja}	结温至环境温度的热阻系数	30.0	°C/W

3.4 直流电气特性

参数	描述	最小值	典型值	最大值	单位
AVDD33_PA	3.3V PA 电路供电	2.97	3.3	3.63	V
AVDD_TX, AVDD_RX, AVDD_PLL, AVDD_ADC	低功耗模式下，外置 DC/DC 供电	1.35	1.4	1.5	V
	3.3V 射频模拟电路供电	2.97	3.3	3.63	V
DVDD	低功耗模式下，外置 DC/DC 供电	1.35	1.4	1.5	V
	3.3V 数字 LDO 供电	2.97	3.3	3.63	V
DVDDIO, AVDDIO	3.3V 数字和模拟 I/O 供电	2.97	3.3	3.63	V
VBAT	电池应用时芯片内部 LDO 供电，电池直供	3.0	3.7	4.3	V
V_{IL}	低电平输入电压要求 (I, I/O)	-0.3		0.8	V
V_{IH}	高电平输入电压要求 (I, I/O)	2.0		3.6	V
V_{T+}	施密特触发器低到高反转门限 (I, I/O)	1.54	1.65	1.74	V
V_{T-}	施密特触发器高到低反转门限 (I, I/O)	0.95	1.02	1.09	V
V_{OL}	低电平输出电压 (O, I/O)			0.4	V

V_{OH}	高电平输出电压 (0, I/O)	2.4			V
I_{GPIO}	GPIOs			8.8	mA
注意：如果超出推荐的工作环境会影响芯片的可靠性。					

3.5 供电电路

3.5.1 供电类型

ATBM6441 供电类型分为 3.3V 单供电和电池供电两种类型，供电电路结构有所不同。对于功耗要求不高的应用方案，可以采用图 3 所示的 3.3V 单供电电路，此时 I/O 接口为 3.3V，VBAT 和 AVDD_AWO 悬空，所有芯片电源都从外部的 3.3V 提供。

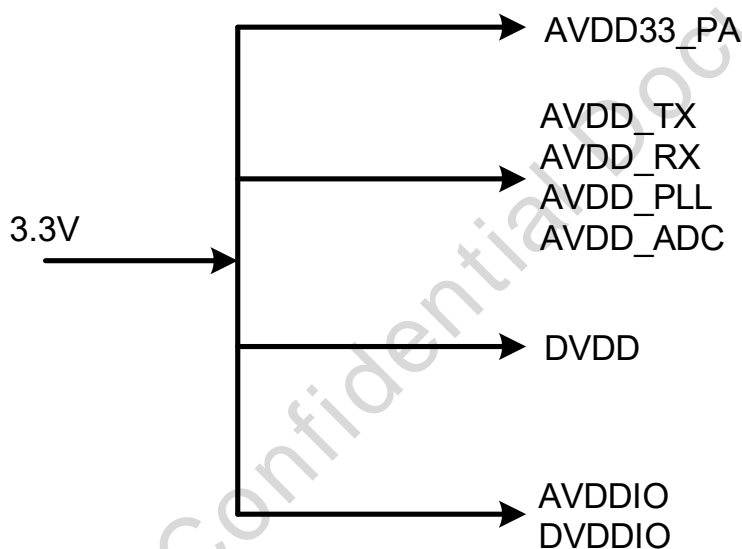


图 3 3.3V 单供电

低功耗电池供电的应用方案如图 4 所示。对于 3.7V 锂电池供电，需要一个常供电的 DC/DC 给 AVDDIO、DVDDIO 以及 AVDD33_PA 提供 3.3V 供电，请选用最大电流 300mA 以上的低功耗高效率 DC/DC。另外还需要一个 1.4V 输出的 DC/DC 给其他 AVDD 和 DVDD 电源管脚供电，此 DC/DC 在芯片保活时，睡眠状态下会通过 DCDC_CTRL 管脚关闭，接收 Beacon 前打开，要求 1.4V 上电时间小于 1ms。

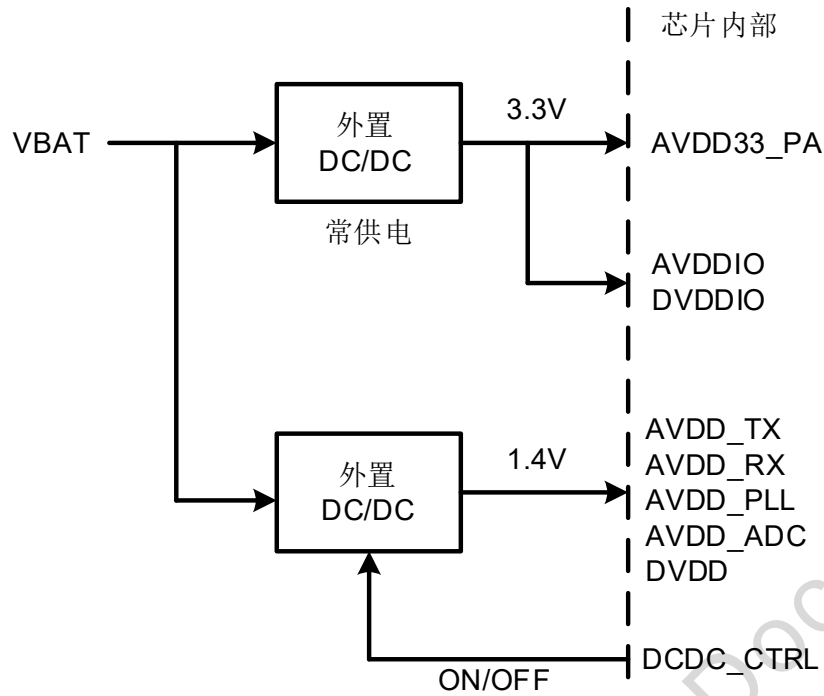


图 4 低功耗电池供电

3.5.2 供电要求

供电类型	供电模块	参数		要求	单位
3.3V 单供电	3.3V 单供电	额定电压		3.3	V
		电压精度		≤10	%
		额定电流	最大发射功率: +17dBm	≥300	mA
			最大发射功率: +21dBm	≥400	
电池供电	3.3V 供电	额定电压		3.3	V
		电压精度		≤10	%
		额定电流	最大发射功率: +17dBm	≥200	mA
			最大发射功率: +21dBm	≥300	
	1.4V 供电	额定电压		1.4	V
		电压精度		≤5	%
		额定电流		≥200	mA

注 1: 3.3V 断电时, 电压要完全降到 0V, 否则上电后 POR (Power-on Reset) 会无效, 如果没有实施硬件复位, POR 无效会导致芯片工作异常。

注 2: 启动或 ATBM6441 芯片工作时, 3.3V 供电电压不能低于 2.7V, 芯片内置的 Flash 存储器可以正确读写数据的电压范围是 2.7~3.6V, 3.3V 供电电压低于 2.7V 时, 会导致 Flash 存储器读写错误, 严重时需要重新烧录固件才能恢复正常工作。

3.6 晶体规格

3.6.1 外部晶体规格

使用 24MHz 的外部晶体，具体的晶体规格要求如下：

参数	描述	最小值	典型值	最大值	单位
频率	标称频率		24.0000		MHz
精度	频率测试温度：25°C±3°C			±20	ppm
ESR	等效串联阻抗		40	50	Ω
C _{Load}	负载电容	8	10	16	pF
C _{Shunt}	寄生并联电容		5		pF
DL	驱动能力			120	μW
Aging	10 年内的每年老化特性		±5		ppm
Temp Drift	工作温度范围内的温度漂移			±20	ppm

注：芯片内部已经集成了可调的片上负载电容用于校准晶体频偏，频偏校准需要改写 eFuse 的频偏校准值或固件来实现，不推荐外部再加晶体的负载电容。如果外部加负载电容，可能会导致无法正常休眠唤醒。

ATBM6441 使用 32.768KHz 的外部晶体作为 RTC 时钟源可以降低休眠功耗，推荐的晶体规格要求如下：

参数	描述	最小值	典型值	最大值	单位
频率	标称频率		32.768		kHz
精度	频率测试温度：25°C±3°C		±20	±40	ppm
ESR	等效串联阻抗		40	100	kΩ
C ₀	寄生并联电容			2	pF
C _L	负载电容	7	12.5	16	pF

注：如使用 32.768KHz 晶体，芯片内部已集成片上负载电容，默认不需要外加片外的负载电容。

4 上电时序要求

如果 PWR_ON 管脚由主机芯片的 GPIO 控制，上电时序要求如图 5 所示，对于 3.3V 上电前后的 PWR_ON 管脚的状态无其他要求，但 3.3V 上电稳定后，初始化芯片之前，需要用 PWR_ON 管脚硬件复位一下。

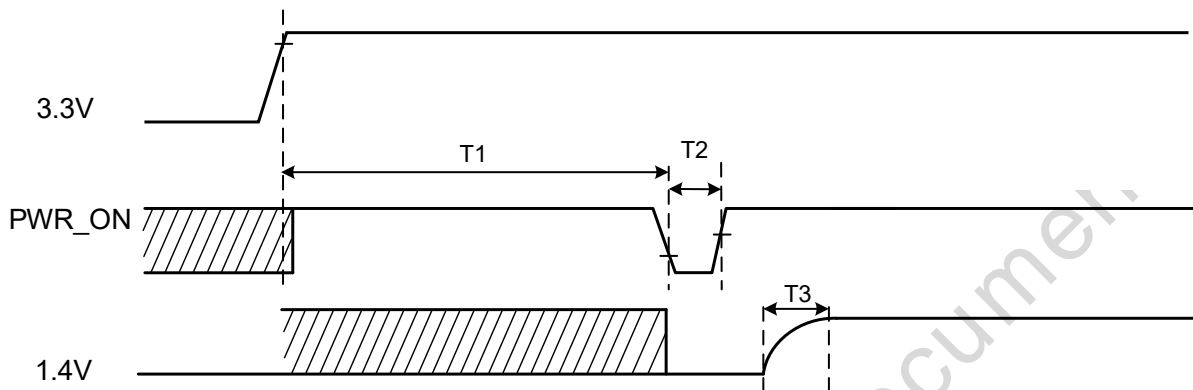


图 5 GPIO 控制 PWR_ON 的上电时序图

详细的时序要求值如下表所示。

参数	描述	最小值	典型值	最大值	单位
T1	从 3.3V 上电到芯片内部供电稳定时间	40			ms
T2	硬件复位时间要求	10			ms
T3	从 0V 到 1.4V 的上电时间			1	ms

如果没有外部 GPIO 控制 PWR_ON 管脚硬件复位，也可以采用参考设计的 RC 电路实现上电复位。采用 RC 电路时上电时序要求如图 6 所示。

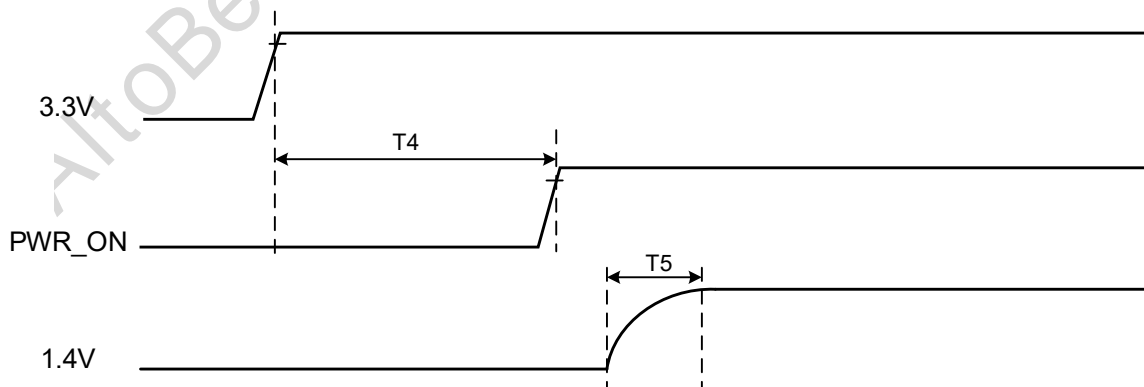


图 6 RC 电路控制 PWR_ON 的上电时序图

详细的时序要求值如下表所示。

参数	描述	最小值	典型值	最大值	单位
T4	从 3.3V 上电到芯片内部供电稳定时间	40			ms
T5	从 0V 到 1.4V 上电时间			1	ms

睡眠时，输出 1.4V 的 DC/DC 会断电，打开此 DC/DC 后要求 1.4V 能快速上电，首次上电以及休眠唤醒时，从 0V 到 1.4V 的上电时间需要小于 1ms，如果 1.4V 上电时间过长会导致无法正常唤醒芯片。

5 外设接口

5.1 GPIO 接口

ATBM6441 共有 19 个 GPIO 管脚，通过寄存器可以把这些 GPIO 接口配置成不同功能，如 I²C，UART，SPI，I2S，PWM 输出和 SDIO。当作为 GPIO 使用时，管脚可以配置为高低电平输入或输出。当配置为 GPIO 输入时，可以通过寄存器读取输入电平高低值，触发 CPU 中断。休眠唤醒的 GPIO 仅可以使用 GPIO0~1，GPIO4~7，GPIO13~18 和 GPIO19~20。GPIO 接口的复用功能如表 5-1。

表 5-1. GPIO 接口定义

管脚号	管脚名	I2C	UART	SPI	SDIO	I2S	GPIO	PWM
2	GPIO20	#1 SCL					可用	可用
3	GPIO19	#1 SDA					可用	可用
4	GPIO11		#1 RXD	#3 CS/		#2 MCLK	可用	可用
5	GPIO10	#2 SCL	#1 TXD	#3 CLK		#2 LRCK	可用	可用
6	GPIO9	#2 SDA	#2 RXD	#3 MOSI		#2 SCLK	可用	可用
7	GPIO8		#2 TXD	#3 MISO		#2 SDATA	可用	可用
8	GPIO7		#3 RXD	#2 CS/		#1 MCLK	可用	可用
9	GPIO6	#2 SCL	#3 TXD	#2 MOSI		#1 LRCK	可用	可用
10	GPIO5	#2 SDA	#4 RXD	#2 MISO		#1 SCLK	可用	可用
11	GPIO4		#4 TXD	#2 CLK		#1 SDATA	可用	可用
15	GPIO18				DAT1		可用	可用
16	GPIO17				DAT0		可用	可用
17	GPIO16		#5 CTS/		CLK	#2 MCLK	可用	可用
18	GPIO15	#2 SCL	#5 TXD		CMD	#2 LRCK	可用	可用
19	GPIO14	#2 SDA	#5 RXD		DAT3	#2 SCLK	可用	可用
20	GPIO13		#5 RTS/		DAT2	#2 SDATA	可用	可用
27	GPIO1		#6 RXD				可用	可用
28	GPIO0		#6 TXD				可用	可用
29	GPIO12						可用	可用

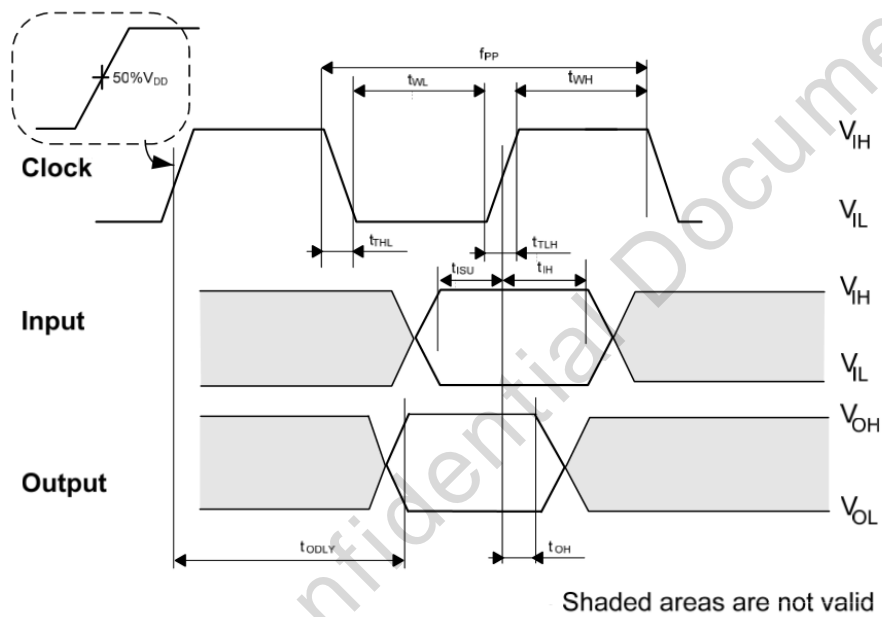
5.2 SDIO 接口

ATBM6441 的 GPIO 可以配置为 SDIO 接口，SDIO 接口定义参考表 5-2。如果和主控芯片的 SDIO 通讯需要 GPIO 中断，可以使用任意 GPIO 输出中断信号，配置任意 GPIO 为 SDIO IRQ。

表 5-2. SDIO 接口定义

管脚号	管脚名称	功能
15	GPIO18	SDIO DAT1
16	GPIO17	SDIO DAT0
17	GPIO16	SDIO CLK
18	GPIO15	SDIO CMD
19	GPIO14	SDIO DAT3
20	GPIO13	SDIO DAT2

SDIO 接口的时序要求如下。



Symbol	Parameter	Min	Typical	Max	Unit
f_{pp}	SDIO clock frequency	0	-	50	MHz
t_{THL}	SDIO clock fall time			3	ns
t_{TLH}	SDIO clock rise time			3	ns
t_{WL}	SDIO clock low time	7			ns
t_{WH}	SDIO clock high time	7			ns
t_{ISU}	Input setup time	6			ns
t_{IH}	Input hold time	2			ns
t_{ODLY}	Output delay time			14	ns
t_{OH}	Output Hold time	2.5			ns

5.3 I²C 接口

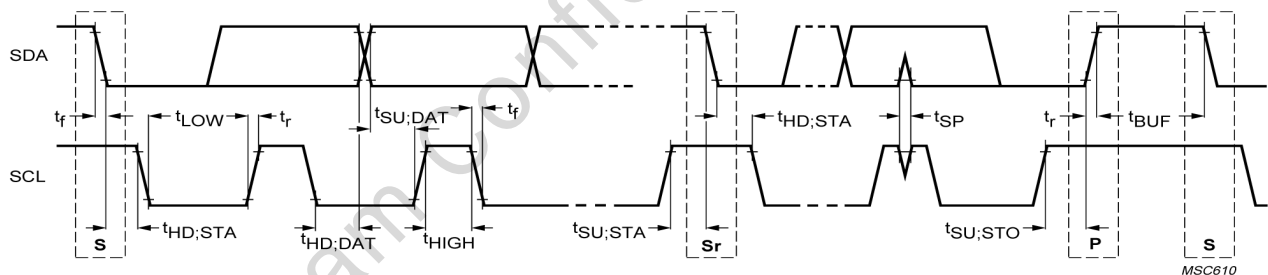
ATBM6441 硬件上有两组 I²C 接口，可以通过固件配置 GPIO 管脚作为 I²C 接口使用，详细配置如下表 5-3。I2C#1 可以用于烧写固件到芯片内部的 SPI Flash。I2C#1 (GPIO19 和 GPIO20)在上电后未加载固件之前默认为 I²C Slave，不能通过固件配置为 I²C Master。而 I2C#2 在上电后未加载固件之前默认为 UART 或 SPI，可以通过固件配置为 I²C Slave 或 I²C Master。

表 5-3. I²C 接口定义

管脚号	管脚名称	硬件分组	端口分组	功能
2	GPIO20	#1	-	I2C SCL
3	GPIO19	#1	-	I2C SDA
5	GPIO10	#2	P0	I2C SCL
6	GPIO9	#2	P0	I2C SDA
9	GPIO6	#2	P1	I2C SCL
10	GPIO5	#2	P1	I2C SDA
18	GPIO15	#2	P2	I2C SCL
19	GPIO14	#2	P2	I2C SDA

注：相同硬件分组，不同端口分组只能把其中一个端口配置为 I²C 接口。不同硬件分组的接口可以同时工作。

ATBM6441 的 I²C 接口支持标准模式(100kHz)和高速模式(400kHz)，时序要求如下所示。



参数	描述	标准模式		高速模式		单位
		Min	Max	Min	Max	
f_{SCL}	SCL clock frequency		100		400	kHz
$t_{HD,STA}$	Hold time (repeated) START condition. After this period, the first clock pulse is generated	4.0		0.6		μs
t_{LOW}	LOW period of the SCL clock	4.7		1.3		μs
t_{HIGH}	HIGH period of the SCL clock	4.0		0.6		μs
$t_{SU,STA}$	Set-up time for a repeated START condition	4.7		0.6		μs
$t_{HD,DAT}$	Data hold time	0	3.45	0	0.9	μs
$t_{SU,DAT}$	Data set-up time	250		100		ns

t_r	Rise time of both SDA and SCL signals		1000	20	300	ns
t_f	Fall time of both SDA and SCL signals		300	20	300	ns
$t_{SU;STO}$	Set-up time for STOP condition	4.0		0.6		μ s
t_{BUF}	Bus free time between a STOP and START condition	4.7		1.3		μ s

5.4 UART 接口

ATBM6441 硬件上有多组 UART 接口，可以通过固件配置 GPIO 管脚为两线或四线 UART，部分常用的接口定义如表 5-4。

表 5-4. UART 接口定义

管脚号	管脚名称	硬件分组	功能
4	GPIO11	#1	UART RXD
5	GPIO10	#1	UART TXD
6	GPIO9	#2	UART RXD
7	GPIO8	#2	UART TXD
8	GPIO7	#3	UART RXD
9	GPIO6	#3	UART TXD
10	GPIO5	#4	UART RXD
11	GPIO4	#4	UART TXD
17	GPIO16	#5	UART CTS/
18	GPIO15	#5	UART TXD
19	GPIO14	#5	UART RXD
20	GPIO13	#5	UART RTS/
27	GPIO1	#6	UART RXD
28	GPIO0	#6	UART TXD

UART 接口的数据传输速度可以达到 2.5Mbps 或更高，可以作为 4 线 UART 接口和 2 线 UART 接口(只连接 TXD 和 RXD)。当使用 UART 接口烧写芯片内置的 SPI Flash 程序时，有 Boot 模式和 ROM Code 模式两种。对于未烧录过 Boot loader 程序的空芯片，需要用 ROM Code 模式烧录 Boot loader 和固件，先拉低 BOOT_SEL 管脚后，芯片上电或拉低再拉高 PWR_ON 管脚可以进入 ROM Code 烧录模式，此时要用 GPIO0(Pin#28)和 GPIO1(Pin#27)烧录。而对于已经烧录过 Boot loader 程序的芯片，先拉低再拉高 PWR_ON 管脚，通过串口工具操作可以进入 Boot 模式烧录固件，Boot loader 默认配置是也用 GPIO0(Pin#28)和 GPIO1(Pin#27)烧写固件和调试打印。

5.5 脉冲宽度调试(PWM)接口

所有 GPIO 都可以作为 PWM 输出接口，不过只有其中任意 12 路 PWM 可以同时工作。

ATBM6441 的 PWM 工作时钟为 40MHz，PWM 接口功能由软件实现。

工作时钟为 40MHz，寄存器最小可配置单位为 25ns，最大分辨率可达 15bits，可用于高频 PWM 调光和低频 PWM 调光的 LED 智能照明设备。当 PWM 周期为 100KHz 时，最小占空比可达 1/399。当 PWM 周期为 10KHz 时，最小占空比可达 1/3999。

5.6 ADC(模/数转换)接口

ATBM6441 内置了一个 10bit 精度的双通道 SAR ADC，输入电压范围要求是 0~1.1V，管脚定义如表 5-6。

表 5-6. ADC 管脚定义

管脚号	管脚名称	功能
46	MEAS1	ADC 输入接口
47	MEAS2	ADC 输入接口

5.7 SPI 接口

5.7.1 SPI 接口定义

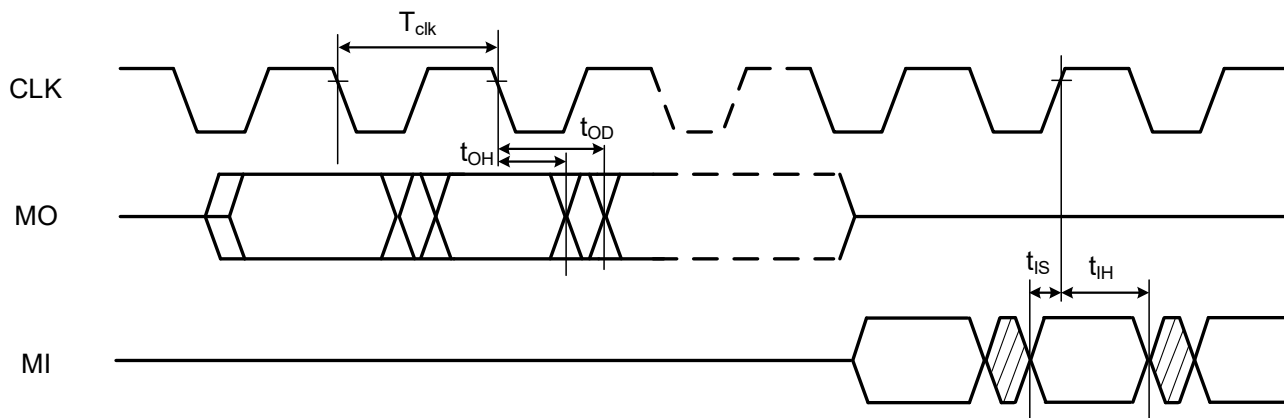
ATBM6441 有三种 SPI 类型，SPI#1 用于连接 SPI Flash 存储器，SPI#2 是 SPI Slave 接口，SPI#3 是 SPI Master 接口。ATBM6441 在芯片内部有一个 SPI#1 接口用于连接 SPI Flash 存储器，ATBM6441 在芯片外部提供了 1 个 SPI Slave (SPI#2)或 SPI Master (SPI#3)和 1 个 SPI Master (SPI#3)接口，SPI Slave 速度最高支持 50MHz，SPI Master 速度最高支持 40MHz。SPI 的管脚定义如表 5-8。当 GPIO8~11 被配置为其他功能，无法作为 SPI Master 使用时，GPIO4~7 也可以配置为 SPI#3，即作为 SPI Master 使用。当使用 SPI 接口烧写内置 SPI Flash 的固件时，请使用 GPIO4~7 烧写。当 GPIO4~7 和 GPIO8~11 都配置为 SPI Master (SPI#3) 时，可以同时作为 SPI Master 使用。

表 5-7. SPI 接口定义

管脚号	管脚名称	SPI 类型	功能
4	GPIO11	Master	SPI#3 CS/
5	GPIO10	Master	SPI#3 CLK
6	GPIO9	Master	SPI#3 MOSI
7	GPIO8	Master	SPI#3 MISO
8	GPIO7	Slave (可选: Master)	SPI#2 CS/ (可选: SPI#3 CS/)
9	GPIO6	Slave (可选: Master)	SPI#2 MOSI (可选: SPI#3 MOSI)
10	GPIO5	Slave (可选: Master)	SPI#2 MISO (可选: SPI#3 MISO)
11	GPIO4	Slave (可选: Master)	SPI#2 CLK (可选: SPI#3 CLK)

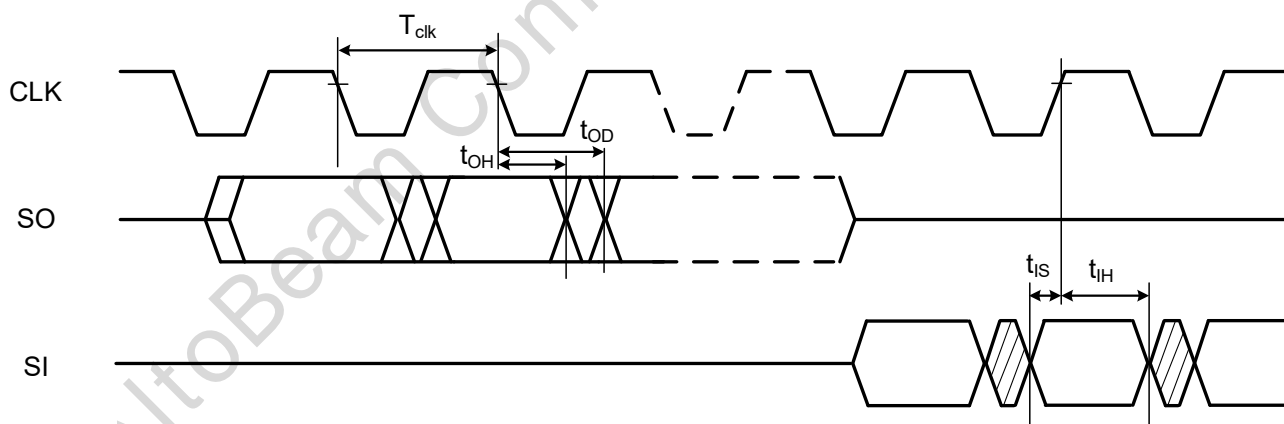
5.7.2 SPI 接口时序图

SPI Master 接口的时序图和参数要求如下。



符号	描述	Min	Max	单位
F	Clock frequency		40	MHz
T_{clk}	Clock period	25		ns
D	Duty cycle	45%	55%	
t_{IS}	Rx data setup time	4		ns
t_{IH}	Rx data hold time	2		ns
t_{OD}	Tx data output delay		8	ns
t_{OH}	Tx data hold time	0		ns

SPI Slave 接口的时序图和参数要求如下。



符号	描述	Min	Max	单位
F	Clock frequency		50	MHz
T_{clk}	Clock period	20		ns
D	Duty cycle	45%	55%	
t_{IS}	Rx data setup time	4		ns
t_{IH}	Rx data hold time	2		ns
t_{OD}	Tx data output delay		8	ns
t_{OH}	Tx data hold time	0		ns

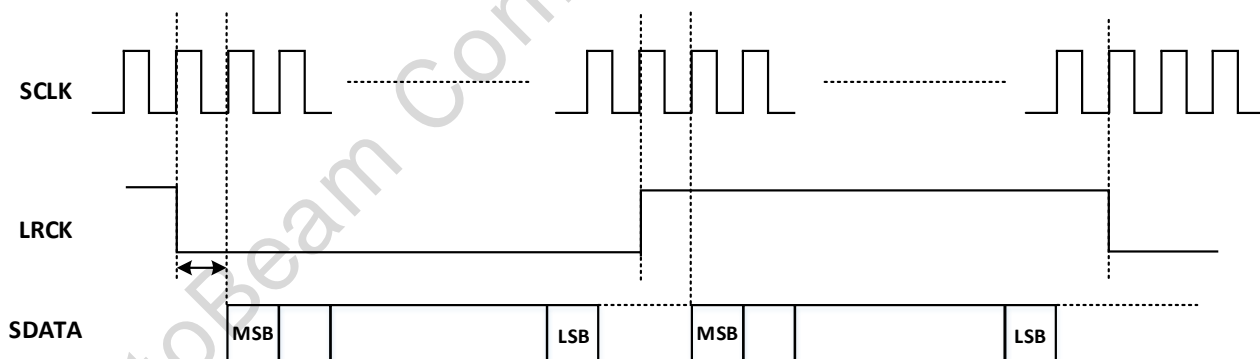
5.8 I2S 接口

I2S 总线主要有 3 个信号，串行时钟 SCLK、帧时钟 LRCK、串行数据 SDATA；有时为了系统间能够更好地同步数据，还需要有一个主时钟信号 MCLK，即 Master 端给 Slave 端提供系统时钟。ATBM6441 有 2 个 I2S Master 硬件接口，可以通过寄存器配置到不同 GPIO 口，不同端口号的 I2S 接口可以同时工作。

表 5-8. I2S 接口定义

管脚号	管脚名称	端口分组	功能
4	GPIO11	#2	MCLK
5	GPIO10	#2	LRCK
6	GPIO9	#2	SCLK
7	GPIO8	#2	SDATA
8	GPIO7	#1	MCLK
9	GPIO6	#1	LRCK
10	GPIO5	#1	SCLK
11	GPIO4	#1	SDATA
17	GPIO16	#2	MCLK
18	GPIO15	#2	LRCK
19	GPIO14	#2	SCLK
20	GPIO13	#2	SDATA

I2S 接口通讯协议符合下图所示的 I2S 总线协议，SDATA 数据 MSB 起始时间比 LRCK 的起始时间晚一个 SCLK 时钟周期。



6 内置 SPI Flash 烧写方法

拉低 BOOT_SEL(Pin#48)管脚可以通过 I2C, UART, SPI 择其一种接口把程序和固件烧写进芯片内置的 SPI Flash，参考下表。

BOOT_SEL(Pin#48)	固件烧录接口		功能
	管脚名	接口名称	
High	-	-	从内置 SPI Flash 的固件启动
	GPIO1	UART RXD	

	GPIO0	UART TXD	Boot 模式下，从 UART 接口烧写内置 Flash 的固件
Low	GPIO20	I2C SCL	可以从 I2C 接口烧写内置 Flash 的程序，如 Boot loader 程序，但不可用于烧录固件
	GPIO19	I2C SDA	
	GPIO7	SPI CS/	从 SPI 接口烧写内置 Flash 的固件
	GPIO6	SPI MOSI	
	GPIO5	SPI MISO	
	GPIO4	SPI CLK	
	GPIO1	UART RXD	ROM code 模式下，从 UART 接口烧写内置 Flash 的固件
	GPIO0	UART TXD	

注：样片通常已经提前烧录了 Boot loader，烧录或升级固件时保持 **BOOT_SEL** 管脚为高电平，重新给芯片上电或者拉低再拉高 **PWR_ON** 管脚复位芯片后，在串口工具界面连续按回车可进入 **BOOT** 模式，使用 **GPIO0 (Pin#28 TXD)**和 **GPIO1 (Pin#27 RXD)**烧写。

已经烧录过固件的芯片，如需要更新固件，可以采用 Boot 模式更新或者通过 **SDIO** 接口升级固件。

7 外围参考电路

7.1 应用参考设计

低功耗应用方案的参考设计如图 7。

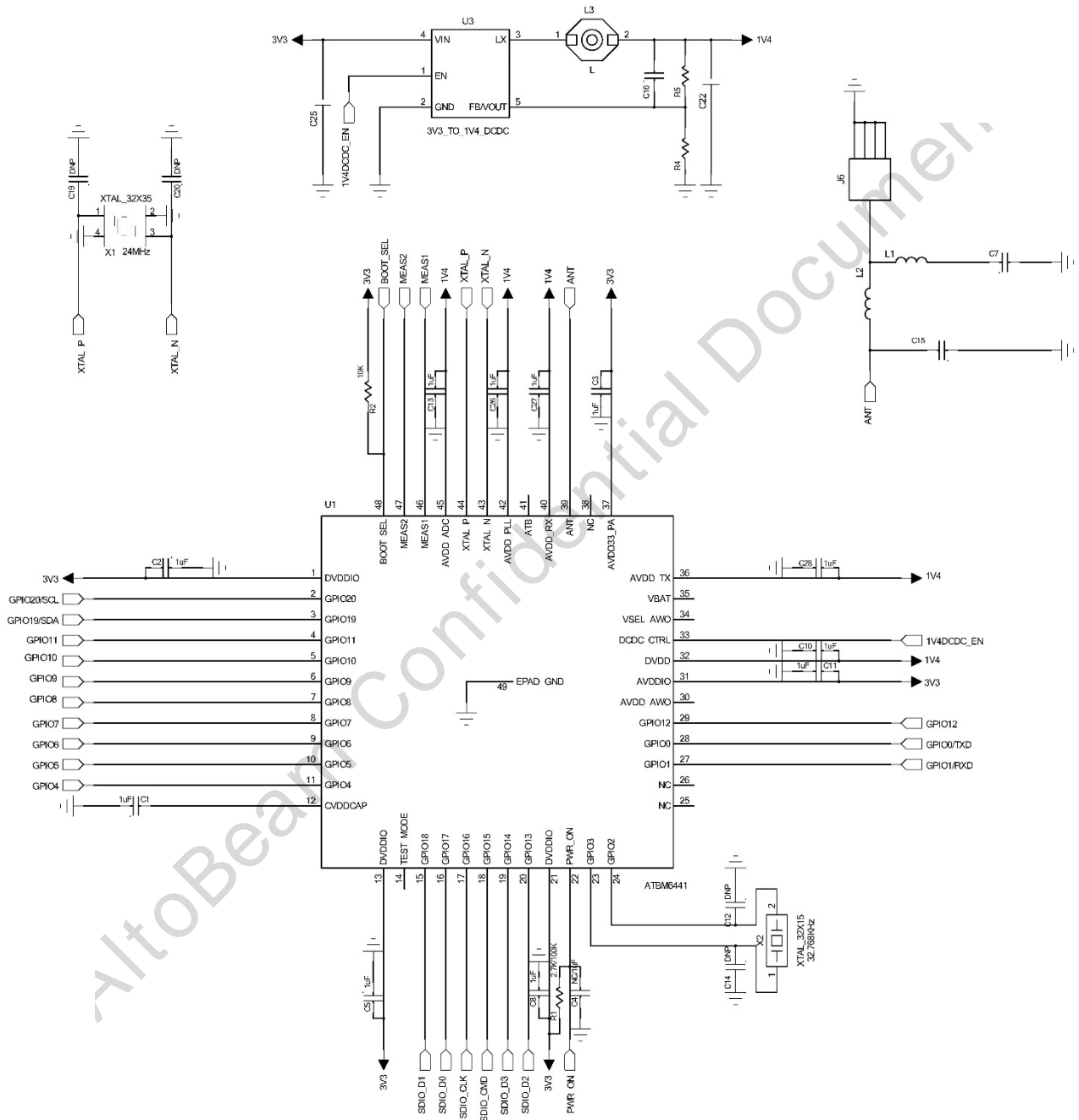


图 7 低功耗应用参考设计

注：推荐使用 32.768KHz 的外置晶体，可以降低待机功耗。

8 封装信息

8.1 芯片封装图

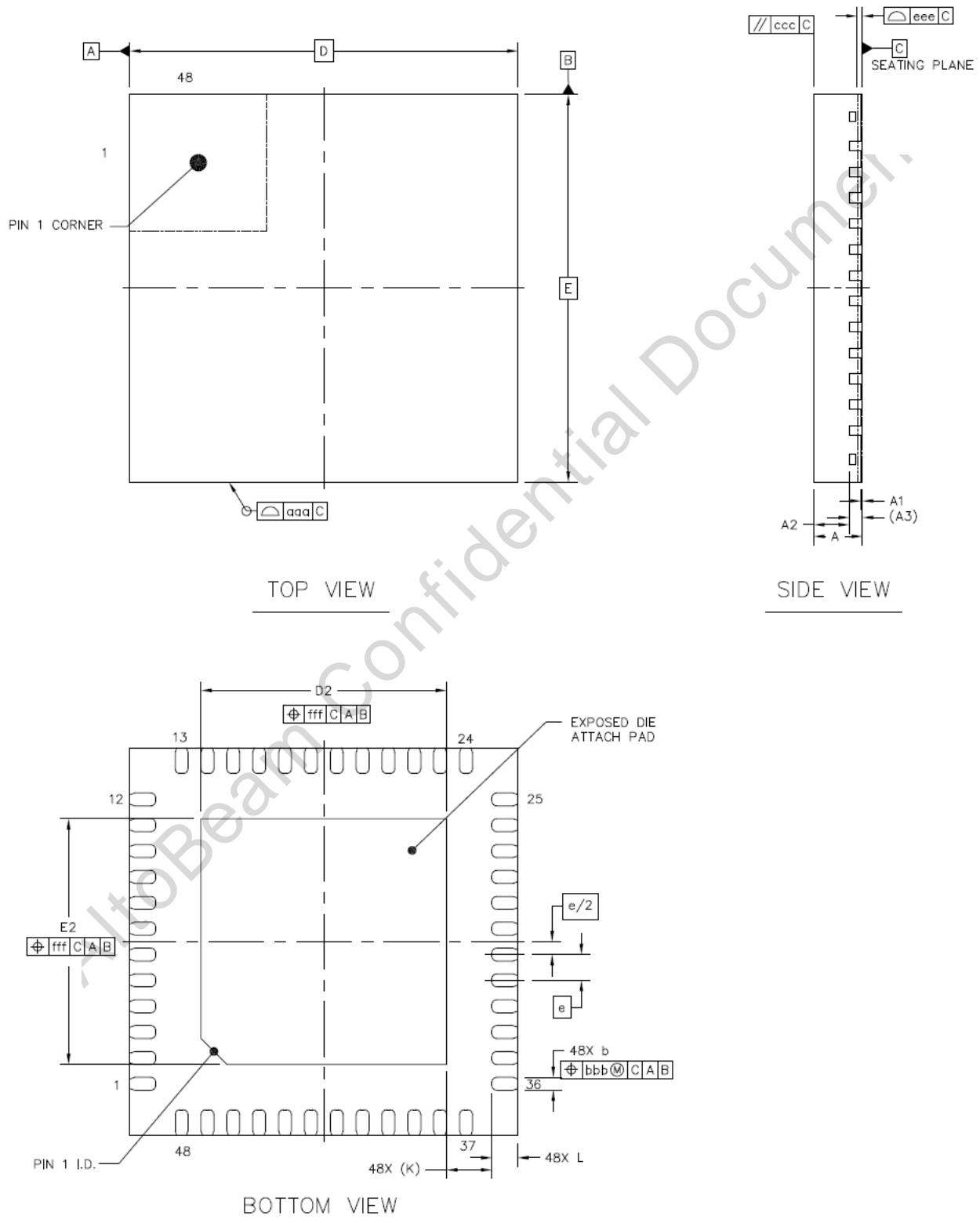


图 8 ATBM6441 封装图

8.2 封装尺寸(单位: mm)

		SYMBOL	MIM	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.55	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D	6 BSC		
	Y	E	6 BSC		
LEAD PITCH		e	0.4 BSC		
EP SIZE	X	D2	3.7	3.8	3.9
	Y	E2	3.7	3.8	3.9
LEDA LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K	0.7 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSE PAD OFFSET		fff	0.1		

9 回流焊规范

9.1 回流焊峰值温度

ATBM6441 的封装属于无铅 QFN48 类别。封装尺寸是 $6 \times 6 \times 0.75 \text{mm}^3$ ，参考 IPC/JEDEC J-STD-020C 规范的 Table 4-2，其属于体积 $< 350 \text{mm}^3$ 和厚度 $< 1.6 \text{mm}$ 的分类，即回流焊峰值温度(T_p)为 260°C 。

9.2 回流焊曲线类别

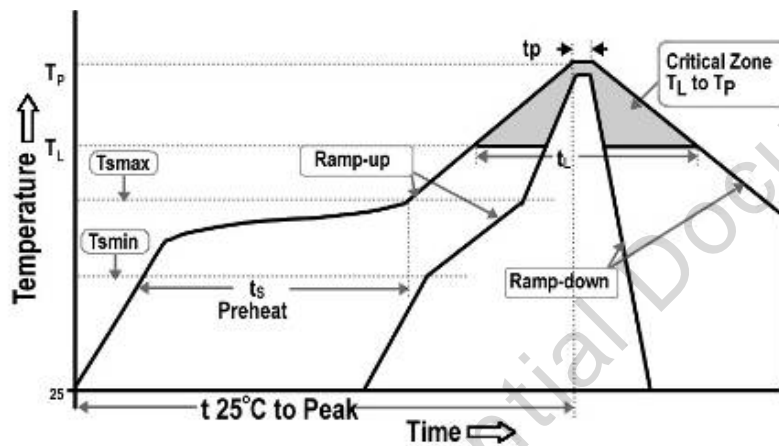


图 9 ATBM6441 回流焊曲线

Profile Feature		Specification*
Average ramp-up rate (t_{smax} to t_p)		$3^\circ\text{C}/\text{second max.}$
Pre-heat	Minimal temperature (T_{smin})	150°C
	Maximal temperature (T_{smax})	200°C
	Time (t_s)	60~180 seconds
Time maintained above	Temperature (T_L)	217°C
	Time (t_L)	60~150 seconds
Peak/Classification temperature (T_p)		260°C
Time within 5°C of actual peak temperature (t_p)		20~40 seconds
Ramp-down rate		$6^\circ\text{C}/\text{second max.}$
Time 25°C to peak temperature		8 minutes max.

* Note: all temperatures are measured on the top surface of the package.

9.3 最大回流焊次数

基于以上回流焊曲线，封装可靠性测试验证并通过的最大回流焊次数是 3 次。