

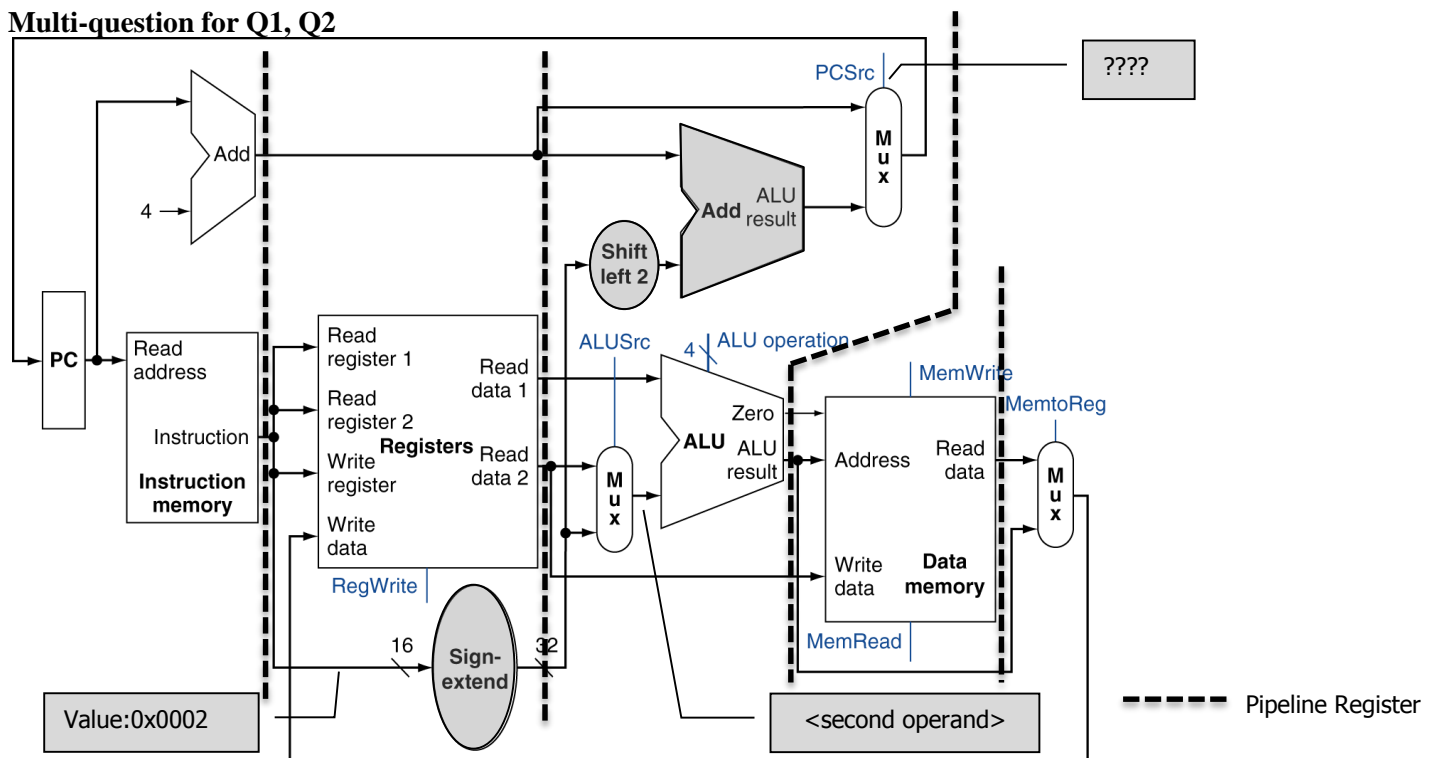
Department of Computer Engineering	Subject : Computer System Class : Fullname : Student Index:.....	Exam ID
	Duration: 80 minutes Date: Allow student to use paper documents Each question has a correct option. Not decrease mark for wrong answer Should write the choice into Answer Part, others are illegal.	

ANSWER PART

Question	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Answer																				

QUESTIONNAIRE

Multi-question for Q1, Q2



Addr	Instruction
	.set noreorder
7FFC	li t1,1 // assign
8000	li t2,2 // assign
8004	beq t1, t2, skip // compare
8008	nop // do something here, PC reg at here
800C	Nop // do something here
8010	skip: add t1,t2,3 // do something here

Question 1.

The label <skip> will be compiled, and become number 2 (because there are 2 nop instructions between <beq> and <add>). Which explanation below is **wrong**?

- 1) Value of PCSrc signal will make the processor jump or not jump to another addresss.
- 2) <Shift left 2> module is used to skip 2 nop instructions
- 3) Input signal of <Sign-extend> module is a signed 16-bit-integer
- 4) The second source operand of ALU can be the immediate value (2, 4, 0x345, etc)

Biết rằng nhãn <skip> khi biên dịch sẽ được chuyển thành số 2 (bởi vì có 2 lệnh nop nằm giữa <beq> và <add>). Giải thích nào sau đây là **sai**?

- 1) Giá trị của tín hiệu PCSrc sẽ quyết định bộ xử lý có rẽ nhánh tới một địa chỉ lệnh khác không.
- 2) Module <Shift left 2> được dùng để bỏ qua 2 lệnh nop
- 3) Sign-extend module có đầu vào là số nguyên có dấu 16 bit.
- 4) Toán hạng nguồn thứ hai của ALU có thể nhận giá trị tức thì (ví dụ 2, 4, 0x345...)

Question 2.

At the moment, assume that PC reg = 8008. Which instruction is being processed at EXE Stage?

- 1) Instruction at address 800C
- 3) Instruction at address 8004

Giả định rằng, lúc này thanh ghi PC = 8008. Lệnh nào đang được xử lý tại công đoạn thực thi lệnh?

- 2) Instruction at address 8008
- 4) Instruction at address 8000

Question 3.

In a certain file server system, it takes 10 ms to process one transaction if the target data is available in the disk cache. If the target data is stored in the hard disk in lieu of the disk cache, additional 80 ms for disk access is required to process it. When 53% of the number of transactions can be processed by using the disk cache data only, how many transactions per second on average can be consecutively handled in this system? Here, no parallel operation of disk access and data processing is performed. Overhead, such as communication and OS, can be ignored.

1) 15

2) 21

3) 29

4) 32

Trong một hệ thống server quản lý file, một giao dịch sẽ được hoàn tất trong 10 ms nếu dữ liệu cần thiết đã nằm sẵn trong disk cache. Nếu dữ liệu chỉ nằm trong ổ cứng thay vì trong disk cache, cần cộng thêm 80 ms để truy cập disk và lấy được dữ liệu cần thiết. Biết rằng 53% trong số các giao dịch chỉ cần xử lý trên disk cache, hỏi trung bình hệ thống xử lý được bao nhiêu giao dịch / giây? Chú ý rằng, ở đây không có xử lý song song việc truy cập disk và dữ liệu. Các xử lý phụ khác như giao tiếp và OS có thể bỏ qua.

Question 4.

Operating ratio is an expression to estimate operation ability. When MTTF in a system is 1200 hours, and MTTR is 24 hours, how much is the operating ratio?

1) 80%

2) 85%

3) 95%

4) 98%

Tỷ suất vận hành là đơn vị đánh giá khả năng sẵn sàng. Nếu MTTF của một hệ thống là 1200 giờ, và MTTR là 24 giờ, thì tỷ suất vận hành của hệ thống này là bao nhiêu?

Question 5.

Which of the following is an appropriate explanation of DMA?

- 1) It is a technology where a dedicated control circuit enables an I/O device to transfer information directly to or from memory.
- 2) It is a technology for assigning the registers of I/O devices to the specifically dedicated I/O address space in main memory.
- 3) It is a technology in which the whole processing time is decreased by partially overlapping the execution stage of multiple instructions and simultaneously performing them.
- 4) It is a transmission technology in which the CPU passes data between hard disk drives and main memory.

Mô tả nào sau đây là phù hợp nhất về DMA?

- 1) Là kỹ thuật trong đó có mạch điều khiển đặc biệt để cho phép thiết bị I/O trao đổi dữ liệu trực tiếp từ/tới bộ nhớ.
- 2) Là kỹ thuật ghép gán các thanh ghi của thiết bị ngoại vi, lên một vùng địa chỉ nằm trong bộ nhớ chính được dành riêng cho I/O.
- 3) Là kỹ thuật cho phép giảm thời gian xử lý bằng cách cho phép các công đoạn của nhiều lệnh thực hiện gối lên nhau và thực hiện đồng thời.
- 4) Là một công nghệ truyền số liệu trong đó CPU trung truyền dữ liệu giữa ổ cứng và bộ nhớ chính.

Question 6.

A computer is designed to enable 5-stages pipeline control so that each instruction can be completed in 5 cycles. How long are needed to completely execute a software has 20 instructions? Here, all instructions can be executed without being stopped halfway. Latency of 5 stages are 10, 8 10, 9, 6 ms.

1) 360

2) 240

3) 24

4) 480

Một máy tính được thiết kế có pipeline 5 công đoạn, để thực hiện mỗi lệnh trong 5 chu kì. Hỏi thời gian cần thiết để thực hiện xong một phần mềm có 20 lệnh? Biết rằng, các lệnh được thực thi đầy đủ, không bị ngắt quãng. Thời gian để thực hiện từng công đoạn là 10, 8 10, 9, 6 ms

Question 7.

How many 32-bit integers can be stored in a 8-byte cache line?

1) 1

2) 2

3) 4

4) unknown

Có bao nhiêu số nguyên 32 bit có thể chứa được trong một line 8-byte của bộ nhớ cache?

Question 8.

With the memory address $218_{(10)}$ identify the index of line given a direct mapped cache with 8 1-word block?

1) 4

2) 5

3) 6

4) 8

Cho địa chỉ bộ nhớ $218_{(10)}$ hãy xác định index của line tương ứng, biết rằng bộ nhớ cache có 8 block kích thước 1 word, theo phương pháp ánh xạ trực tiếp?

Question 9.

Variable XY in main memory = 41. XY has been mapped into cache memory with value = 41, of course. After that, CPU, however, assigns XY= 50, but the value of XY in main memory still = 41. Which technique is used for cache memory?

Biến XY trong bộ nhớ bằng 41. XY đã được ánh xạ vào bộ nhớ cache với giá trị bằng 41. Tuy nhiên sau đó, CPU đã gán XY = 50, nhưng giá trị của XY trong bộ nhớ chính vẫn bằng 41. Kỹ thuật nào đang được áp dụng cho bộ nhớ cache lúc này?

Question 10.

A RAID-5 system has 6 hard disks. Size of each hard disk is 1GB. How much is the capacity of the RAID-5 system?

1) 3GB

2) 4GB

3) 4.5GB

4) 5GB

Một hệ RAID-5 gồm có 6 ổ cứng. Kích thước của mỗi ổ là 1G. Vậy dung lượng của cả hệ RAID-5 là bao nhiêu?

Question 11.

Which hazard does Forwarding method resolve?

1) Data Hazard

2) Structure Hazard

Kỹ thuật Forwarding giúp xử lý loại hazard nào?

3) Control Hazard

4) Data & Structure Hazard

Question 12.

Which case does is datapath below used?

1)

add \$t2, \$t1, \$t3

sw \$t3, 0(\$t1)

2)

add \$t1, \$t2, \$t3

sw \$t3, 0(\$t1)

Datapath bên dưới được sử dụng trong tình huống nào?

3)

sw \$t1, 0(\$s3)

nop

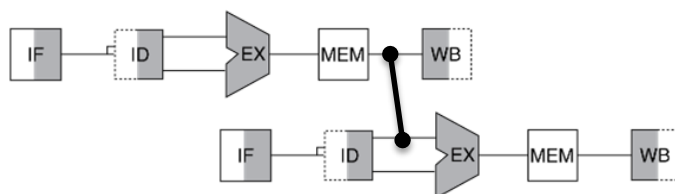
add \$s3, \$t1, \$s2

4)

lw \$t1, \$s2, \$s3

nop

add \$s3, \$t1, \$s2

**Question 13.**

The page table as below and page size is 64KB. What is the physical address of the virtual address of 0x12341238?

Cho bảng trang như hình dưới và kích thước trang là 64KB. Địa chỉ vật lý ứng với địa chỉ ảo 0x12341238 là bao nhiêu?

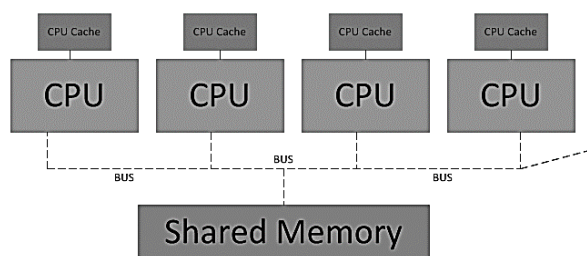
Index	Valid	Physical Page Number
0x1234	1	0xF5B9
0x1235	1	0xFFFF
0x1236	1	0x0000
0x1237	1	0x1236
0x1238	1	0x2383
0x1239	1	0x2014

.....

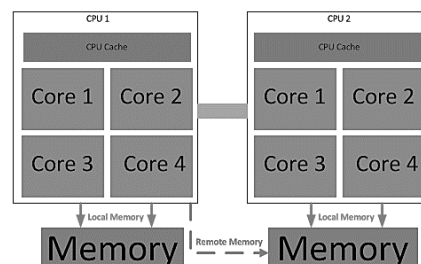
Question 14.

Which memory architecture is used in the figure?

Kiến trúc bộ nhớ nào được sử dụng trong ảnh ?



(A)



(B)

1) A is UMA, (B) is NUMA

2) A, B are UMA

3) A is NUMA, (B) is UMA

4) A, B are NUMA

Question 15.

How long does the average time take to read a 512-byte sector for a typical disk rotating at the speed of 5400 RPM? The runtime average seek time is 4 ms, the transfer rate is 80 MB/sec, and the controller overhead is 0.5ms.

Thời gian trung bình để đọc một sector 512-byte của một đĩa cứng có tốc độ 5400 RPM là bao nhiêu? Biết rằng, thời gian tìm kiếm trung bình thực tế là 4 ms, tốc độ truyền là 80 MB/sec, và thời gian điều khiển là 0.5ms.

rotating latency =
 transfer time =
 average time to read a sector =

Question 16.

L1 cache is used to avoid a kind of pipeline hazard. What is the hazard?

1) No hazard

2) Control hazard

3) Structure hazard

4) Data hazard

Cache L1 giúp loại bỏ 1 loại hazard trong pipeline. Đó là loại nào?

Question 17.

When CPU run a kind of software, benchmark these results

- I-cache miss rate = 3%
- D-cache miss rate = 10%
- Miss penalty = 90 cycles
- Base CPI (ideal cache) = 1
- Load & stores are 40% of instructions

How much is the actual CPI?

1) 2.6 2) 5.5 3) 6.8 4) 7.3

Khi CPU chạy một phần mềm nào đó, người ta đo được

- Tỷ lệ I-cache miss = 3%
- Tỷ lệ D-cache = 10%
- Thời gian truy cập bộ nhớ khi cache miss = 90 cycles
- CPI lý tưởng = 1
- Các lệnh load & store chiếm 40% số lượng lệnh

CPI thực tế bằng bao nhiêu?

Question 18.

A software, with 25% instructions independent, 75% instructions sequential, is executed in a parallel system with 8 processors. In this case, how much is the potential speedup on each processor?

1) 16% 2) 25% 3) 40% 4) 100%

Một phần mềm có 25% các lệnh độc lập với nhau, 75% các lệnh phụ thuộc lẫn nhau, được thực thi trên một hệ thống song song 8 bộ xử lý. Vậy hiệu suất tăng tốc bình quân trên từng bộ xử lý là bao nhiêu?

Multi-question for Q19, Q20

For a **direct mapped cache** design with a 32bit address, the following bits of the address are used to access the cache.

Bộ nhớ cache theo **cơ chế ánh xạ trực tiếp** với 32 bit địa chỉ với số lượng các bit như bảng bên dưới.

Tag	Index	Offset
31-8	7-4	3-0

Question 19.

How many entries does the cache have?

1) 64 2) 1 M 3) 32 4) 16

Hỏi bộ nhớ cache này có bao nhiêu entry?

Question 20.

Starting from power on, the **following byte** addressed cache references are recorded. How many **blocks** are replaced?

Address 1A 1B 4 E 21D 21C

1) 0 2) 1 3) 2 4) 3

Khi khởi động máy tính, **các byte** ở các địa chỉ sau sẽ được lưu trữ trong bộ nhớ cache. Có bao nhiêu **block** sẽ bị thay thế?

Question 21. (Bonus 1 point)

What is the average memory access time when you have the following memory hierarchy as the table below? Assume that (i) the cache uses physical addresses, (ii) the CPU stalls until the data is delivered, (iii) everything fits into the memory, and (iv) the hardware does the page table walk and updates TLB.

Hãy tính thời gian truy cập bộ nhớ trung bình trong mô hình phân cấp bộ nhớ với thông số trong bảng dưới? Giả định rằng (i) cache sử dụng địa chỉ vật lý, (ii) CPU đợi trong khi dữ liệu đang được truyền, (iii) mọi dữ liệu cần thiết đều được nạp sẵn vào bộ nhớ, và (iv) phần cứng thực hiện truyền và cập nhật TLB.

Unit	Access Latency (clock)	Hit rate
TLB	1	98%
L1	1	90%
L2	8	80%
L3	50	60%
Memory	100	100%
TLB miss penalty	200	100%

Hết