**2020年新工科联盟-Xilinx暑期学校团队项目设计文档**

**设计文稿提交格式**

**(Project Paper Submission Template)**

|  |  |
| --- | --- |
| **作品名称** | A08数字滤波器+函数发生器 |
| **板卡型号** | Xc7s15ftgb196-1 |
| **所在班级** | 东南大学电子学院A班 |
| **成员姓名、学号、学校** | 06017322姚冠文  06017324刘鑫垚 |
| **Github链接** |  |

**第一部分**

设计概述 /Design Introduction

（1.请概括地描述一下你的设计，可包括本设计目的、学习到的知识点、应用方向或者设想的应用场景等；2. 经组内成员讨论后以表格的形式描述项目中各成员在项目中发挥的作用或者贡献百分比；3.作品的展示照片）

设计概述：

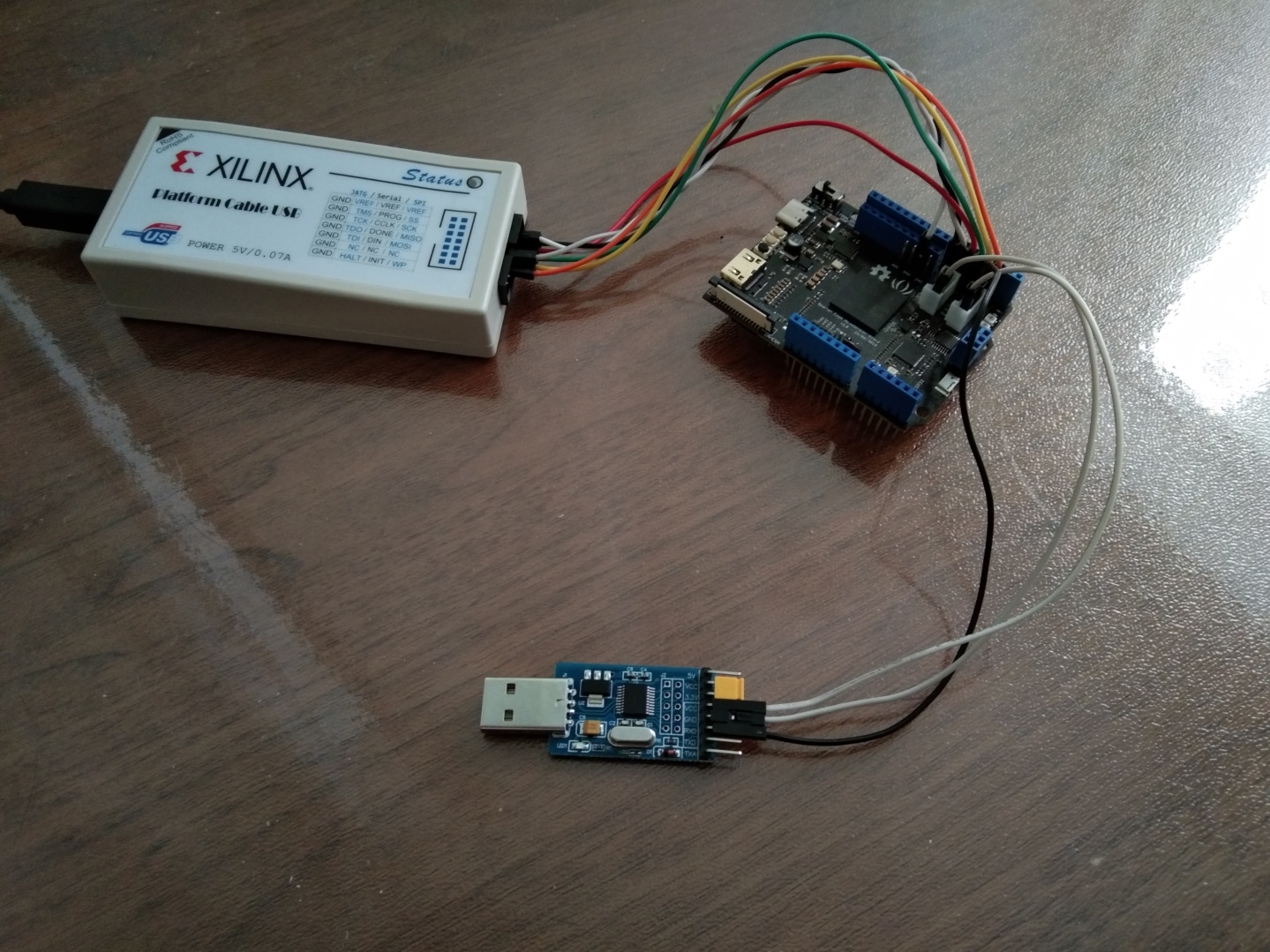
1. 设计了一个数字fir低通滤波器，其通带频率2MHz，3dB通频带2.1MHz，通带内波动1dB，通带外抑制-60dB，具有较好的幅频特性。输入为fpga的ad口，输出为fpga的da口，可用于简单的滤波处理，较无源滤波器能达到更高的滤波阶数。

2、设计了一个由uart串口通信控制的fpga任意信号发生器，能发生方波，三角波，锯齿波，和正弦波，直流信号共五种波形。通过串口可控制波形的相位，频率，和波形种类。

分工情况：

姚冠文：50%，刘鑫垚：50%

作品照片：

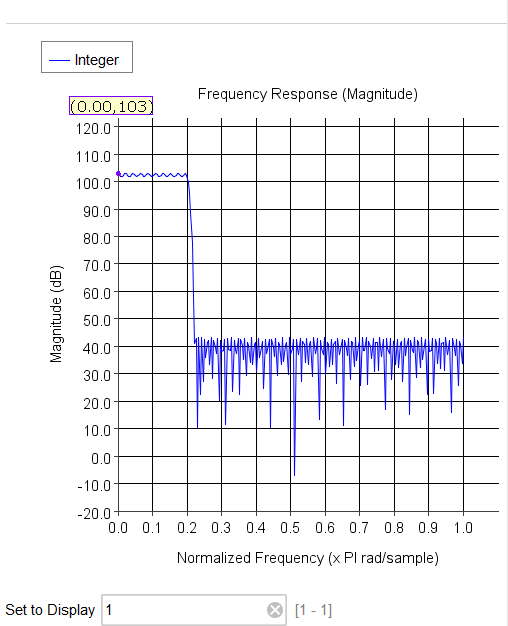


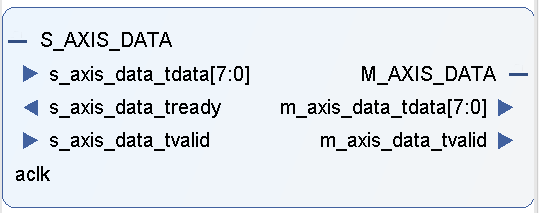
**第二部分**

系统组成及功能说明 /System Construction & Function Description

（请对作品的1. 计划实现及已实现的功能；2. 项目系统框图；3. 使用的技术方向做说明）

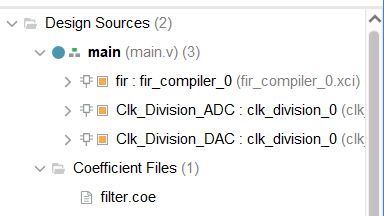
1、滤波器使用了vivado自带的fir滤波器ip核，利用matlab制作了coe初始化文件，其采样率为ad口的正常工作频率10MHz，幅频响应特性和模块图如下：

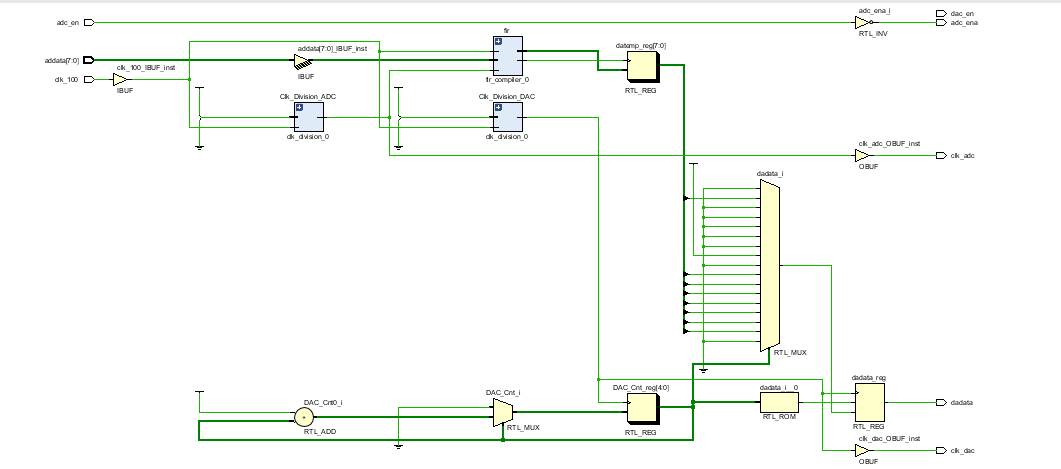




利用adc时钟作为axi流输入的tvalid信号，将adc模块的输入送入滤波器，将输出的tvalid信号作为输出缓存器的时钟，将数据缓存，最后用系统50MHz工作的dac模块输出。

总系统框图：



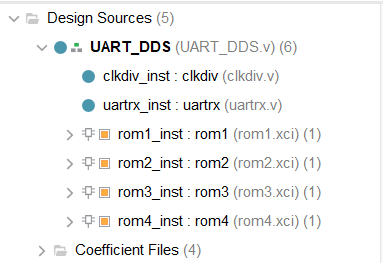


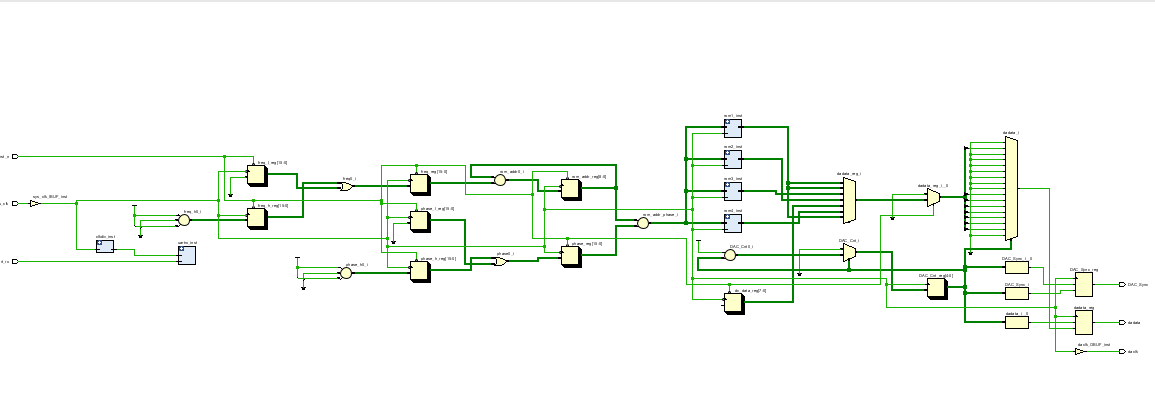
2、DDS信号发生器

输出频率最高为50MHz，频率控制字精度为1/512,即最小输出频率为97.7KHz。相位控制字精度为1/512，即相位分辨率为0.703°。波形控制字02为三角波，03为锯齿波，04为直流信号，05为方波，其余情况为正弦波。波形的各相位数据由matlab产生，并存入coe文件，在vivado生成rom模块并各自初始化存入。Uart串口通信的波特率为9600，并采用十六倍波特率的工作频率，即15.36KHz。

顶层模块先通过串口读入控制字，解码控制字得到频率、相位、波形控制信号，并选择对应的rom模块读取数据送入输出寄存器，最后通过da驱动发送给da模块进行输出。

总系统框图：





**第三部分**

完成情况及性能参数 /Final Design & Performance Parameters

通过仿真，两部分均能达到设计的实验效果，但由于缺乏示波器等测试条件，考虑到用杜邦线连接高频信号等因素，阻带抑制比等参数可能差于预期，如果要更进一步优化设计，应当采用同轴线来做输入输出。

**第四部分**

总结 /Conclusions

（谈一谈完成暑期学校课程后的收获与感想。请每位组员分开写。）

姚冠文：

在这次暑期学校中，我主要学习了一些时序模块的使用，比如ad/da模块，uart串口通信等。其中ad是并行输入，但da的驱动却是串行输出，需要分别编写。由于滤波器需要使用axi流式输入，还需要给滤波器自行设计通信时序，这些都加深了我对fpga时序逻辑的理解。Fpga不只是一个逻辑门阵列，它还需要精巧的时序通信设计才能发挥更大的作用，其中的技巧值得我继续精进学习。

刘鑫垚：

经过此次暑期学校的学习，我对fpga有了从无到有的认知，对它的发展和实际应用领域有了大概了解，由于此前并未真正接触过fpga编程，此次经历也对fpga的开发流程有了大概认知，我相信这对以后相关领域的学习也会有一定助益。