

# 计算机系统结构试验 Lab02

518030910022 杨涵章

## 目录

- 1 实验概述: ..... 2
  - 1.1 实验名称: ..... 2
  - 1.2 实验目的: ..... 2
  - 1.3 实验步骤: ..... 2
- 2 实验描述: ..... 3
  - 2.1 原理描述 ..... 3
  - 2.2 模块代码: ..... 3
- 3 模拟仿真: ..... 4
  - 3.1 仿真代码: ..... 4
  - 3.2 仿真结果 ..... 4
- 4 总结与反思: ..... 5

# 1 实验概述：

## 1.1 实验名称：

FPGA 基础实验：4-bitAdder

## 1.2 实验目的：

- 1) 熟悉 Vivado 的基本操作
- 2) 掌握使用 VerilogHDL 进行简单的逻辑设计
- 3) 使用功能仿真

## 1.3 实验步骤：

- 1) 按照基本流程创建文件即可
- 2) 输入给出的示例代码和激励代码
- 3) 程序运行，调整视图获得实验波形截图

## 2 实验描述：

### 2.1 原理描述

本实验是计算机系统结构实验课程的第二个实验,目的是让同学慢慢熟悉模拟仿真的集成开发环境和掌握基本的 Verilog 语言进行编程。这次实验引入了较为重要的思想:模块化编程。直接实现四位加法器,位数之间的逻辑较为复杂,难以阻止逻辑结构。将四位加法器拆分为1位加法器实现能够,大大简化了逻辑结构。

1位加法器模块较为简单,根据输入值设置结果和进位等。4位加法器用四位的寄存器储存结果和进位,在依次实例化四个1位加法器完成4位加法器。

### 2.2 模块代码：

1 位加法器模块：

```
23 module adder_1bit(  
24     input a,  
25     input b,  
26     input ci,  
27     output s,  
28     output co  
29 );  
30 wire s1,c1,c2,c3;  
31 and (c1,a,b),  
32     (c2,b,ci),  
33     (c3,a,ci);  
34  
35     xor (s1,a,b),  
36         (s,s1,ci);  
37  
38     or (co,c1,c2,c3);  
39 endmodule
```

4 位加法器模块：

```
23 module adder_4bits(  
24     input [3:0] a,  
25     input [3:0] b,  
26     input ci,  
27     output [3:0] s,  
28     output co  
29 );  
30  
31 wire [2:0] ct;  
32  
33     adder_1bit a1(.a(a[0]), .b(b[0]), .ci(ci), .s(s[0]), .co(ct[0])),  
34     a2(.a(a[1]), .b(b[1]), .ci(ct[0]), .s(s[1]), .co(ct[1])),  
35     a3(.a(a[2]), .b(b[2]), .ci(ct[1]), .s(s[2]), .co(ct[2])),  
36     a4(.a(a[3]), .b(b[3]), .ci(ct[2]), .s(s[3]), .co(co));  
37 endmodule
```

两种加法器模块在实验手册中均已给出,输入代码创建即可。

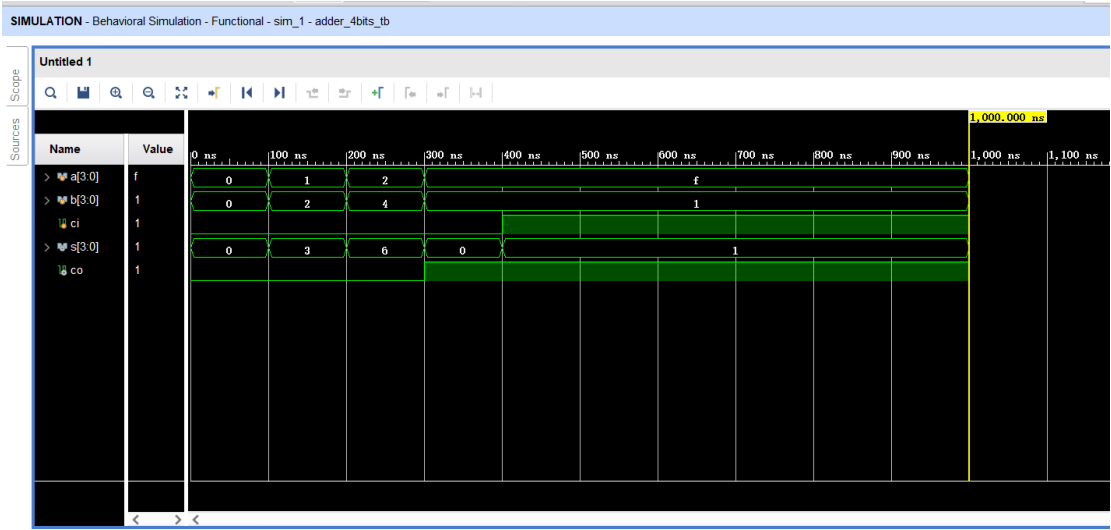
### 3 模拟仿真：

#### 3.1 仿真代码：

```
23 module adder_4bits_tb(
24
25 );
26 reg [3:0] a;
27 reg [3:0] b;
28 reg ci;
29
30 wire [3:0] s;
31 wire co;
32
33 adder_4bits u0 (
34 .a(a),
35 .b(b),
36 .ci(ci),
37 .s(s),
38 .co(co)
39 );
40
41 initial begin
42     a=0;
43     b=0;
44     ci=0;
45
46     #100;
47     a=4'b0001;
48     b=4'b0010;
49     #100;
50     a=4'b0010;
51     b=4'b0100;
52
53     #100;
54     a=4'b1111;
55     b=4'b0001;
56     #100;
57     ci=1'b1;
58 end
59 endmodule
```

#### 3.2 仿真结果

经过调试运行，得到以下波形运行截图，可以观察到波形与实验手册所提供的一致，a,b 中的值相加结果储存在 s 中，最后 f 与 1 相加，存在进位，进位标志位储存在 co 中。



## 4 总结与反思：

第二次实验算是对于第一次实验的补充。这次实验用到了模块继承的思想，实验中四位加法器的实现较为复杂，便先实现 1 位加法器，之后通过模块语法，在四位加法器中运用 1 位加法器进行组织，使得整体模块代码较为清晰。这种思路在后续的实验中也经常用到，方便对于工程进行组织和实现。

较为可惜的是没有进行上板验证，只能进行软件模拟。实验代码中对于进位的处理较为巧妙，值得学习。在后续的实验中我也会继续采用模块化的编程方式，先进行代码规划，后分模块进行模块实现，最后完成模块组装连线。