 

武汉大学电子设计竞赛培训题目

**DDS**

## 任务

使用Verilog语言实现具有正弦波、AM、FM波的DDS代码并仿真。

## 要求

### 基本要求

1. 顶层文件格式给定如下

|  |
| --- |
| module DDS  (  input wire clk, // 100MHz  input wire rst\_n,  input wire [23:0] fout, // 频率  output wire [15:0] sig\_out  ); |

1. 要求仿真输出波形为正弦波，频率范围1kHz-10MHz，频率误差0.1%；
2. 最小频率步进为10Hz；

### 2.发挥要求

1. 顶层文件格式给定如下

|  |
| --- |
| module DDS  (  input wire clk, // 100MHz  input wire rst\_n,  input wire [1:0] mode, // 0Sin / 1AM / 2FM / 3输出0  input wire [23:0] fc, // 频率 / 载波频率 / 载波频率 /  input wire [23:0] fs, // 无 / 调制频率 / 调制频率 /  input wire [3:0] ma, // 无 / 调制度 / 无 /  input wire [15:0] fd, // 无 / 无 / 最大频偏 /  output wire [15:0] sig\_out // 输出 / 输出 / 输出 /  ); |

1. 要求能够通过mode切换输出信号的波形
2. 实现AM单音调制，载波信号频率500kHz-10MHz范围可调，最小步进10Hz；正弦调制信号频率1kHz-50kHz范围可调，最小步进10Hz；调制度10%-100%，最小步进10%，可由ma设置，当ma为1时，调制度为10%，当ma为10时，调制度为100%
3. 在(3)的基础上，设计仿真文件，在modelsim中输出载波频率1MHz、调制信号频率1kHz、调制度50%的AM信号仿真
4. 实现FM单音调制，载波信号频率500kHz-10MHz范围可调；正弦调制信号频率为1kHz；最大频偏5kHz-20kHz范围可调，步进1kHz
5. 在(5)的基础上，设计仿真文件，在modelsim中输出基频为1MHz、调制信号频率1kHz、最大频偏为10kHz的FM信号仿真

## 说明

1. 实现基本要求时，也可以使用发挥要求的顶层文件格式
2. 验收时需要提交完整实现代码、仿真代码以及仿真结果截图，仿真截图应含有必要的数据指标用于检验

## 四、评分标准

|  |  |  |
| --- | --- | --- |
| **基本**  **要求** | 完成第(1)(2)项 | 10 |
| 完成第(3)项 | 10 |
| 小计 | 20 |
| **发挥**  **要求** | 完成第(1)(2)项 | 10 |
| 完成第(3)项 | 20 |
| 完成第(4)项 | 10 |
| 完成第(5)项 | 30 |
| 完成第(6)项 | 10 |
| 小计 | 80 |
| 报告 |  | 20 |
| **总分** | | 120 |