

# **פרויקט גמר**

**במעבדה ל VLSI אנלוגי**

**מנחה: מר צוריאל אברהם**

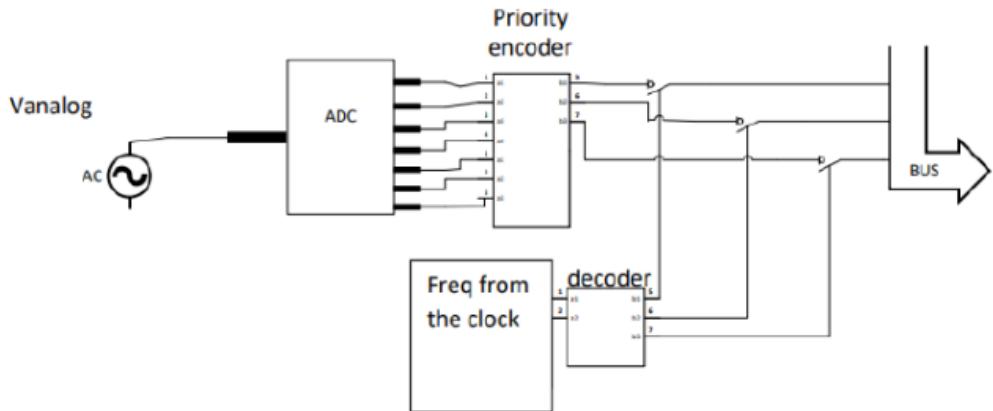
**תאריך הגשה: 1/5/24**

**מייל : liorgamer1997@gmail.com**

**ת"ז: 318227758**

**שם: ליאור גוצולסקי**

## שאלה 1: ADC הנקר באופן טורי



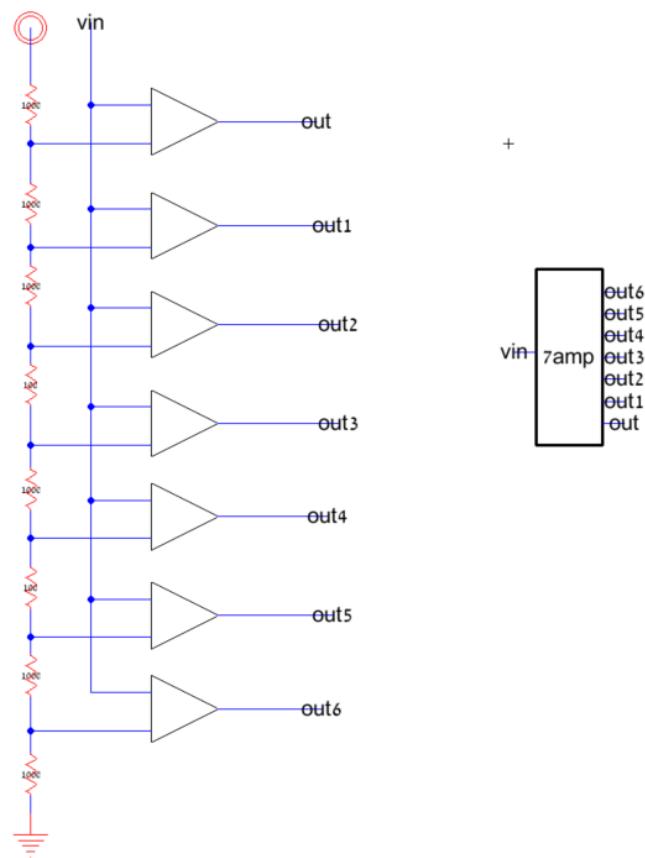
## מערכת :ADC

כניסת המערכת היא אות אנלוגי ומוצאה אות דיגיטלי הנקר באופן טורי .

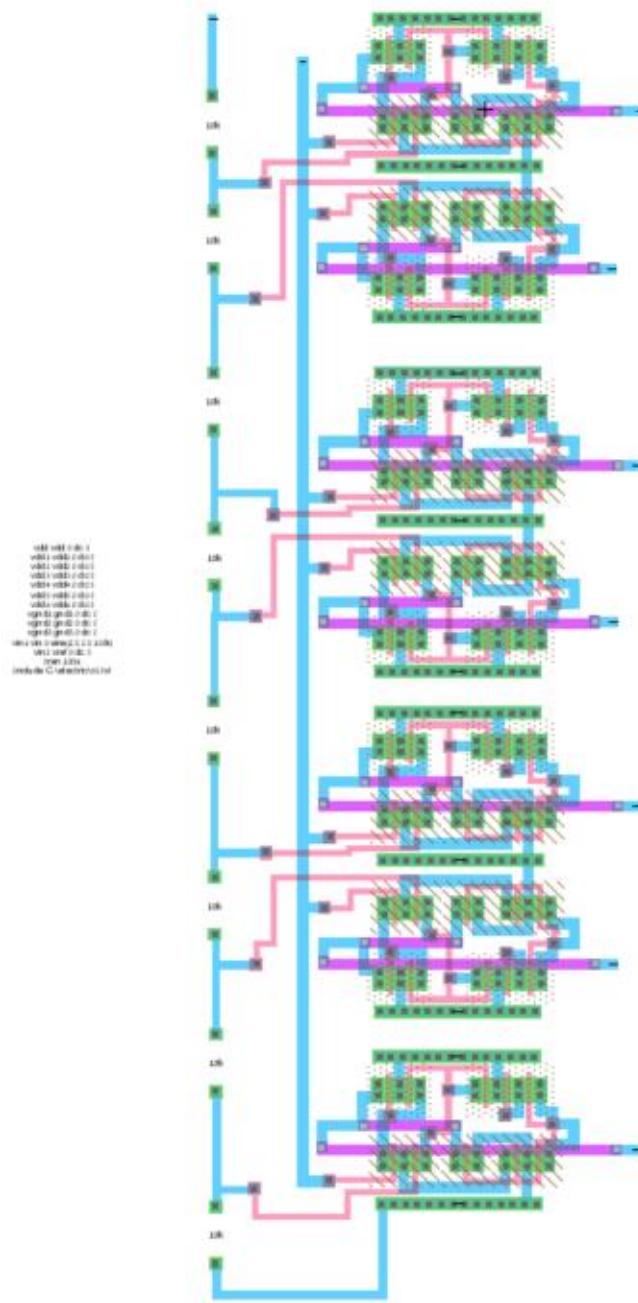
האותות והמתגים מסונכרנים כך שנקראות את המוצא ה encoder - כלו לפני מעבר לרמת המתה הבאה .

תדר הכניסה למערכת אות סינוס בעל תדר 100 KHz האותות מסונכרנות בהתאם.

## :ADC - 7 comp - schematic + icon



## :ADC - 7 comp - Layout



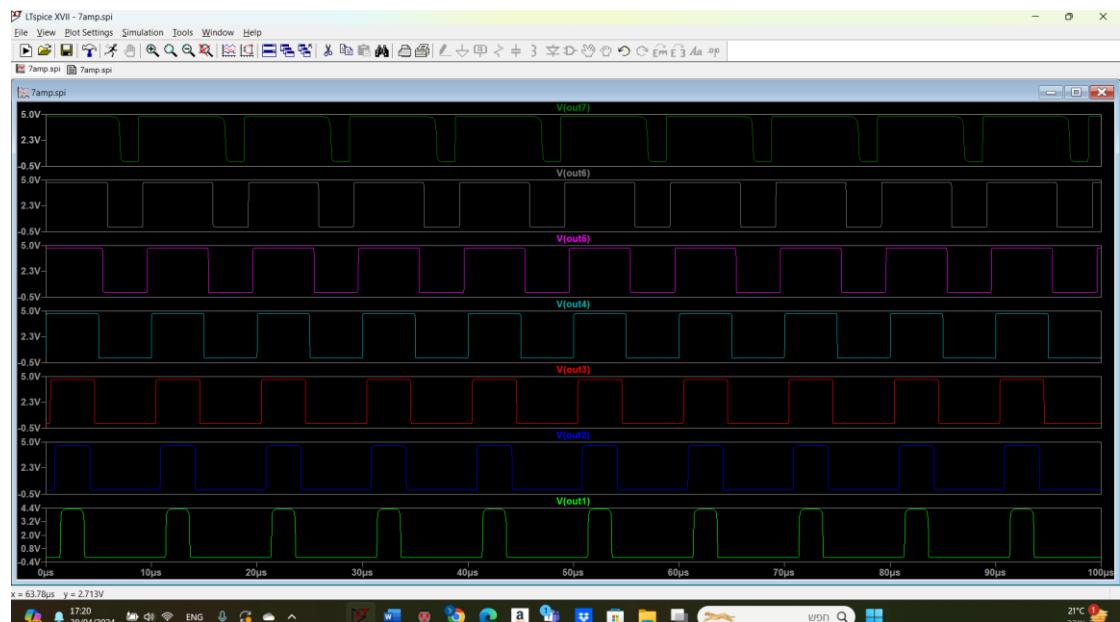
ADC משתמש כממיר את אנלוגי לאות דיגיטלי בצורה טורית.

האות מחולק לשבע רמות מתח שונות ועובר מאות אנלוגי לאות דיגיטלי בעזרת

- 1) חילוק המתח
  - 2) ומגברי משווה.
  - 3) נגדים

הmoצא של הממיר מכיל שבעה אותות שלפי רמת המתח מפעילה כל אחד מהם לפי הסוף שלו.

## :ADC - 7 comp - Simulation

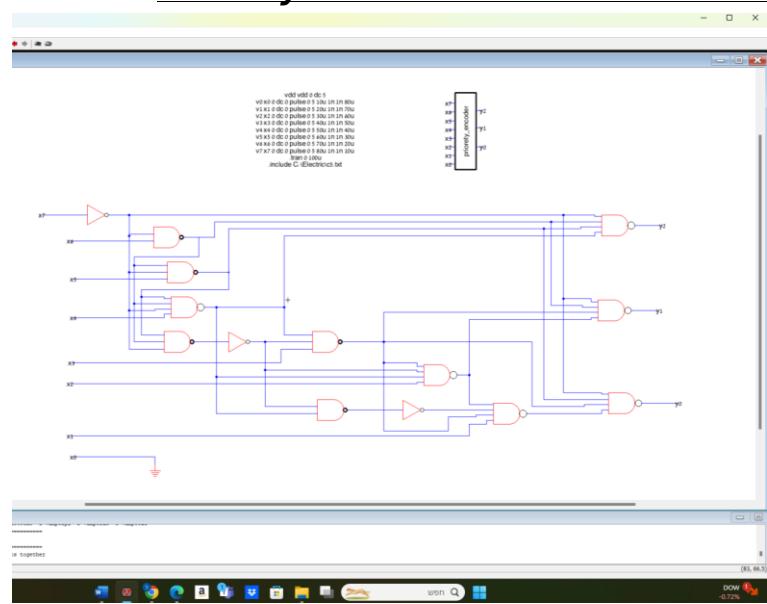


ניתן לראות מהסימולציה שבכל דרגה התקבל מתח ורוחב שונים מאשר הדרגות .

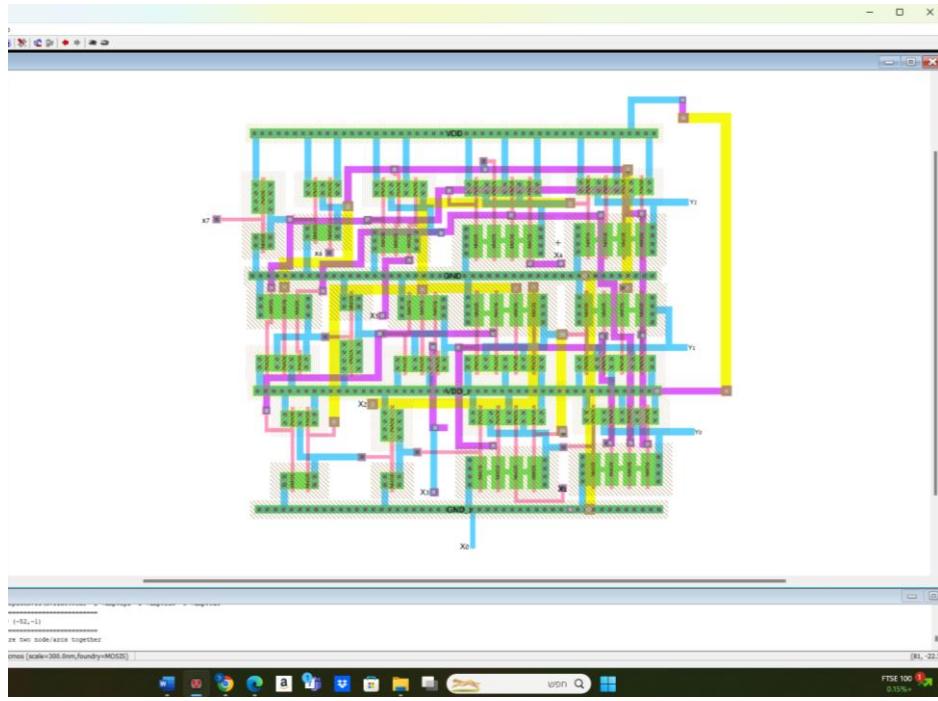
רוחב של כל אות תלוי באות הכניסה הרוחב של אות מסוים בmozא עלה עבור מתח מסוים בעליית אות הכניסה וירד עבור אותו ערך בירידת מתח המזא.

## :Priority encoder

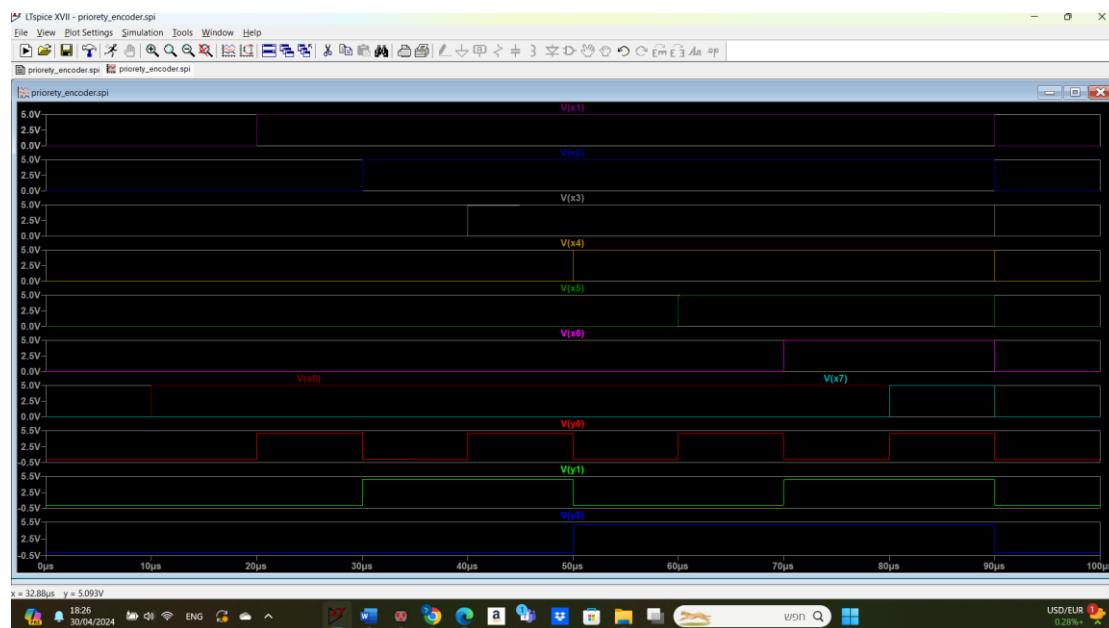
### :Priority encoder – schematic + icon



## : Priority encoder – Layout



## : Priority encoder – Simulation

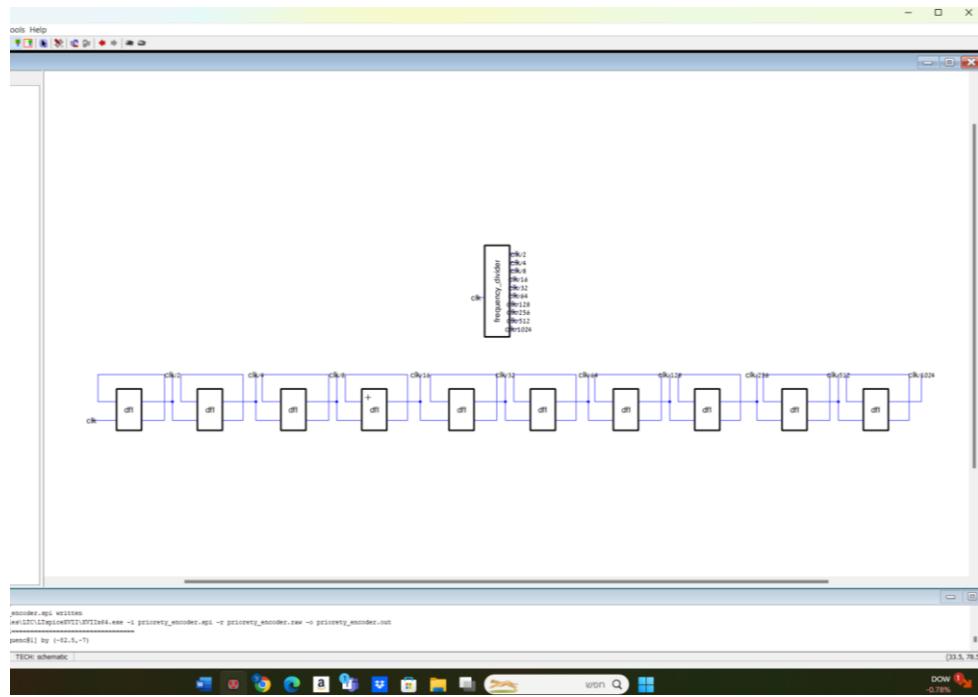


Priority encoder – הינו רכיב שדוחס מספר כניסה ביאריות למספר קטן יותר של יציאות.

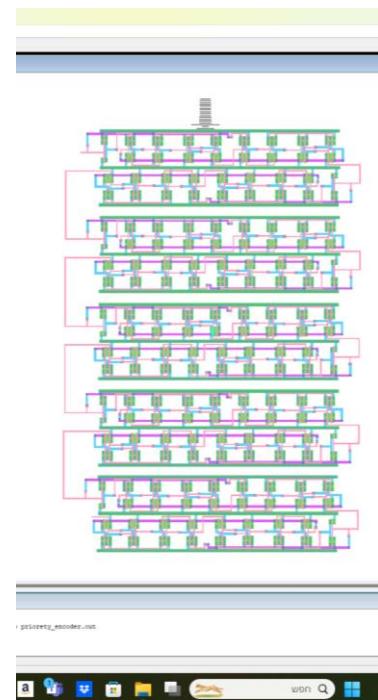
המוצא של המקודד עדיפויות הינו הייצוג הבינארי של האינדקס של הקוו המופעל המשמעותי ביותר (במילים אחרות אם שני כניסה ומעלה פעילות בו זמנית אז במצב המקודד תתקבל הכניסה בעלת העדיפות הגבוהה ביותר של האות בעלת המספר הגבוה ביותר [כלומר 7 יהיה עדיף על 6])  
(במקרה זה גם הסוף מתח הגבוה ביותר).

כמו כן ניתן לראות שככינית השם  $\lambda$  הכניסה בעלת העדיפות הגבוהה ביותר מתקובל באותות המוצא  $A=B=C=1$ .

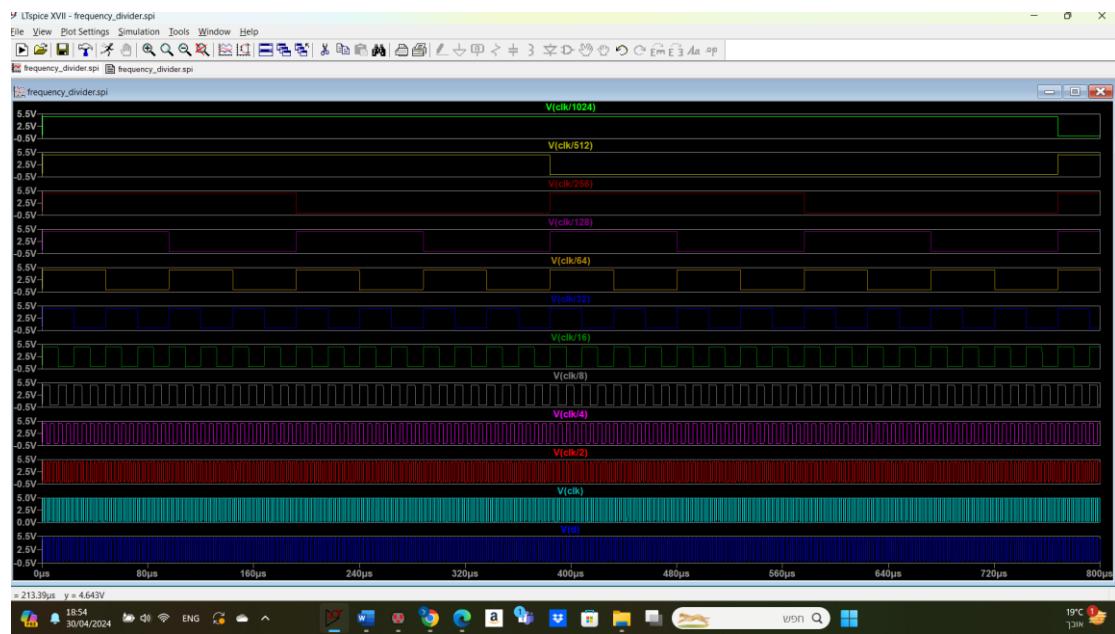
## :clock & Frequency Divider – schematic + icon



## :clock & Frequency Divider – Layout



## :clock & Frequency Divider – Simulation

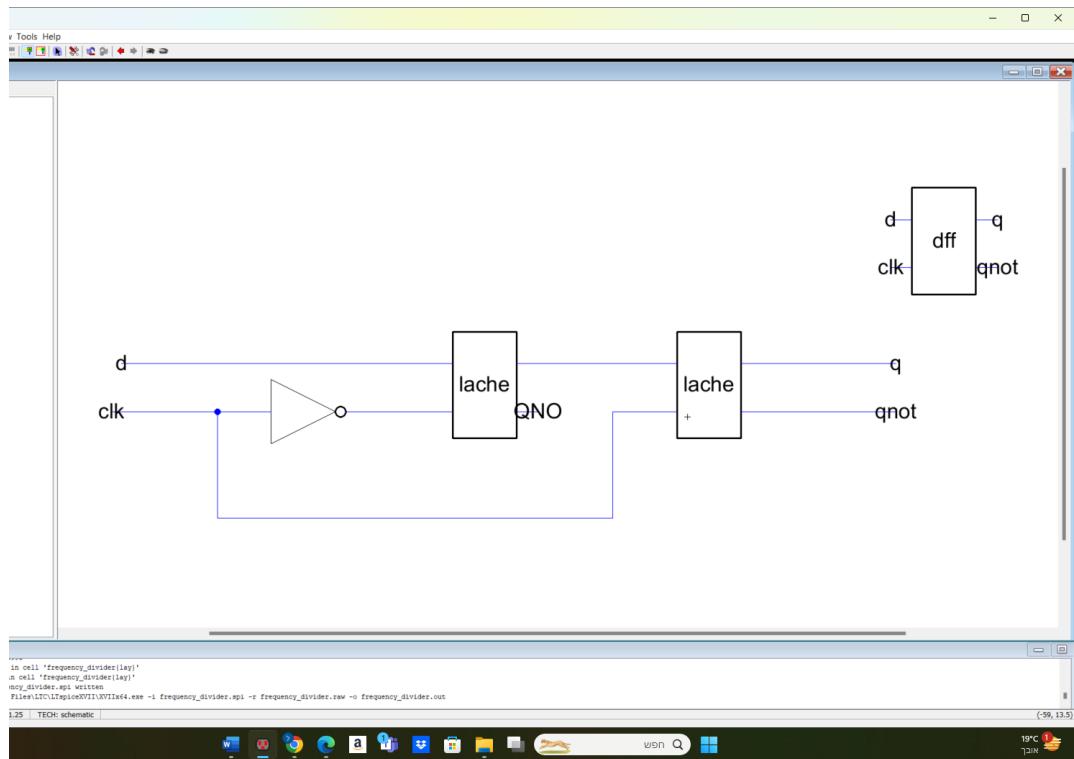


כאשר משרירים חיבור של FF-D אז נוצר חילוק בתדר פי  $2^n$  כאשר ח הוא מספר FF בין הכניסה לモץ.

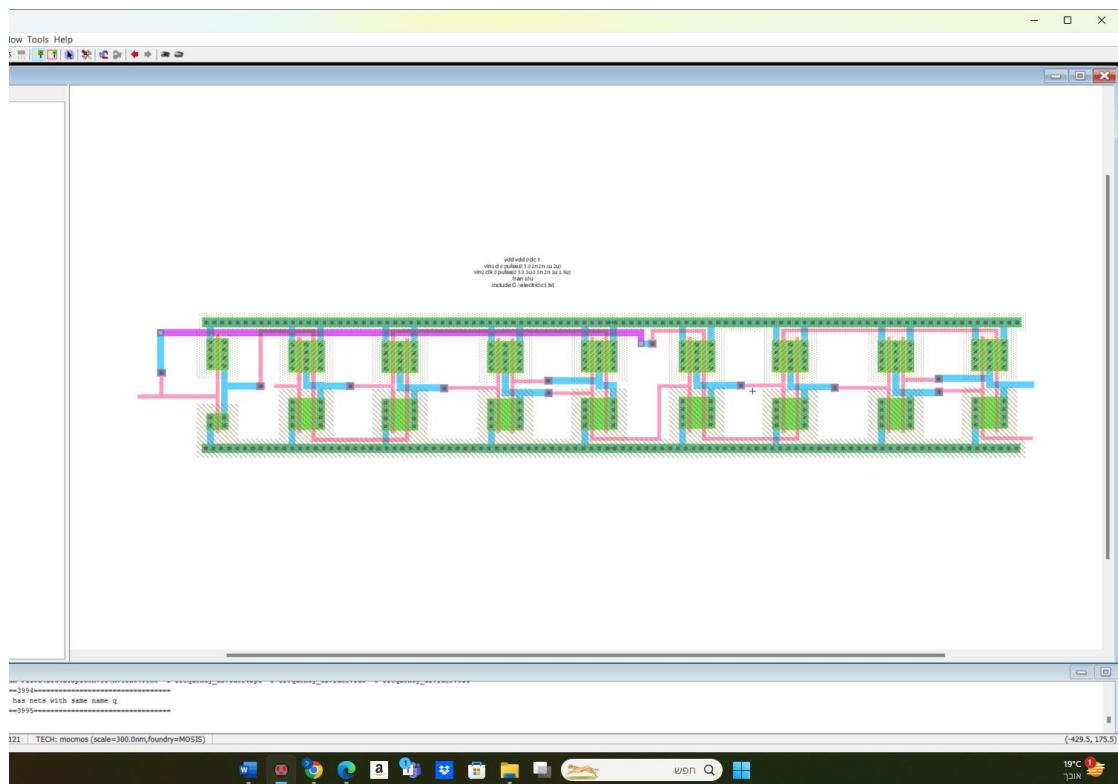
כמו כן ניתן לראות שモץ FF - D מחלק את התדר ב - 2 מהmoץ של FF שלפניו.

שרשור של עשרה FF - D لكن התדר הנמוך ביותר שהתקבל הינו  $1024/1024$  clk

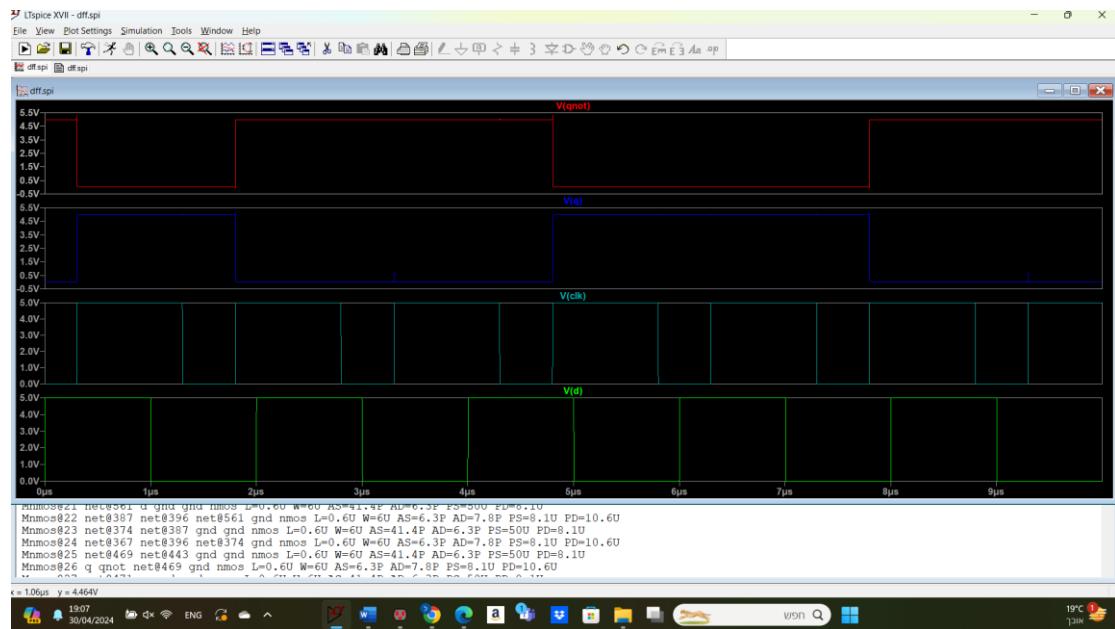
## :D – Flip - Flop – schematic + icon



## :D – Flip - Flop – Layout



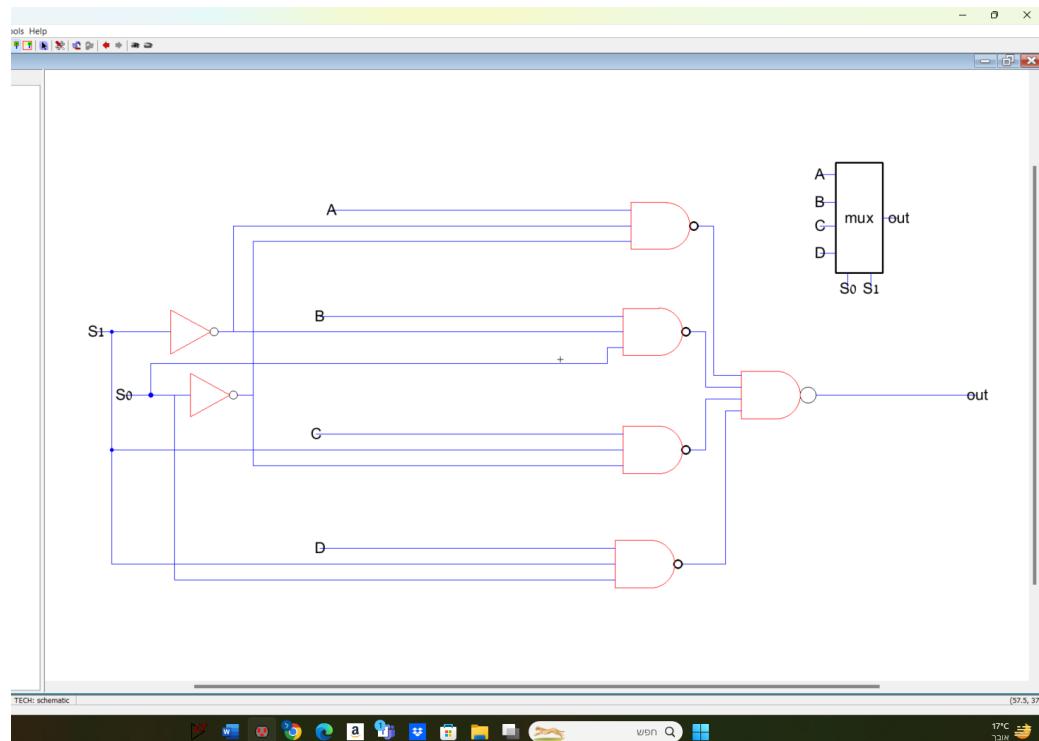
## :D – Flip - Flop – Simulation



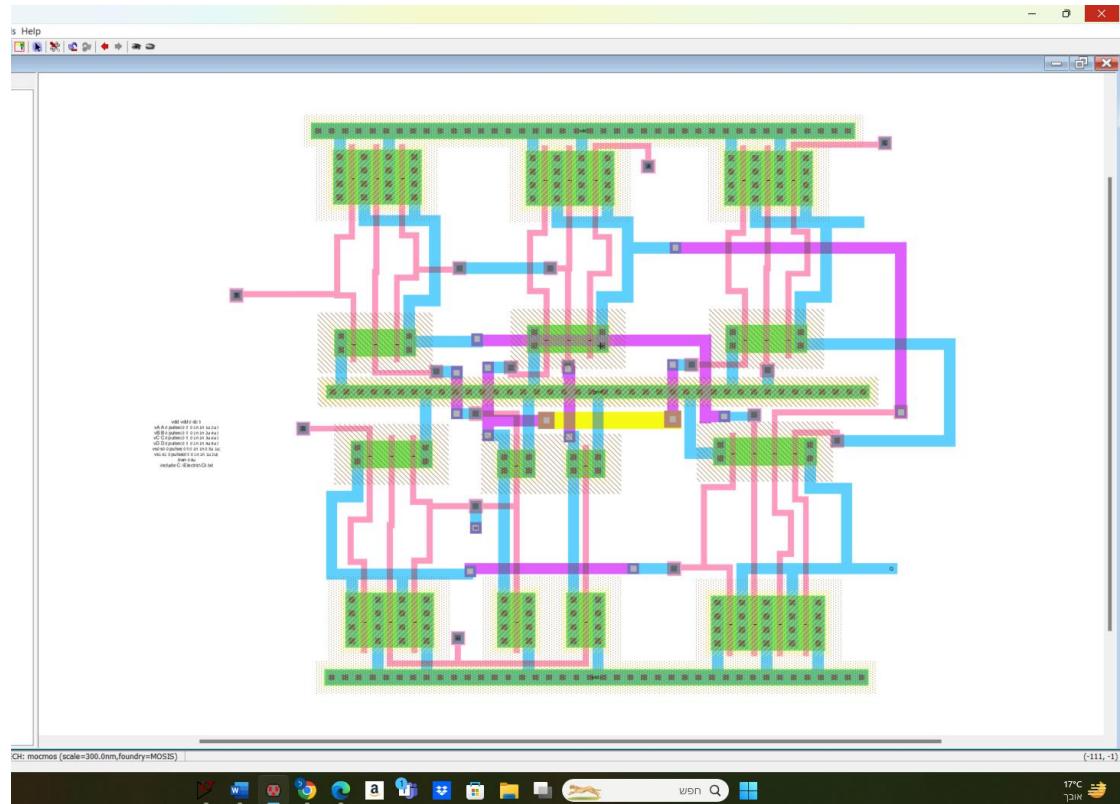
הרכיב D – Flip - Flop מרכיב משנה רכיבי D-Latch ומהפּר.

הרכיב אכן פועל לפי טבלת האמת שלו, כאשר המוצא  $'1' = q \vee \bar{q}$  איז ערכו של המוצא ( $q$ ) הינו '0' ון להפּר.

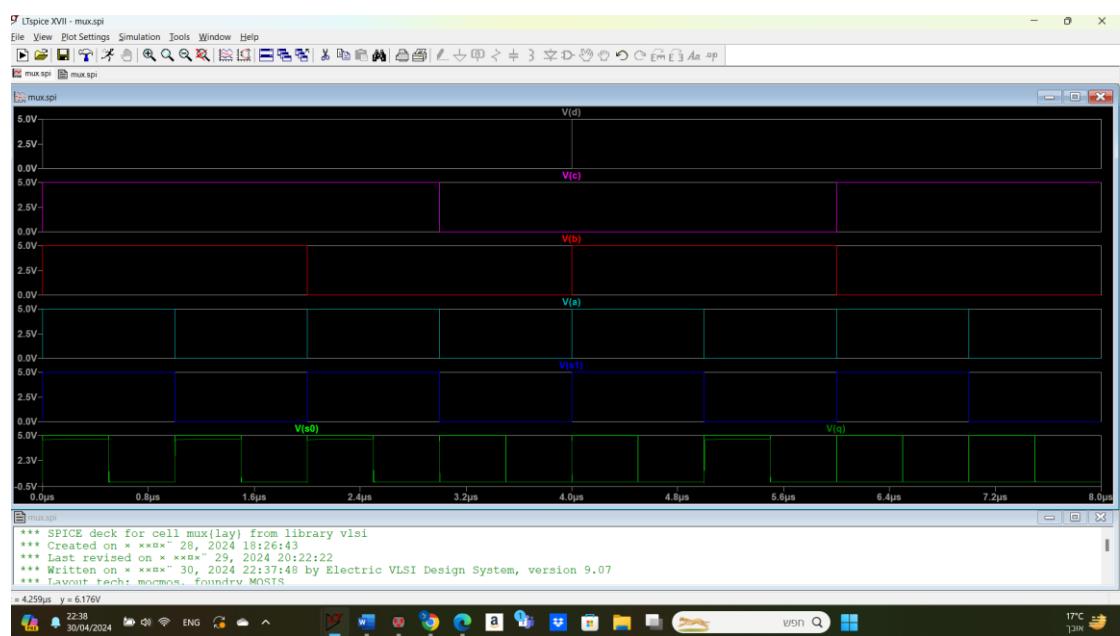
## :MUX4x1 – schematic + icon



## :MUX4x1 – Layout



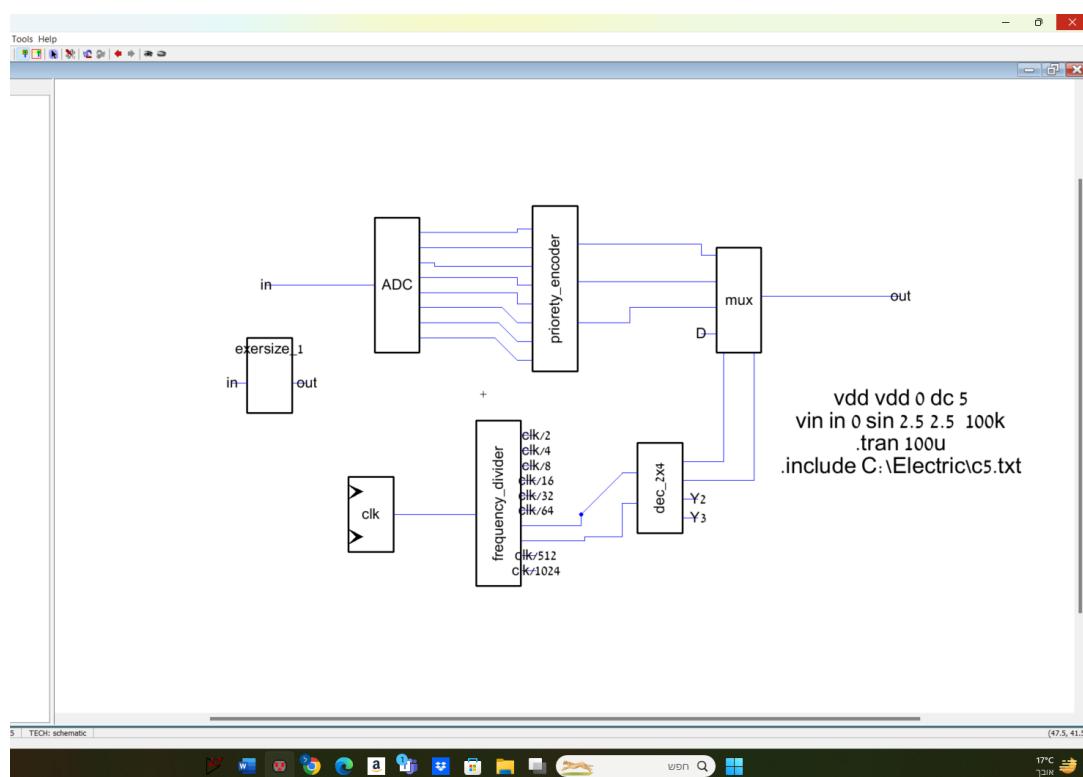
## :MUX4x1 – Simulation



מרובב 4 ל-1 לוקח 4 כניסות ומכוון קלט ייחד שנבחר לפולט. בחירת הקלט נשלחת על ידי כניסה בחרה. מרובב 4 ל-1 מרכיב ממפענה 2 ל-4-IN-OR4-X2. עם זאת, מרובב זה לוקח 4 אפיק של 8 סיביות ככניסות ומוסיאה אפיק בודד של 8 סיביות. במקרה שלנו רק ב-3 כניסות לנו קומבינציה של S1 שלא עשו (במקרה שלו נשתמש רק ב-3 כניסות לכן יהיה לנו קומבינציה של S1 שלא עשו כלום כמו כניסה אחת שאין לה שימוש)

## חיבור הרכיבים למערכת:

**: all system together -schematic + icon**



המעגל כולל את פעולות המערכת, הזרת מתח הכניסה Vin באות סינוסואידלי בעל מתח 5 ותדר 100Khz.

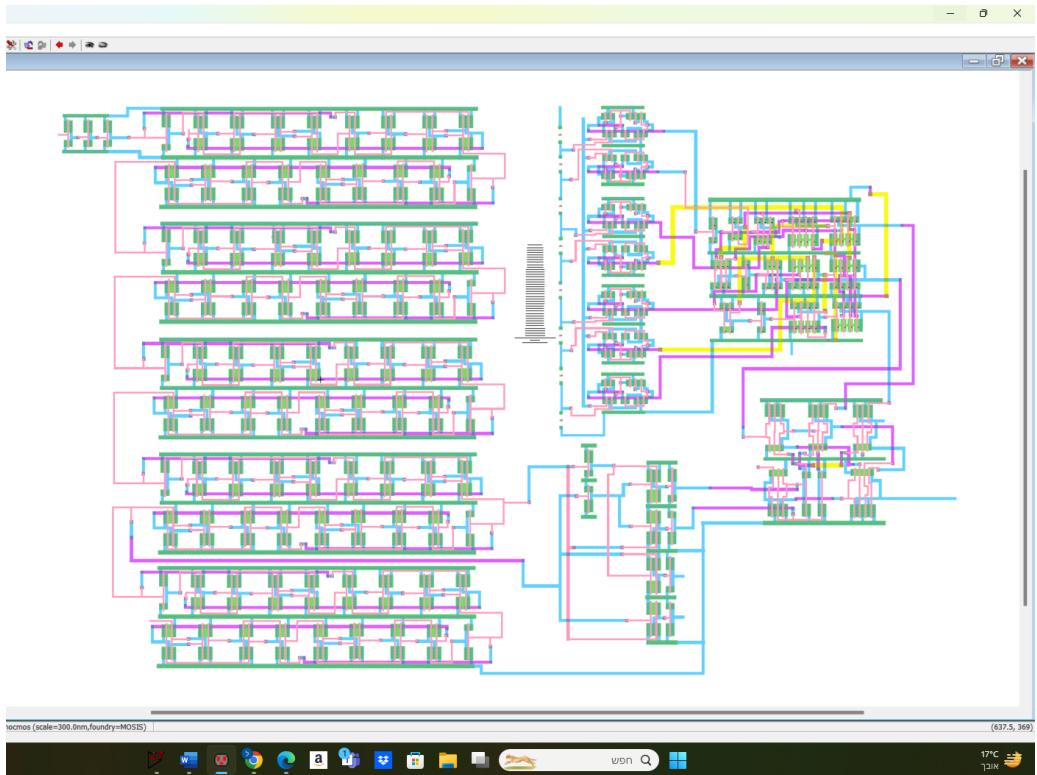
האות האנalogי נכנס אל הממיר אנלוגי ומוסבר לדיגיטלי, לאחר מכן נכנס אל Priority encoder (Priority encoder) מוציא את הערך הבינארי של האות הגבוה ביותר שנכנס אליו).

בכדי שהמידע יעבור בצורה טורית, המערכת תוכננה בעזרת XUM משמש כמתג אלקטרוני

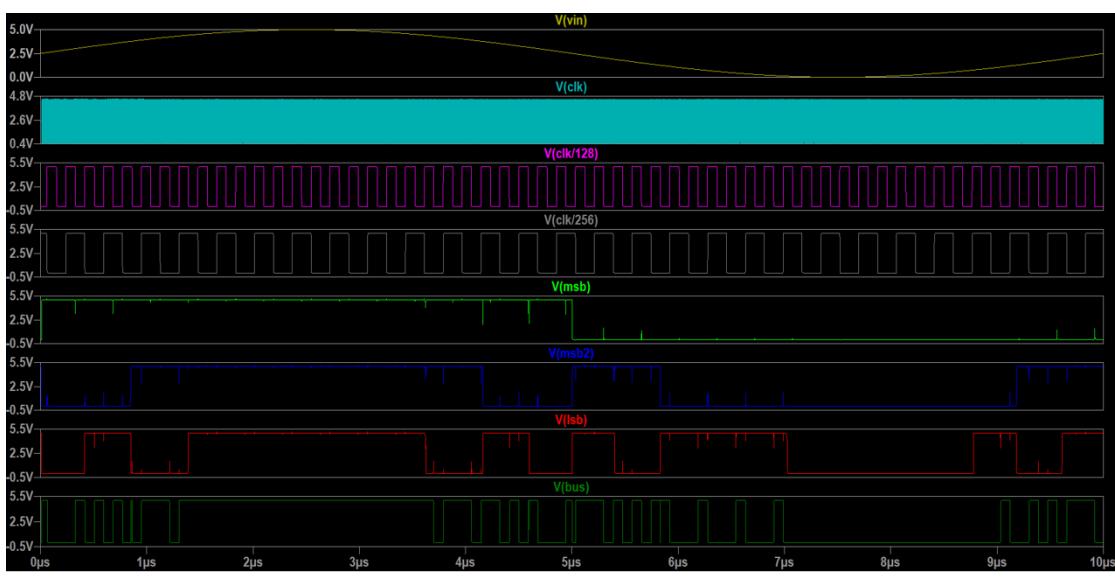
شبיצרת X-MUX המחבר למוצא ה Decoder - הוא מחליט איזה מידע יעבור ל BUS בהתאם , כך מאפשר לעבור את 3 המוצאים של Encoder בצורה טורית ל BUS , כאשר אותן הכניסה עולה אז תמיד יהיה מעבר אותו ל BUS וכאשר אותן הכניסה יורד ה BUS מתאפשר ומהכח לעלייה הבאה..

בחלק השני של המערכת הוזן שעון אל מחלק התקדר ונבחרו התקדרים המתאימים ביותר שיכנסו אל Decoder. פעולה זאת מתבצעת בכך שתתקבל תדר דגימה המתאים ביותר למערכת ובכך מושך Decoder מכתיב את קצב המיתוג של המtag X-MUX והמערכת מעבירה ל - S-BUS כל פעם רgel אחרת של מוצא Priority encoder וכך המערכת מעבירה אותן אנווגי דיגיטלי בצורה טורית.

## :all system together – Layout



## :all system together -Simulation



הمعالג אכן עובד בצורה תקינה בכך שהוא ממיר את האנלוגי לדיגיטלי בצורה טורית.  
 דוגמא: במצב שבו האות האנלוגי נמצא בגבולה (5V) אז המוצאים של Priority encoder יהיה  $A=B=C=1$  וזה מה שמחכה בכניסה של המתג אונן.

בחולק השני של המערכת השעון מחלק התדר ל 128 או 256 ותדרים אלו הם קווי הבקרה של encoder שמתכטב את המיתוג של המתג אונן.

לבסוף כאשר הכניסה בערך של 5V אוז מתאפשר ב-BUS '1' לוגי ארוך מכיוון שככל רגלי Priority encoder הינם '1' וכך הוא עובר אל הקו המשותף.

## שלושת הזמנים החשובים ברגיסטר D-FF הינט:

T<sub>q</sub> - הזמן שלוקח למוצא FF להתייצב לאחר עלייה שעון כלומר זהו הזמן מעליית השעון עד העלייה של המוצא Q.

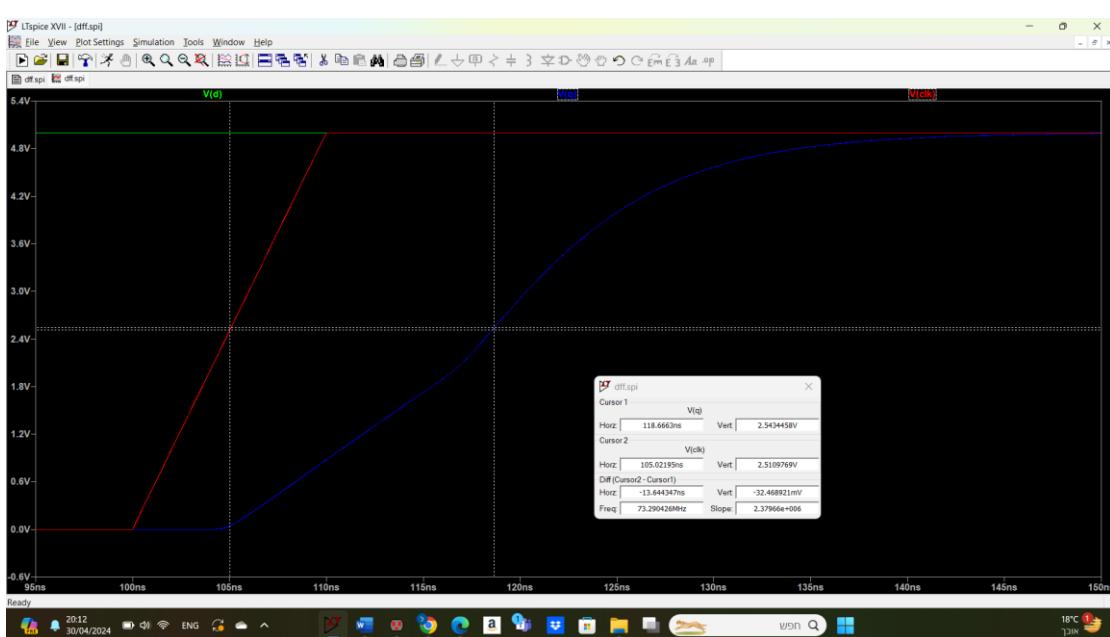
- הזמן מהעליה של הכניסה D עד העלייה של השעון. T<sub>setup</sub>

(זמן לפני הדגימה שבו המידע בכניסה צריך להיות מוכן)

- הזמן מהעליה של השעון עד הירידה של הכניסה D. T<sub>hold</sub>

(זמן לאחר הדגימה שבו הכניסה נשארת יציבה)

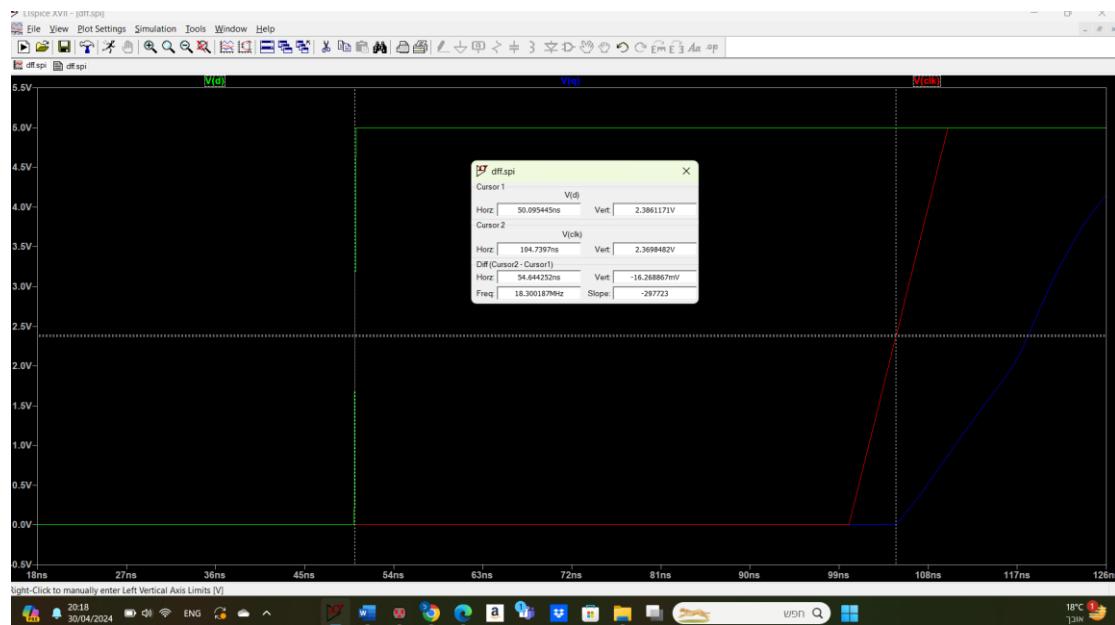
:T<sub>q</sub>



המדידה מתבצעת בעליית השעון עד העלייה של המוצא q כאשר ערכו Vclk  
ו-q נמצאים ב- 50% מערכם, כלומר ב- 2.5V

$$T_{cq} = \text{corso}1 - \text{corso}2 = 118 \text{ ns} - 105 \text{ ns} = 13 \text{ ns}$$

## Tsetup



המדידה מתבצעת מהעליה של הכניסה d עד העלייה של השעון כאשר ערכו Vclk  
ו-q נמצאים ב- 50% מערכם, כלומר ב- 2.5V

$$T_{setup} = \text{corso}2 - \text{corso}1 = 104 \text{ ns} - 50 \text{ ns} = 54 \text{ ns}$$