

פרויקט גמר

במעבדה ל VLSI אנלוגי

מנחה: מר צוריאל אברהם

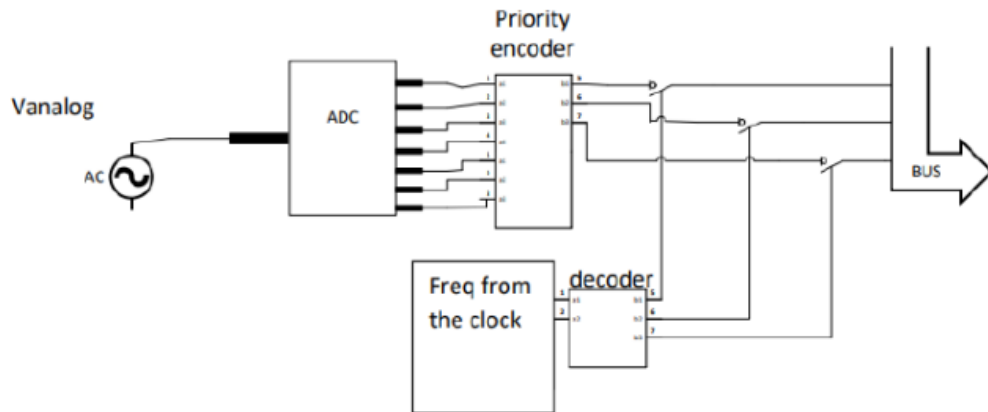
תאריך הגשה: 1/5/24

מייל: liorgamer1997@gmail.com

ת"ז: 318227758

שם: ליאור גוצולסקי

שאלה 1: ADC הנקרא באופן טורי



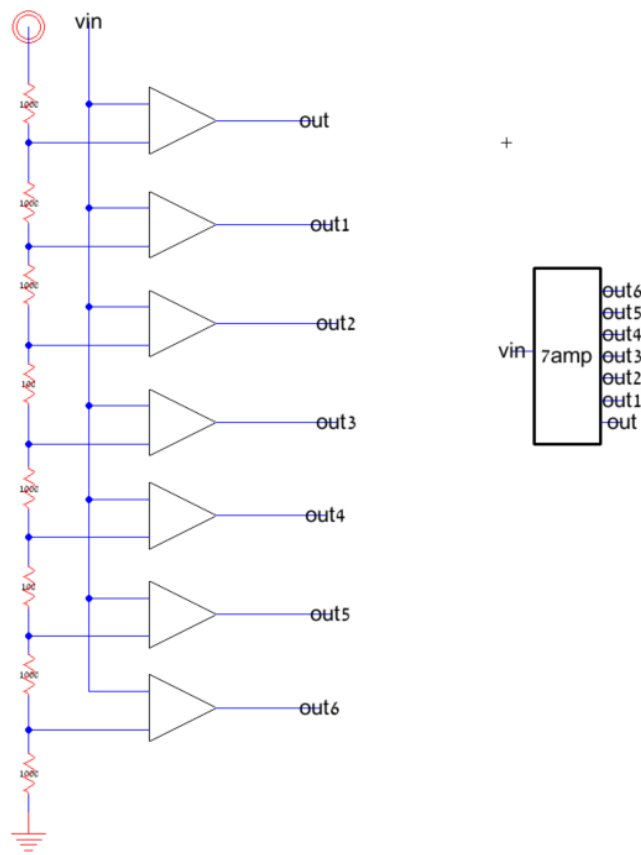
מערכת ADC:

כניסת המערכת היא אות אנלוגי ומוצאה אות דיגיטלי הנקרא באופן טורי.

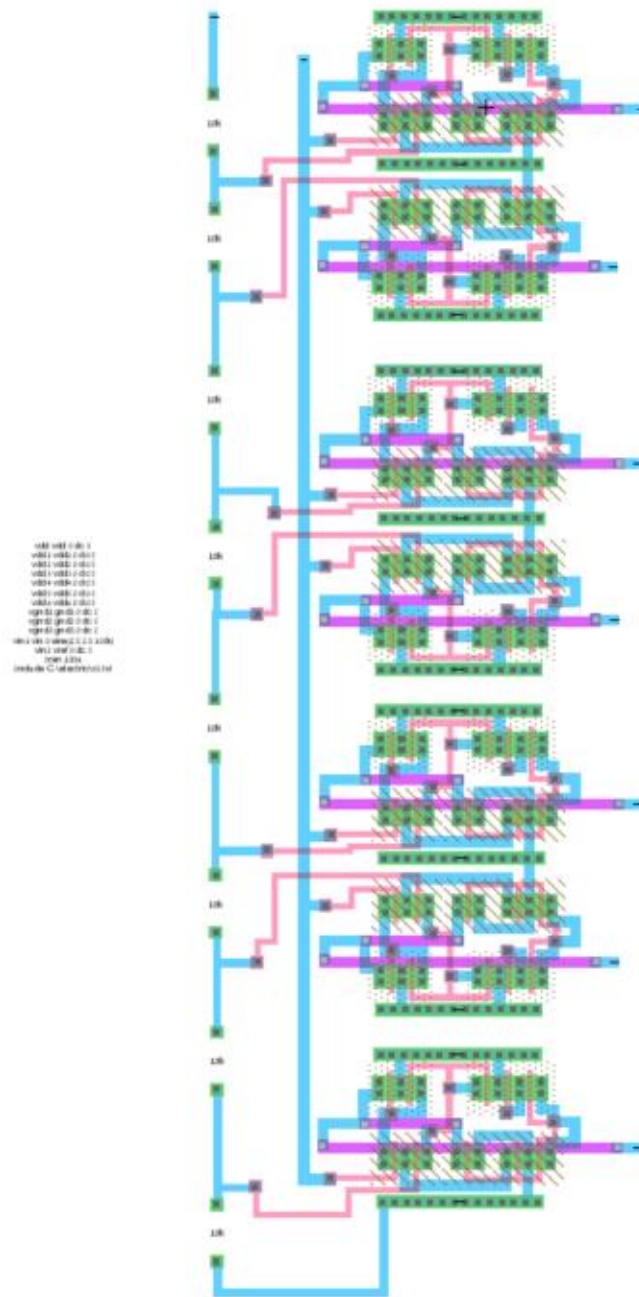
האותות והמתגים מסונכרנים כך שנקרא את המוצא ה-encoder - כולו לפני מעבר לרמת המתח הבאה.

תדר הכניסה למערכת אות סינוס בעל תדר 100 KHz האותות מסונכרנות בהתאמה.

ADC - 7 comp – schematic + icon



:ADC - 7 comp - Layout



ADC משמש כממיר אות אנלוגי לאות דיגיטלי בצורה טורית.

האות מחולק לשבע רמות מתח שונות ועובר מאות אנלוגי לאות דיגיטלי בעזרת

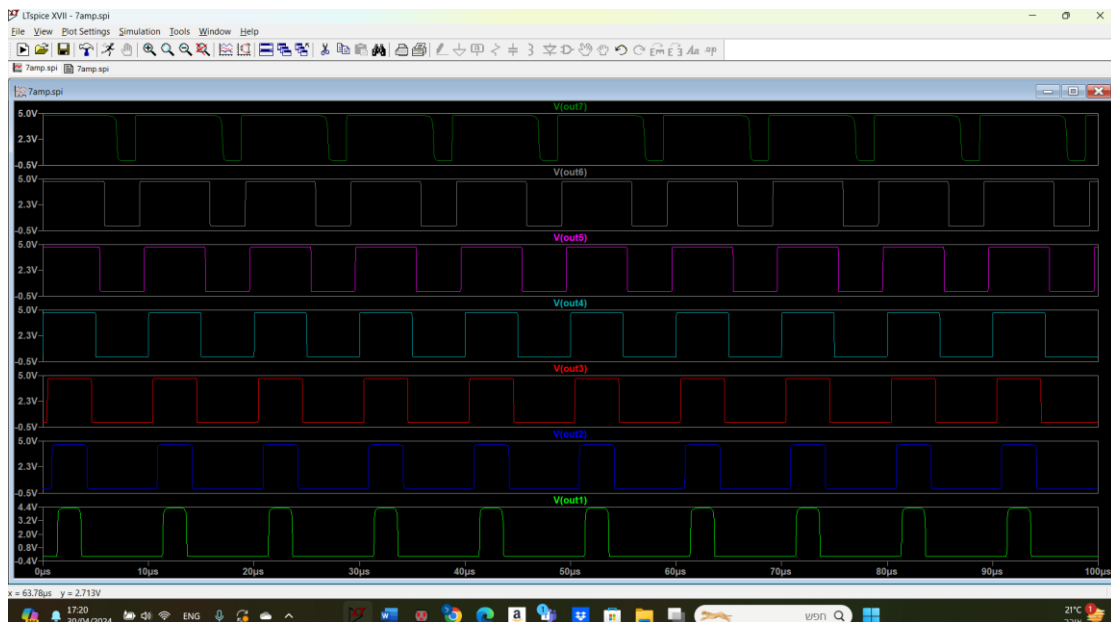
(1) חילוק המתח

(2) ומגברי משווה.

(3) נגדים

המוצא של הממיר מכיל שבעה אותות שלפי רמת המתח מפעילה כל אחד מהם לפי הסף שלו.

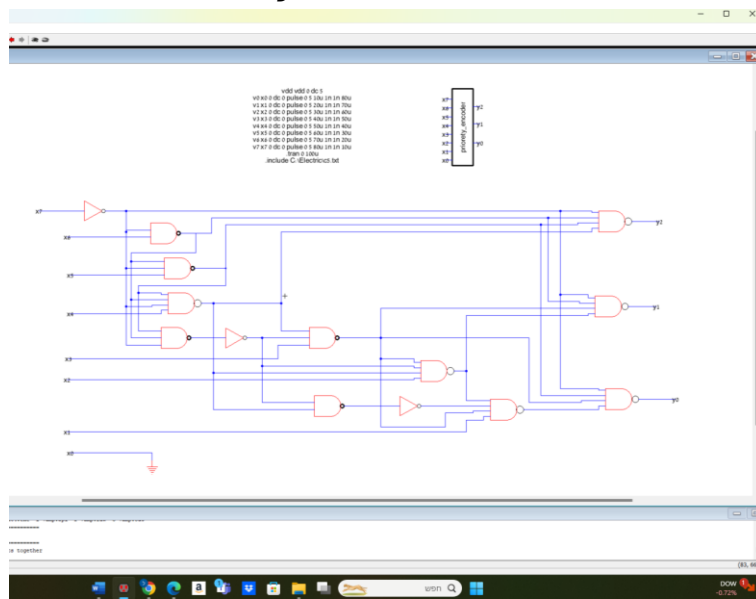
:ADC - 7 comp - Simulation



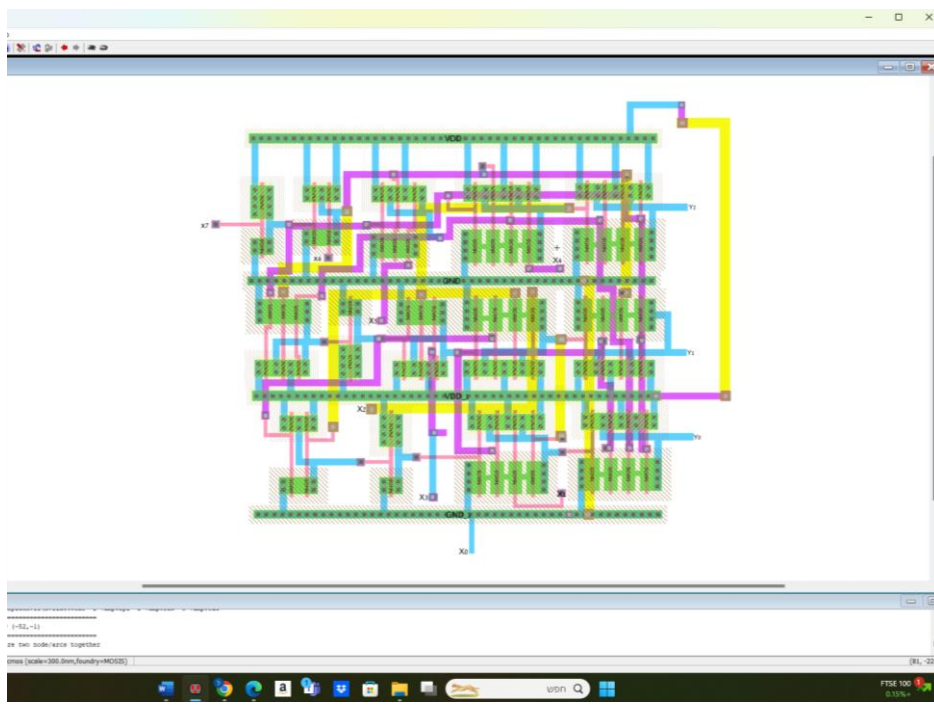
ניתן לראות מהסימולציה שבכל דרגה התקבל מתח ורוחב שונים משאר הדרגות .
רוחב של כל אות תלוי באות הכניסה הרחב של אות מסויים במוצא יעלה עבור מתח
מסויים בעליית אות הכניסה וירד עבור אותו ערך בירדת מתח המוצא.

:Priority encoder

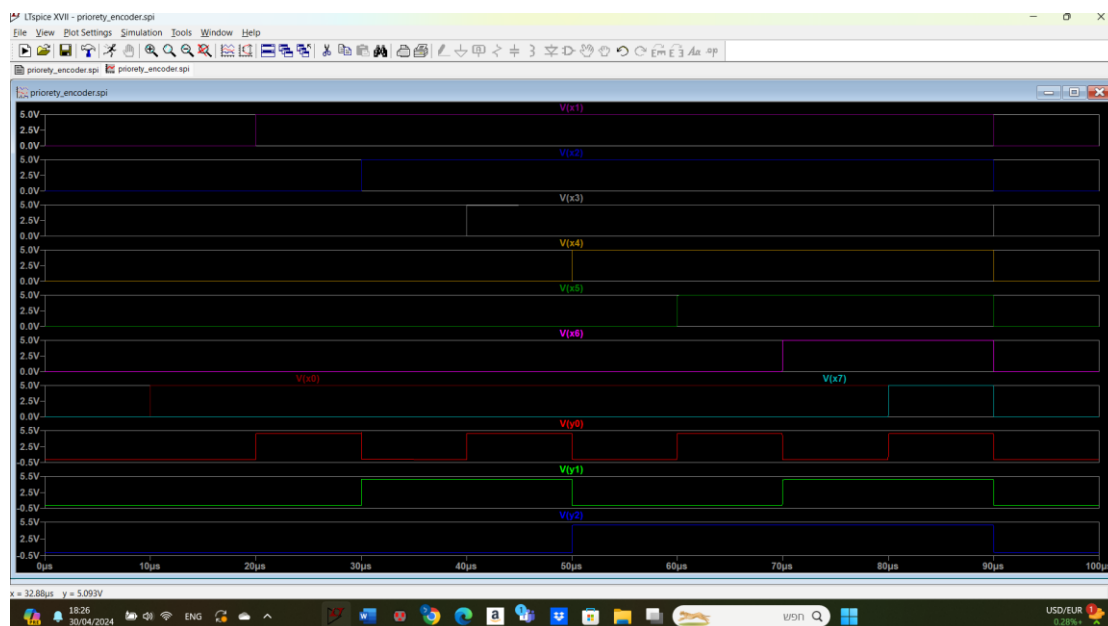
: Priority encoder – schematic + icon



: Priority encoder – Layout



: Priority encoder – Simulation

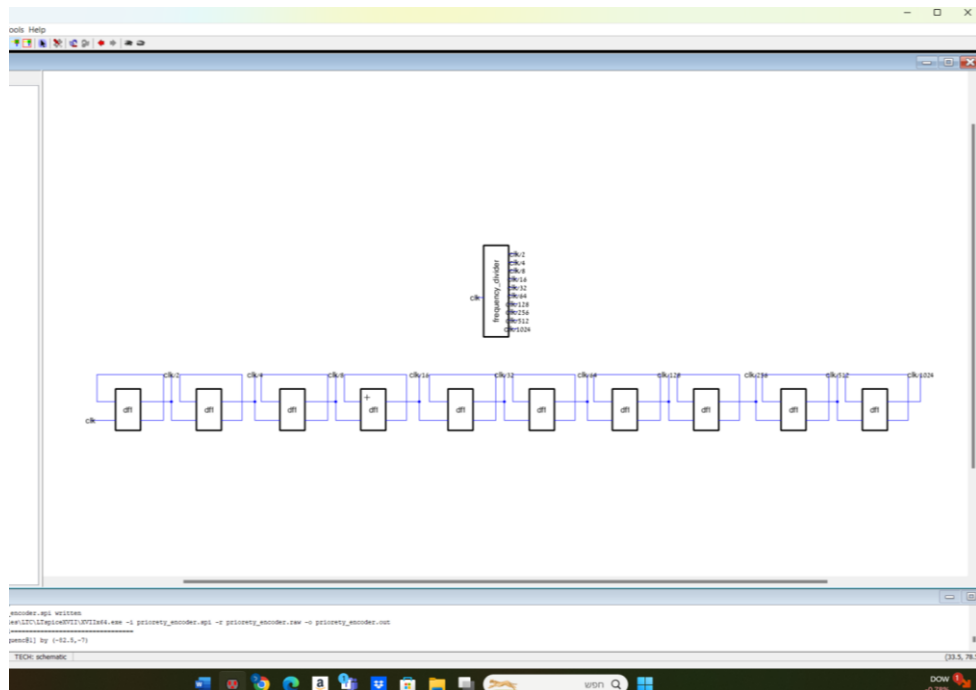


Priority encoder הינו רכיב שדוחס מספר כניסות בינאריות למספר קטן יותר של יציאות.

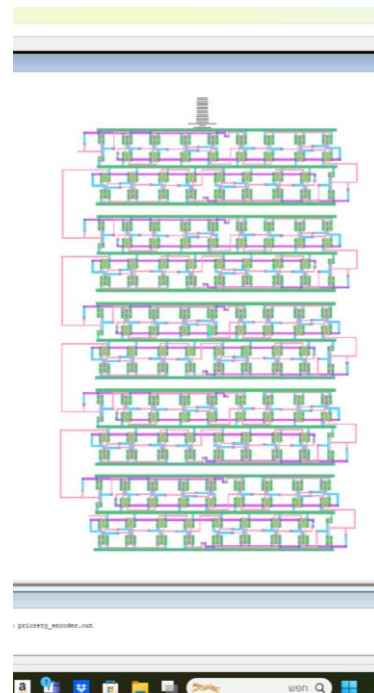
המוצא של המקודד עדיפויות הינו הייצוג הבינארי של האינדקס של הקו המופעל המשמעותי ביותר (במילים אחרות אם שני כניסות ומעלה פעילות בו זמנית אז במוצא המקודד תתקבל הכניסה בעלת העדיפות הגבוהה ביותר של האות בעלת המספר הגבוה ביותר [כלומר 7 יהיה עדיף על 6]) (במקרה זה גם הסף מתח הגבוה ביותר).

כמו כן ניתן לראות שבכניסת האות x7 הכניסה בעלת העדיפות הגבוהה ביותר מתקבל
באותות המוצא A=B=C='1'.

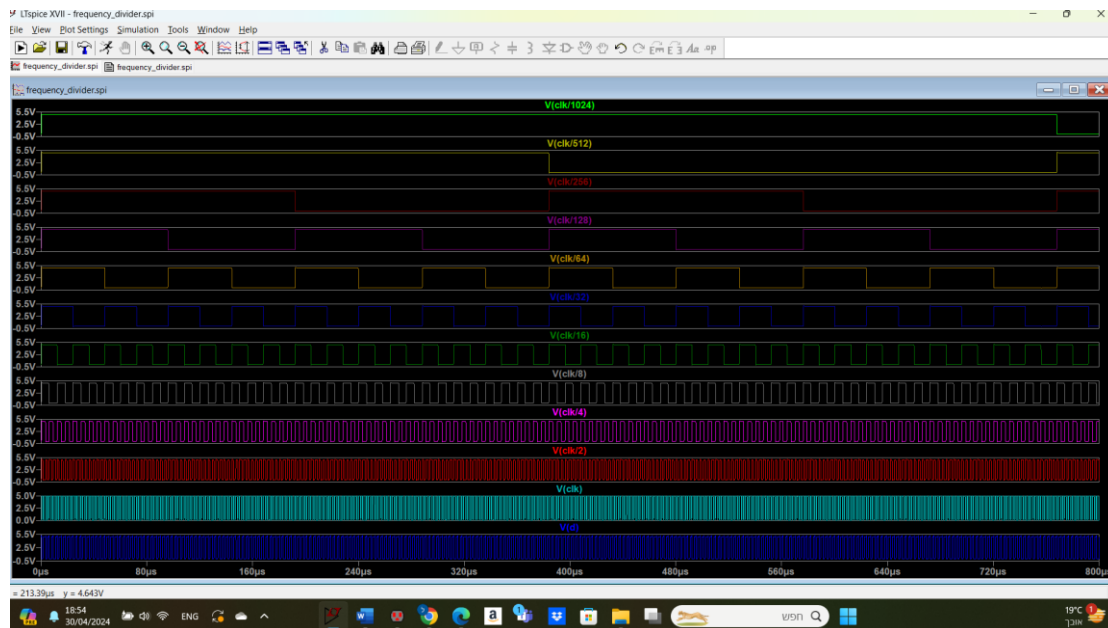
: clock & Frequency Divider – schematic + icon



:clock & Frequency Divider – Layout



:clock & Frequency Divider – Simulation

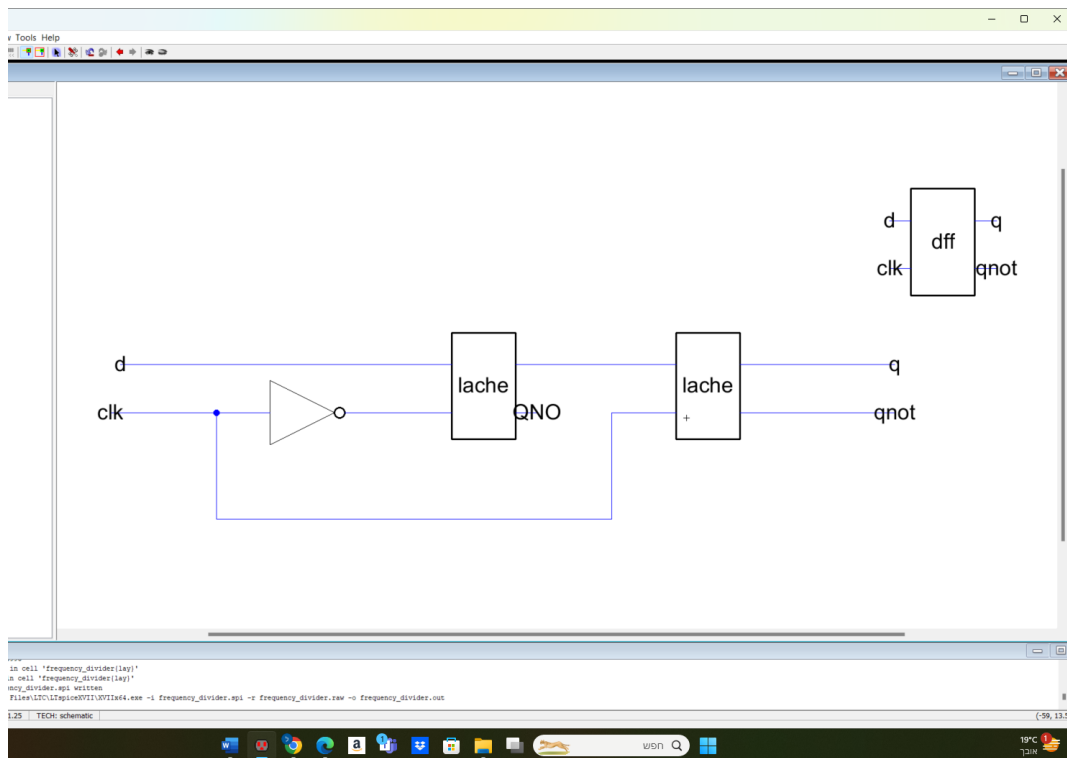


כאשר משרשרים חיבור של D-FF אז נוצר חילוק בתדר פי 2^n כאשר n הוא מספר FF בין הכניסה למוצא.

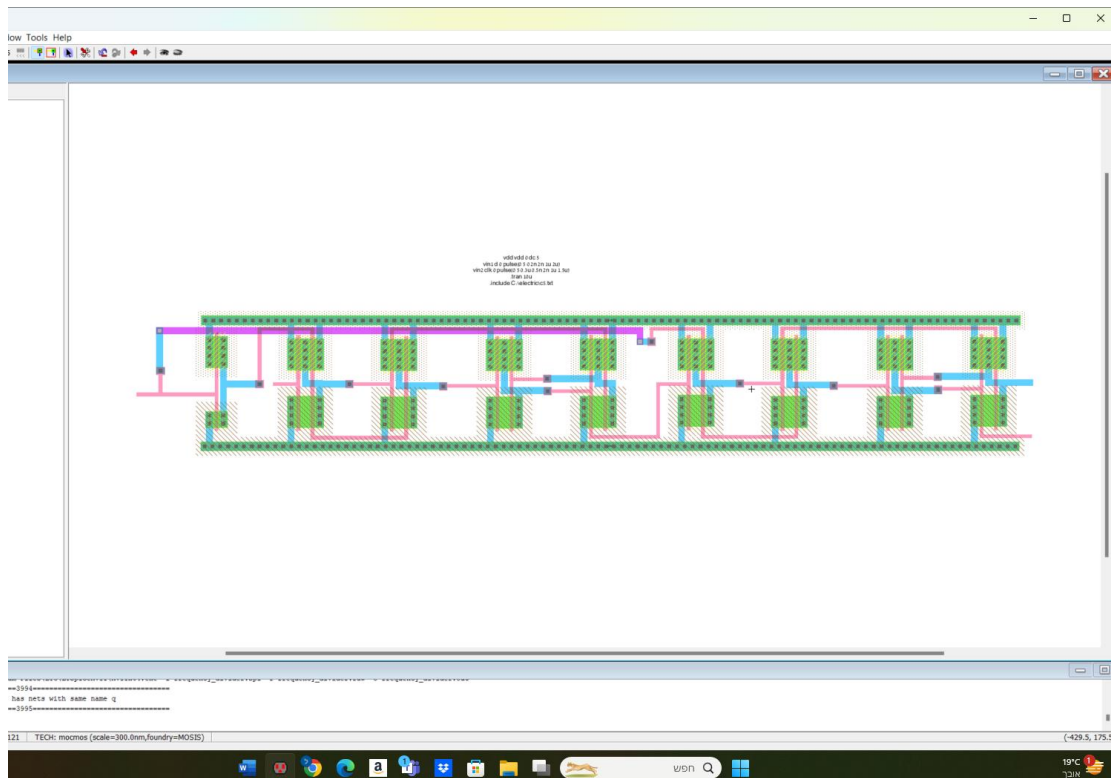
כמו כן ניתן לראות שמוצא D-FF מחלק את התדר ב-2 מהמוצא של FF שלפניו.

שרשור של עשרה D-FF דלכן התדר הנמוך ביותר שהתקבל הינו clk/1024

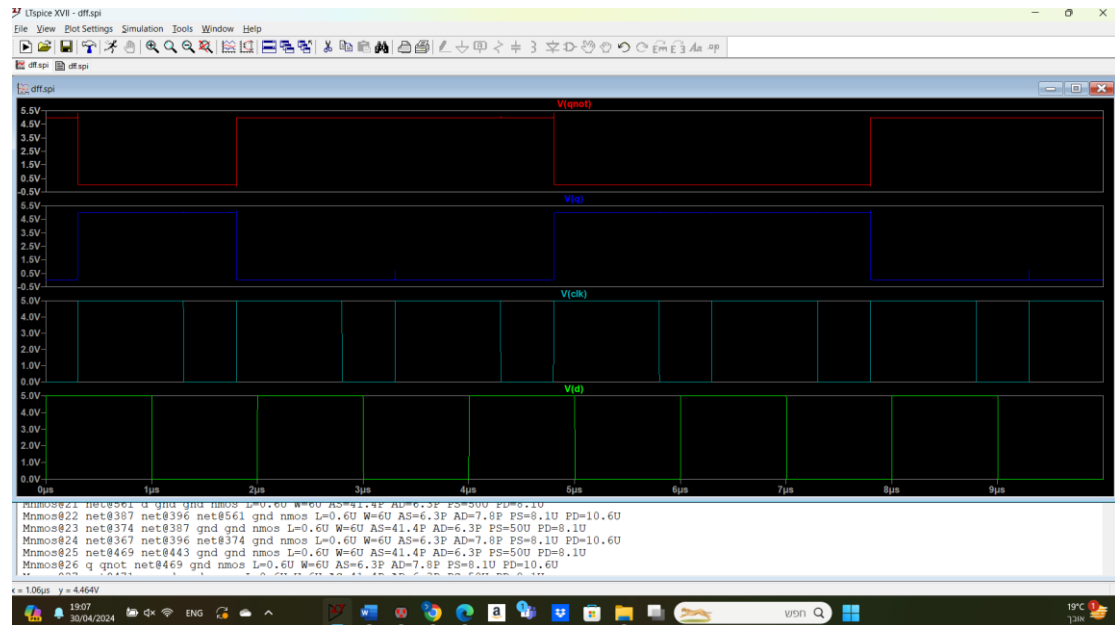
:D – Flip - Flop – schematic + icon



:D – Flip - Flop – Layout



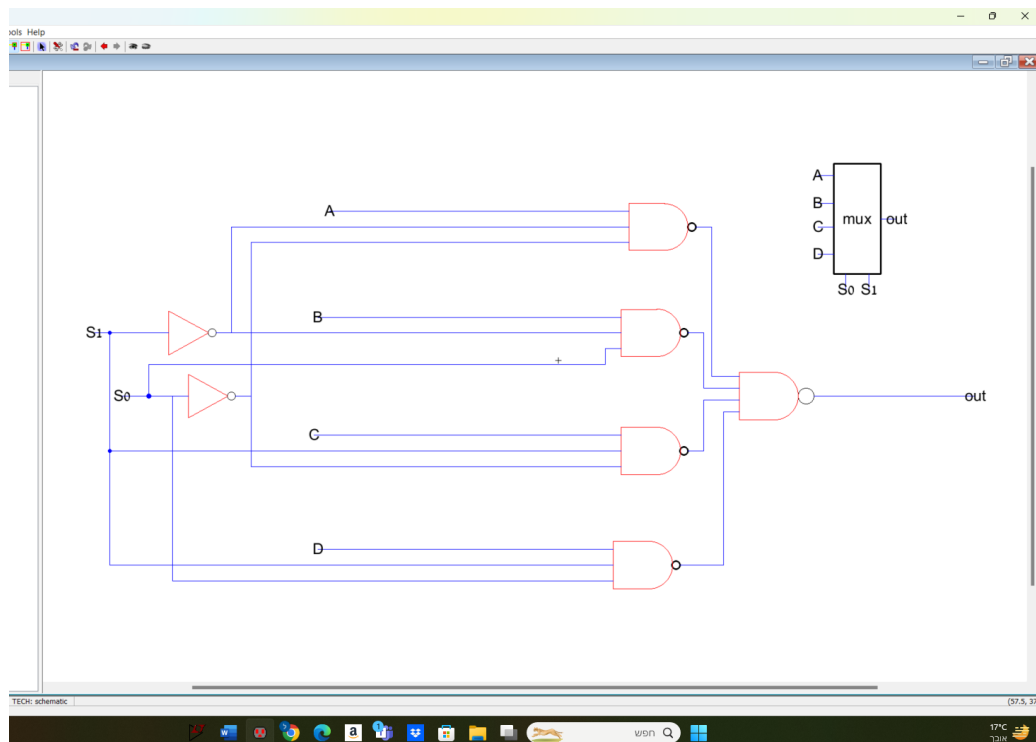
:D – Flip - Flop – Simulation



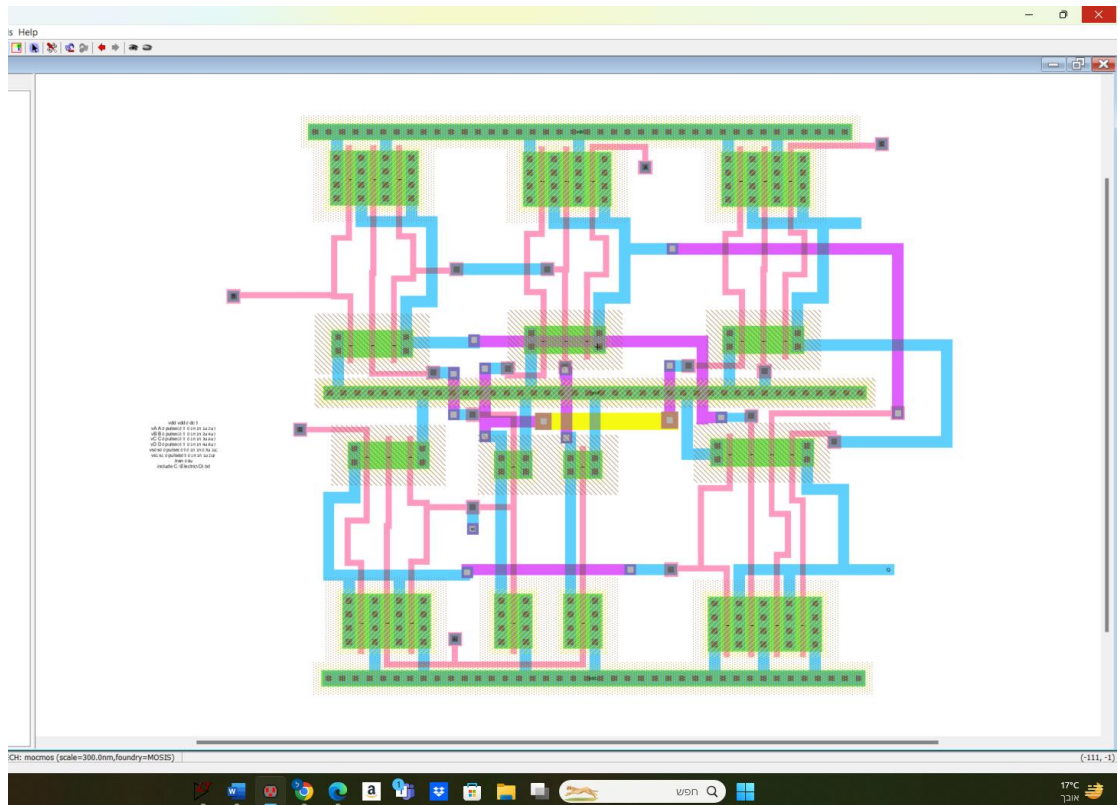
הרכיב D – Flip - Flop מורכב משני רכיבי D-Latch ומהפך.

הרכיב אכן פועל לפי טבלת האמת שלו, כאשר המוצא $V(q)=1'$ אז ערכו של המוצא $V(q)$ הינו '0' וכן להפך.

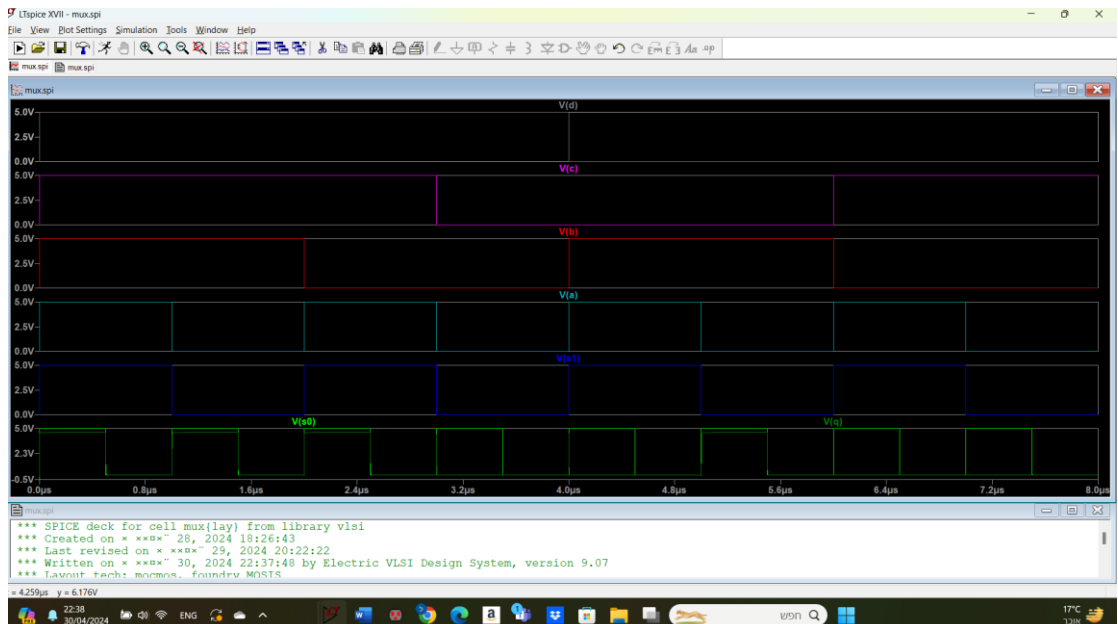
: MUX4x1 – schematic + icon



:MUX4x1 – Layout



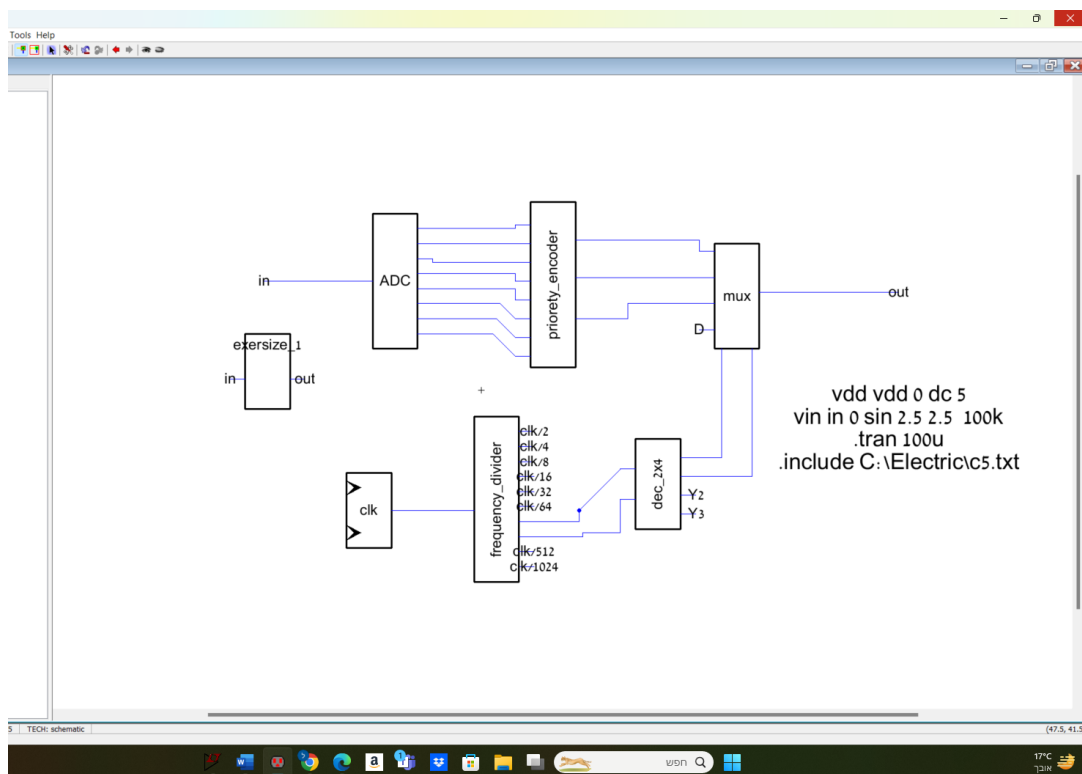
:MUX4x1– Simulation



מרבב 4 ל-1 לוקח 4 כניסות ומכוון קלט יחיד שנבחר לפלט. בחירת הקלט נשלטת על ידי כניסות בחירה. מרבב 4 ל-1 מורכב ממפענח 2 ל-4 ו-X2 AND-OR4. עם זאת, מרבבי זה לוקח 4 אפיק של 8 סיביות ככניסות ומוציא אפיק בודד של 8 סיביות. (במקרה שלנו נשתמש רק ב-3 כניסות לכן יהיה לנו קומבינציה של S0 S1 שלא יעשה כלום כמו כניסה אחת שאין לה שימוש)

חיבור הרכיבים למערכת:

: all system together -schematic + icon



המעגל הכולל את פעולת המערכת, הזנת מתח הכניסה Vin באות סינוסואידלי בעל מתח 5V ותדר 100Khz.

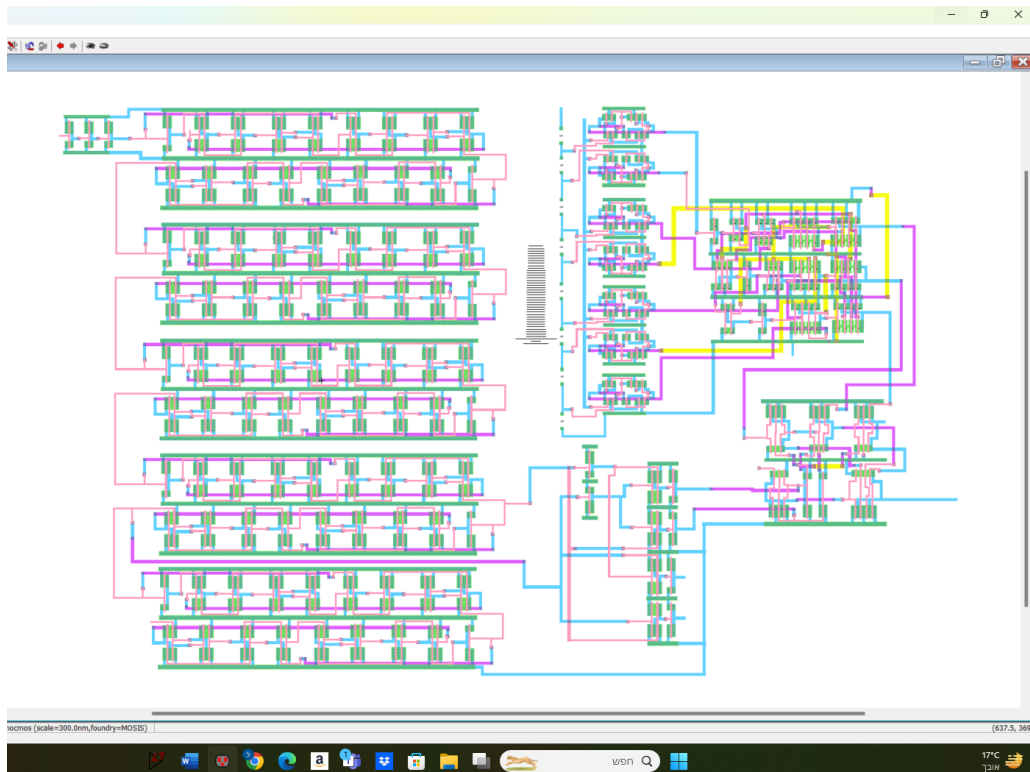
האות האנלוגי נכנס אל הממיר אנלוגי ומועבר לדיגיטלי, לאחר מכן נכנס אל Priority encoder (Priority encoder מוציא את הערך הבינארי של האות הגבוה ביותר שנכנס אליו).

בכדי שהמידע יעבור בצורה טורית, המערכת תוכננה בעזרת MUX משמש כמתג אלקטרוני

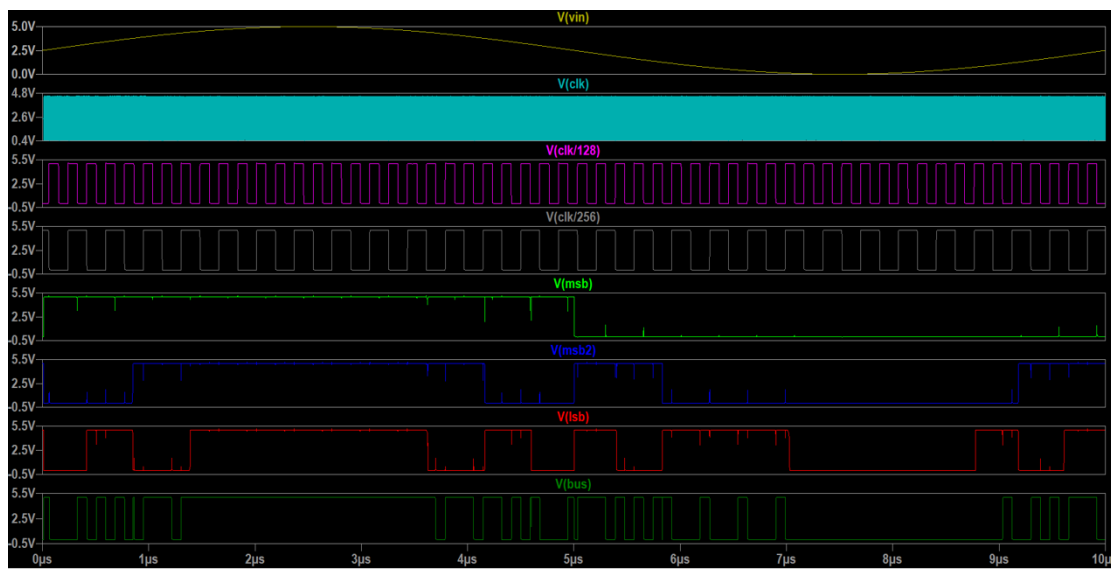
שבעזרת MUX המחובר למוצא ה Decoder - הוא מחליט איזה מידע יעבור ל BUS בהתאם , כך מאפשר לעבור את 3 המוצאים של Encoder בצורה טורית ל BUS , כאשר אות הכניסה עולה אז תמיד יהיה מעבר אותו ל BUS וכאשר אות הכניסה יורד ה BUS מתאפס ומחכה לעלייה הבאה..

בחלק השני של המערכת הוזן שעון אל מחלק התדר ונבחרו התדרים המתאימים ביותר שיכנסו אל Decoder. פעולה זאת מתבצעת בכדי שיתקבל תדר דגימה המתאים ביותר למערכת ובכך מוצא Decoder מכתוב את קצב המיתוג של המתג MUX והמערכת מעבירה ל - BUS כל פעם רגל אחרת של מוצא Priority encoder וכך המערכת מעבירה אות אנלוגי לדיגיטלי בצורה טורית.

:all system together - Layout



:all system together -Simulation



המעגל אכן עובד בצורה תקינה בכך שהוא ממיר אות אנלוגי לדיגיטלי בצורה טורית.

דוגמא: במצב שבו האות האנלוגי נמצא בגבוה (5v) אז המוצאים של Priority encoder יהיה $A=B=C=1$ וזה מה שמחכה בכניסה של המתג mux

בחלק השני של המערכת השעון מתחלק במחלק התדר ל 128 ו 256 ותדרים אלו הם קווי הבקרה של encoder שמכתיב את המיתוג של המתג mux

לבסוף כאשר הכניסה בערך של 5v אז מתקבל ב BUS '1' לוגי ארוך מכיוון שכל רגלי Priority encoder הינם '1' וככה הוא עובר אל הקו המשותף.

שלושת הזמנים החשובים ברגיסטר D-FF הינם:

Tcq - הזמן שלוקח למוצא FF להתייצב לאחר עליית שעון כלומר זהו הזמן מעליית השעון עד העלייה של המוצא q .

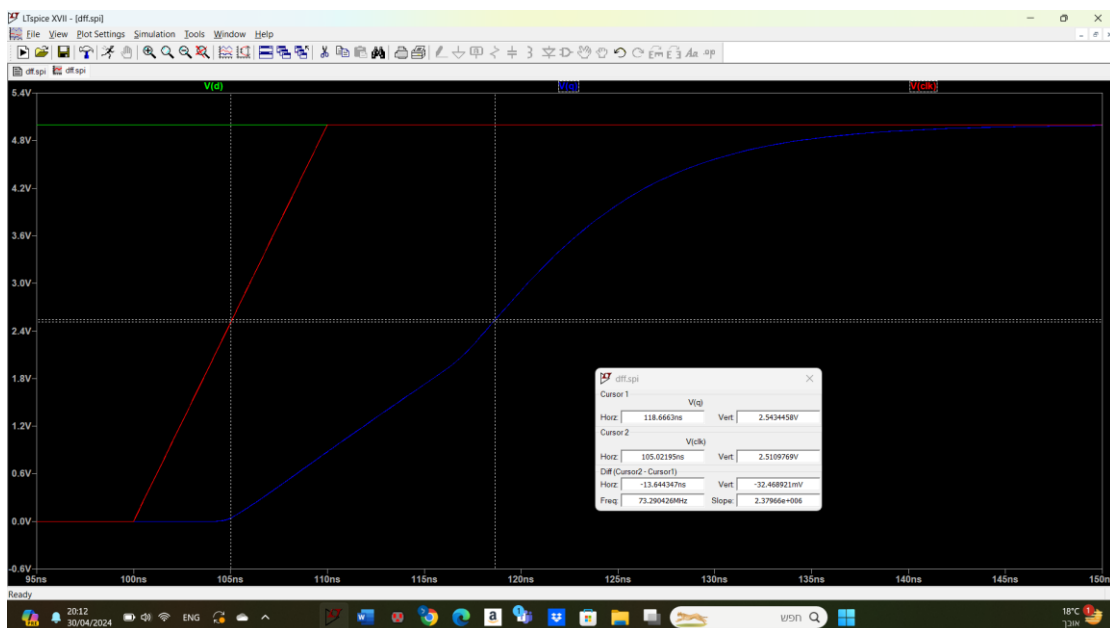
Tsetup - הזמן מהעלייה של הכניסה D עד העלייה של השעון.

(הזמן לפני הדגימה שבו המידע בכניסה צריך להיות מוכן)

Thold - הזמן מהעלייה של השעון עד הירידה של הכניסה D.

(הזמן לאחר הדגימה שבו הכניסה נשארת יציבה)

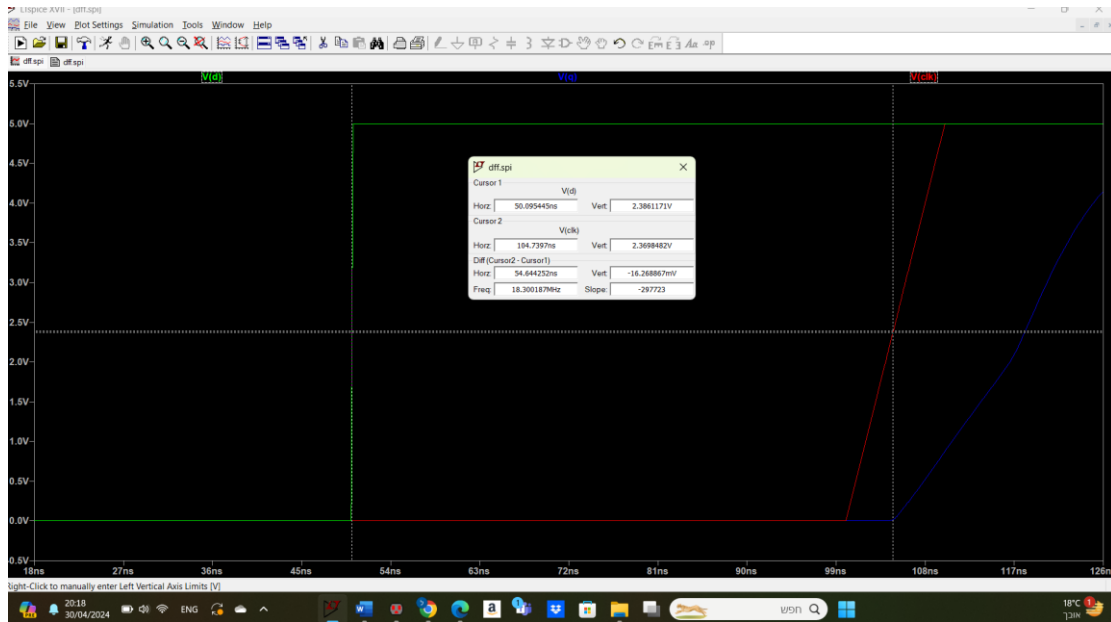
:Tcq



המדידה מתבצעת בעליית השעון עד העלייה של המוצא q כאשר ערכי V_{clk} ו- V_q נמצאים ב-50% מערכם, כלומר ב- $2.5V$

$$T_{cq} = \text{cursor1} - \text{cursor2} = 118 \text{ ns} - 105 \text{ ns} = 13 \text{ ns}$$

T_{setup}



המדידה מתבצעת מהעלייה של הכניסה d עד העלייה של השעון כאשר ערכי V_{clk} ו- V_q נמצאים ב-50% מערכם, כלומר ב- $2.5V$

$$T_{setup} = \text{cursor2} - \text{cursor1} = 104 \text{ ns} - 50 \text{ ns} = 54 \text{ ns}$$