

# **תכנון ומימוש בדיקות עבר הרכיב**

## **SRAM 6T**

### **פרויקט גמר**

**תאריך הגשה: 06/03/25**

**מנהל אקדמי : ד"ר עמנואל בנדר.**

**אחראי אקדמי: פרופסור יוסף ברנשטיין.**

| שםות המבצעים   | מספר ת.ז. | דוא"ל                   |
|----------------|-----------|-------------------------|
| ליאור גוצולסקי | 318227758 | liorgamer1997@gmail.com |

## תקציר

בעולם המתקדם נדרשת השקעה רבה בכל נושא הפיתוח ויעול מערכות ברכיבים וחומרה.

כיום ישנו שימוש נרחב ברכיבי SRAM בתעשייה רבות בעולם, עם עליית הצורך ברכיבים חזקים יותר, בעלי יכולות זיכרון וכתיבה משופרים יותר אם כי בעלי נפח קטן יותר. הפרויקט מספק פתרון לרכיב זה על ידי שיפור ביצועיו ויציבותו המKENה לו יכולת גבואה יותר ואמיניות מוגברת במערכות ובמכשירים אלקטרוניים.

בפרויקט אנו נבדוק את הייעילות המרבית של רכיב T6SRAM על ידי חיבורו למגבר ו-pre-charge וביוצע בדיקות על ידי סימולציות ב-schematic ו-layout באלמנטים של תא זיכרון על ידי תוכנת Cadence Virtuoso.

אנו משתמשים במצבי WRITE ו-READ על מנת לבדוק את יעילות הרכיב ונבצע בדיקות corners sizing ו-Montecarlo.

## **הכרת תודה**

פרויקט זה היה עבורנו הזדמנות ראשונית לבחון ולישם את הידע הנרחב והמגוון, אותו רכשנו לאורך שנים לימודנו במחלקה להנדסת חשמל. לכבוד הוא לנו, להביע את תודתנו הרבה והערכותנו לכל אלו אשר תמכו, סייעו ועזרו לנו לכל אורך הדרכ :

**ברצוננו להודות:**

- **למנחי הפרויקט, פרופ' ברשטיין יוסף וד"ר עמנואל בנדר,** על הנהנית הפרויקט והעזרה המuczעית לאורך הקורס. תודה על ההכוונה והדגשיים החשובים שננתמס לנו על מנת לצלו את האתגרים רבים בצורה הטובה ביותר.
- **לחברינו ו עמיתנו לקורס,** על סיוע המוחות והמלצות המחזיקות בחלוקת הנדסיים של הפרויקט.

## תוכן ענייניים:

|             |   |
|-------------|---|
| 1 .....     | תקציר   |
| 2 .....     | תודות   |
| 4-10 .....  | מבוא  |
| 4-9 .....   | • רכיבים רלוונטיים למערכת                         |
| 9-10 .....  | • בדיקות  |
| 11-79 ..... | בנייה ויצירת רכיבים בمعالג                        |
| 11-36 ..... | - רכיב T6-SRAM                                    |
| 37-40 ..... | - רכיב Inverter                                   |
| 41-45 ..... | - רכיב Pre-charge                                 |
| 46-57 ..... | - רכיב T6-SRAM עם Pre-charge                      |
| 58-60 ..... | - רכיב amplifier                                  |
| 61-72 ..... | - חיבור רכיבים Pre-charge-> amplifier, T6-SRAM    |
| 73-79 ..... | - הרכבת רכיבים x4 Pre-charge-> amplifier, T6-SRAM |
| 80 .....    | סיכום ומסקנות                                     |
| 81.....     | ביבליוגרפיה                                       |

# מבוא

רכיבי המערכת:

: T6 – SRAM רכיב זיכרון

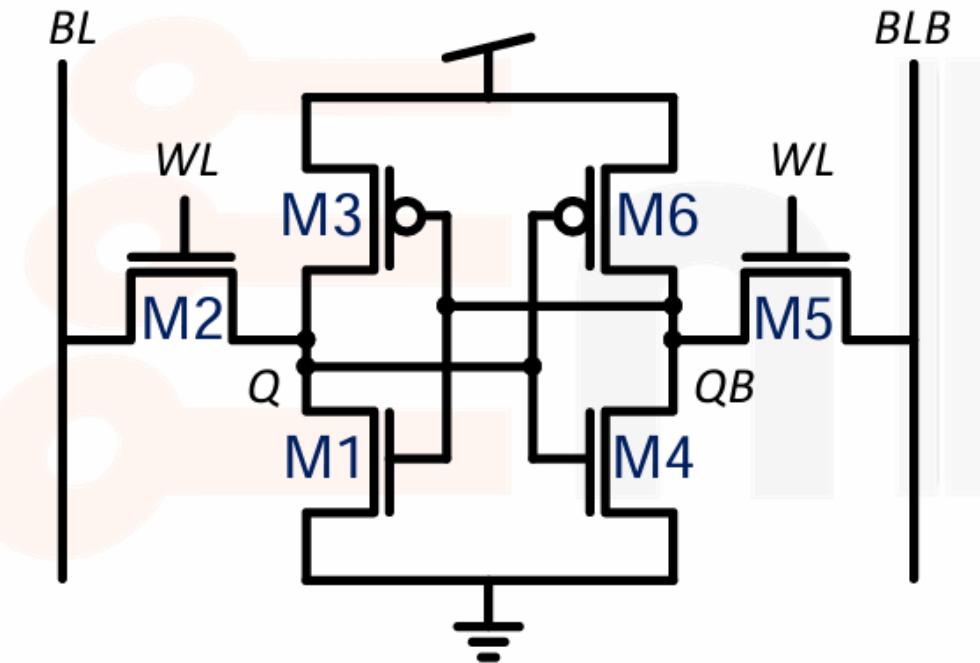


Figure 1 - T6-SRAM Figure

T6 SRAM הוא רכיב זיכרון סטטי (SRAM - Static Random Access Memory) כולל סוג של זיכרון נדי' המשמש לאחסון מידע באופן זמני ללא צורך ברענון מהזרוי, ביגוד לרכיב DRAM (Dynamic RAM). רכיבי SRAM כמו ה-T6 מתאפיינים במהירות גישה גבוהה וצריכת חשמל נמוכה יחסית.

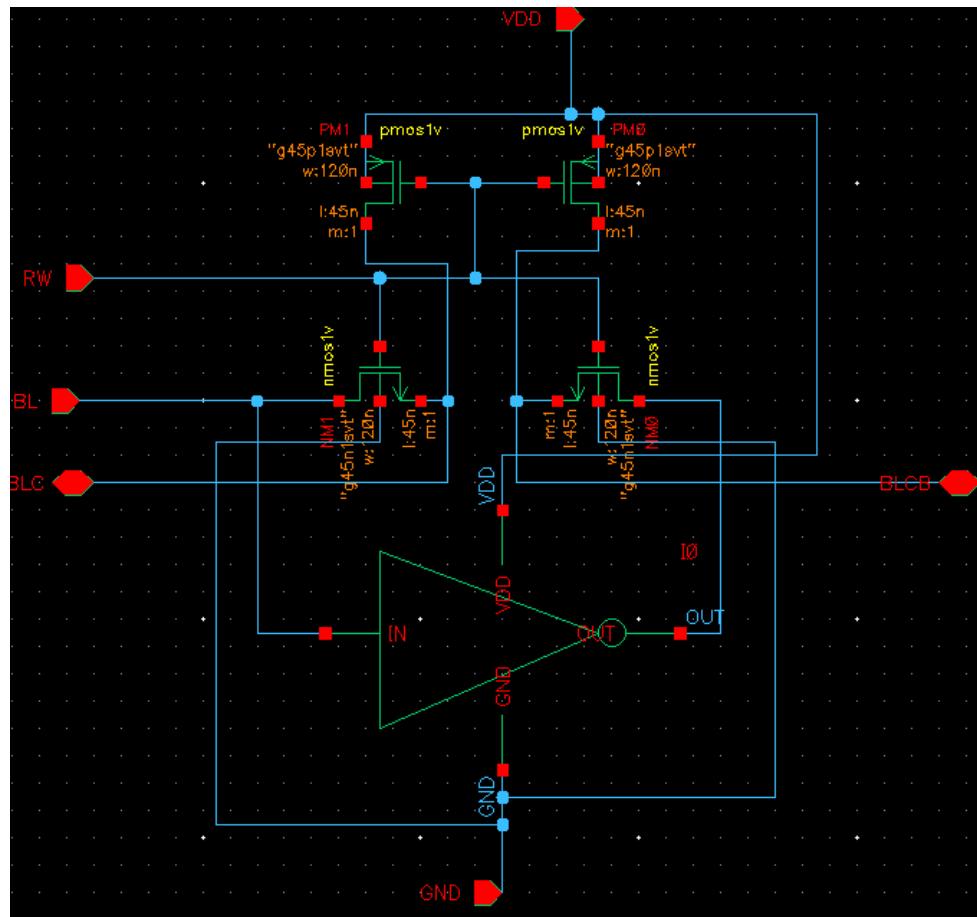
T6 SRAM מתפרק לחלק מהמערכת הזוכרת בمعالגים אלקטטרוניים ו-FPGA ומשמש לאחסון מידע של נתונים הזוקקים לקריאה וכתיבה תכופה. הוא משמש בעיקר כזיכרון מטמון (Cache), זיכרון העבודה מהיר, או כחלק מזיכרון הבניינים (Buffer) במעבדים ומערכות עיבוד נתונים. הרכיב אינו דורש רענון מהזרוי כמו DRAM מה שמקטין את המורכבות של בקר הזיכרון.

בזיכרון הרכיב התאים בנויים מטרנזיסטורים ומאחסנים נתונים בצורה יציבה ללא צורך ברענון. התא הבסיסי הוא תא SRAM בן 6 טרנזיסטורים (T SRAM6). התא מורכב משני מהפכים מוצלבים השומרים על מצב יציב (0 או 1) ושני טרנזיסטוריים גישה המאפשרים קריאה וכתיבה.

הקוויים החשובים בתפעול התא הינם : BL (Bit Line) המשמש לאחסון וכתיבה של נתונים ו- BLB (Bit Line Bar) - קו הביט המשלים המזניק את הערך ההיפוך ל- BL .

ו Q Bar - הינם צמתים פנימיים של התא המזניקים את הערך הנתון ואת ההופכי לו. WL (Word Line) הוא קו השליטה הפותח את טרנזיסטוריים גישה כדי לאפשר קריאה או כתיבה.

## רכיב Pre-Charge



Pre-Charge - רכיב 2 Figure

רכיב זה אחראי לאתחול קווי BL ו-BLB למתח ידוע לפני כל פעולה READ או WRITE, מה שמבטיח גישה מהירה ואמינה יותר לנתונים.

טרנזיסטורי PMOS מושכים את BL ו-BLB-LBL, מספקים טעינה מהירה עם צריכת חשמל נמוכה אך תופסים יותר שטח.

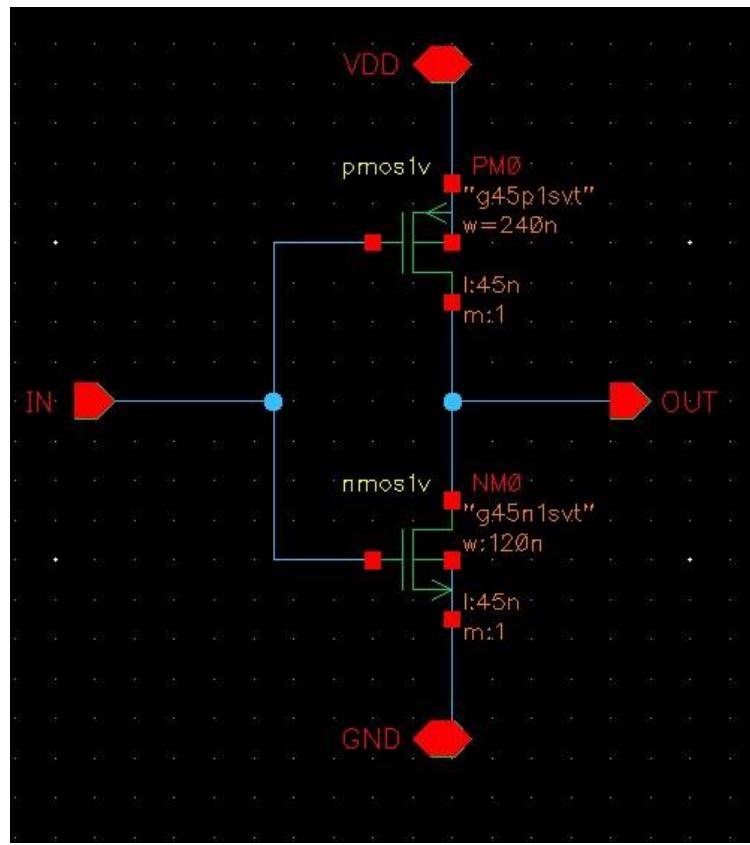
לעומת זאת, טרנזיסטורי NMOS מושכים את BL ו-BLB-LBL-L2/VDD, וכותזאה מכך עיצוב קומפקטי יותר אך פעולה מעט איטית יותר עקב יכולת משיכה חלשה יותר.

טעינה מוקדמת של NMOS-PMOS המשלבת את שתי הגישות, מאפשר שימוש ב-PMOS למשיכה חזקה ו-NMOS להשוואה, אופטימיזציה של מהירות, כוח ושטח. מעגל הטעינה המוקדמת פעיל לפני READ או WRITE ומושבת כאשר תא הזיכרון משלט על קווי BL ו-BLB.

מה שמאפשר לאחסן או לאחזר נתונים ביעילות.

בפין ההפעלה ברכיב זה, המכונה RW שולט אם הזיכרון נמצא במצב READ או WRITE. כאשר RW הוא LOW, הזיכרון נמצא במצב READ, מה שמאפשר לקרוא נתונים על קווי הסיביות לתא SRAM. כאשר RW גבוה, הזיכרון נמצא במצב WRITE, מה שמאפשר לכתוב נתונים בתא SRAM. RW מבטיח גישה נאותה לזכרון במהלך פעולות READ ו-WRITE.

## רכיב Inverter



Inverter - רכיב 3 Figure

מחפק CMOS משתמש בשני MOSFETs משלימים כדי להפוך את אות הכניסה.

טרנזיסטור PMOS : ממוקם בחלק העליון, המקור מחובר לאספקת החשמל

.(VDD)

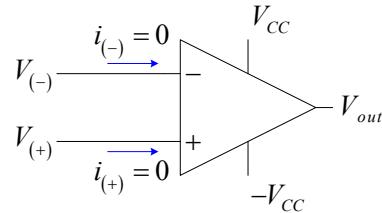
טרנזיסטור NMOS : ממוקם בתחתית, המקור מחובר לאדמה

.(GND)

גם הניקוז של ה-NMOS וגם הניקוז של ה-PMOS מחוברים יחד. השער של ה-NMOS והשער של ה-PMOS מחוברים ל-INPUT, והחיבור ניקוז משותף מחובר ל-OUTPUT.

## :Amplifier

$$V_{out} = A(V_{(+)} - V_{(-)})$$



amplifier – 4 Figure

מתוך המוצא הוא הגבר פי  $A$  של הפרש מתחי הכניסה  $V_{(+)}, V_{(-)}$ .

עבור מגבר אידיאלי:  $A \rightarrow \infty$  זרמי הכניסה שווים לאפס.

מתוך המוצא מוגבל:

כלומר:

$$\begin{aligned} V_{(+)} > V_{(-)} &\Rightarrow V_{out} = V_{CC} \\ V_{(+)} < V_{(-)} &\Rightarrow V_{out} = -V_{CC} \end{aligned}$$

## מצבים שונים:

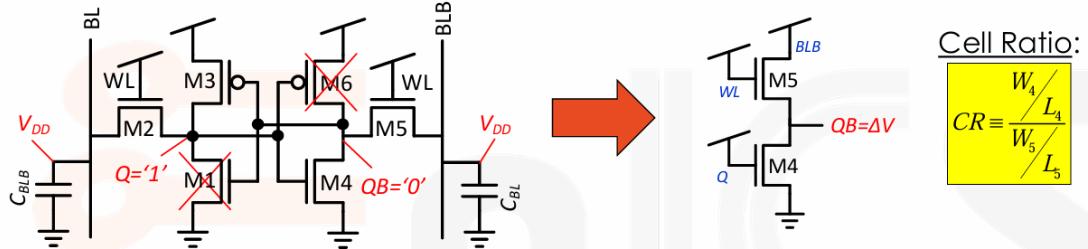
### מצב החזקה HOLD:

מתרחש כאשר  $0 = WL$  (קו המילה במתח נמוך).

- הטע מאבודד ואין שינוי במידע המאוחסן.
- הקווים 'Q' ו-'Q' שומרים על הערכיהם שלהם למשל אם  $Q=1$  אז  $Q'=0$  ולהיפך.
- אין זרם בקווים BL, BLB, BLB' הם צפירים או מוכנים לפעולה הבאה.

### מצב READ (קריאה) :

## SRAM Operation - Read



READ - 5 Figure

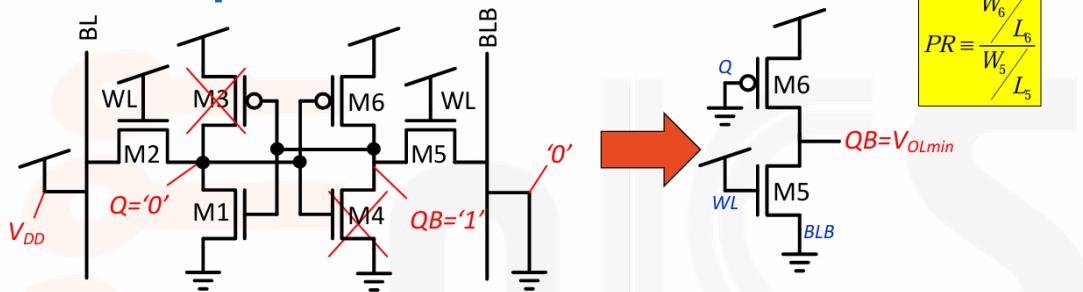
מצב זה מתרחן כאשר  $BL=BLB=VDD$  ובין  $Q$ -ו- $QBAR$  מתחבז היפוך מתחים. תחילת קו המיליה (WL) במצב 0, כלומר הטרנזיסטורים  $M5$  ו- $M2$ -סגורים, ואין חיבור בין  $Q$  ל- $BLB$  ו- $QBAR$ .

קווי  $BL$  ו- $BLB$  מאותחלים מראש לרמת מתח שווה ( $VDD/2$ ) לפני תחילת הקריאה. כאשר  $WL = 1$  הטרנזיסטורים  $M5$  ו- $M2$  נפתחים, מוחברים את  $Q$  ל- $BL$  ואת  $QBAR$  ל- $BLB$ . בשלב זה, הערך השמור בתא מתחיל להשפיע על קווי הביט.

המתח על  $BL$  ו- $BLB$  מתחיל לשינוי בהתאם לערך השמור ב- $Q$  –  $QBAR$ . לאחר קריאה  $WL$  חוזר ל-0, והתא חוזר למצב החזקה.

### עבור מצב WRITE (כתיבה) :

## SRAM Operation - Write



WRITE - 6 Figure

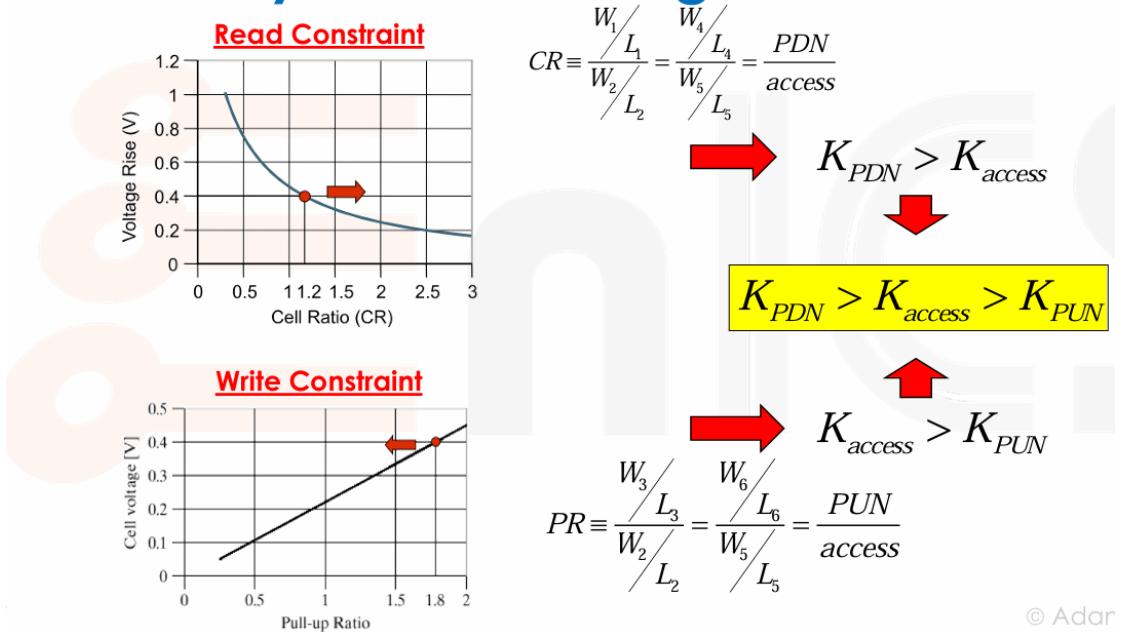
מצב זה מתרחן כאשר  $BLB=BL$  הפוכים זה לזה,  $Q$ -ו- $QBAR$  זה לזה כמו כן וזה למתח של  $Q$  ו- $BLB$  זהה למתח של  $QBAR$ .

במצב כתיבה ה **BLB** ו **BL** מקבלים ערכיהם שמתאימים לנiton שברצוננו לכתוב (0 או 1), וה **WL** מוגדר כ 1 כדי לאפשר לתא לקבל את הערכים ולשמור אותם. לאחר סיום הכתיבה, ה **WL** - חזר ל 0 כדי שהטה ישמר את הנתון החדש.

מבחנים שונים :

מבחן SIZING :

## Summary – SRAM Sizing Constraints



SIZING - מבחן 7 Figure

מהמשווה באירור 7 ניתן להסיק שככל רוחבי הטרנזיסטור של pull down יותר גודלים מרוחבי הטרנזיסטור של access ו access צריך להיות גדול יותר מרוחבי הטרנזיסטור של pull up .

אך כידוע בטרנזיסטור NMOS יחס הנזיות של האלקטרונים גדול פי 2 מיחס הנזיות של החורים בטרנזיסטור PMOS لكن נציג ב access ו up גדים זחים.

עבור מצב write כאשר  $BLB=0$ ,  $BL=1$  למציאת Pull-up Ratio

כאשר  $L5, L6$  הינם אותו גודל ניתן לראות באירור מס' 111 ולפי הנוסחה של PR שיחס הטרנזיסטורים מתבצע בין רוחבי הטרנזיסטור  $WM6, WM5$  לבין  $L6, L5$  מתזוזים.

בגרף של אירור מס' 111 ניתן לראות את היחס של רוחבי הטרנזיסטור  $W6, W5$  כתלות במתה.

בנוסף ניתן לראות לפי הגרף שהמתח האופטימלי מתקיים מנקודת היחס 1.8 ומטה וככל שהיחס קטן יותר מתקיים מתח קטן יותר.

עבור מצב read כאשר  $BLB=1$ ,  $BL=1$  למציאת cell ratio

כאשר L4,L5 הינם אותו גודל ניתן לראות באIOR מספר 111 ולפי הנוסחה של CR שיחס הטרנזיסטורים מתבצע בין רוחבי הטרנזיסטור WM4,WM5 כיר L4,L5 מתקזזים.

בגרף של AIOR מספר 111 ניתן לראות את היחס של רוחבי הטרנזיסטור W4,W5 כתלות במתה.

בנוסף ניתן לראות לפי הגרף שהנקודות הטובות ביותר ב- cell ratio הינם ביחס של 1 עד 1.5 לפחות הנקודה האופטימלית ביותר הינה 1.2

#### **מבחן CORNERS:**

מבחן זה כולל בדיקת מעילות ובדיקה PVT.

בדיקות מעילות אלו בודקים את תקינות הרכיב עברו מעילות שונות בטוחים שונים.

בדיקה PVT מכילה 5 בדיקות ss,sf,ff,fs-tt, כאשר האות הימנית מציגה את הטרנזיסטור PMOS והאות השמאלית מציגה את NMOS.

#### **מבחן Montecarlo:**

הבדיקה בודקת את זמני TPD,TF,TR,TPlh,TPhl ונותנת גרפ מסוג היסטוגרמה המראה את ההסתפלגות של תוצאת הזמן עברו כמות מבחנים הנדרשת.

#### **בדיקה DRC ל-Layout:**

הבדיקה בודקת האם המעגל שנבנה תקין ואינו מכיל כשלים.

#### **בדיקה LVS ל-Layout:**

בדיקה זו מייצגת כי המעגל ב-Layout תואם ומתוכנן לمعال שהוצע ב-schematic.

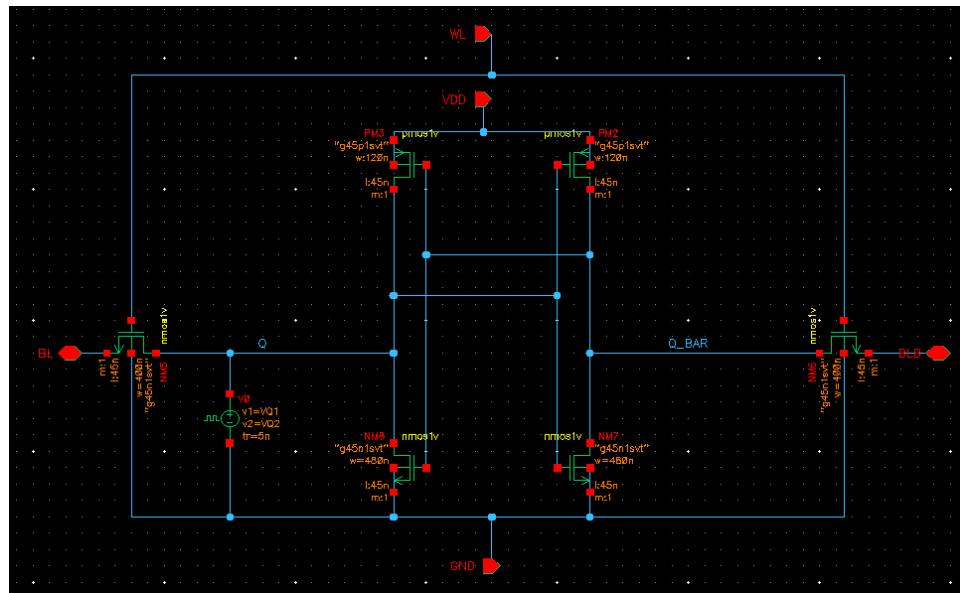
## בנין הרכיבים ובדיקות:

### • בנין רכיב T6-SRAM:

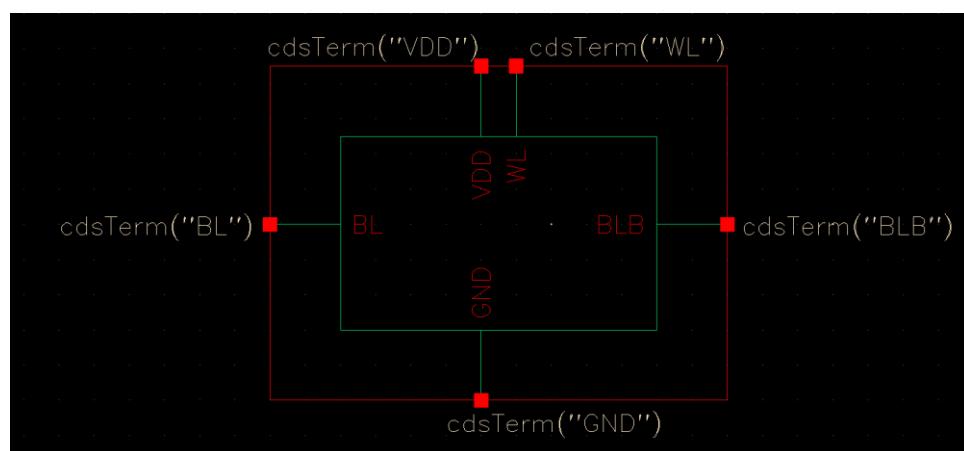
לרכיב זה נבנו 2 מעגלים בצורת חיבור שונה על מנת למצוא את המהירות האופטימלית ביותר ואת גודלי רוחב הטרנזיסטור התואמים ביותר לרכיב זה בשני מצבים שונים: READ ו-WRITE.

#### ► מעגל Sores:

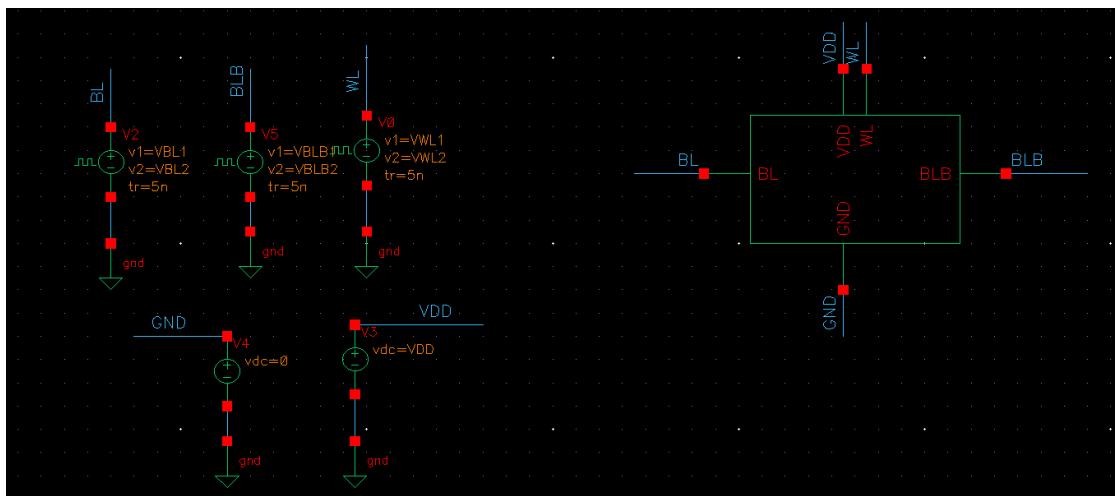
בנייה מעגל שרגלי ה- Sores של הטרנזיסטורים NMOS מחוברים לקווים BL ו- BLB כפי שניתן לראות באIOR XX עד XX.



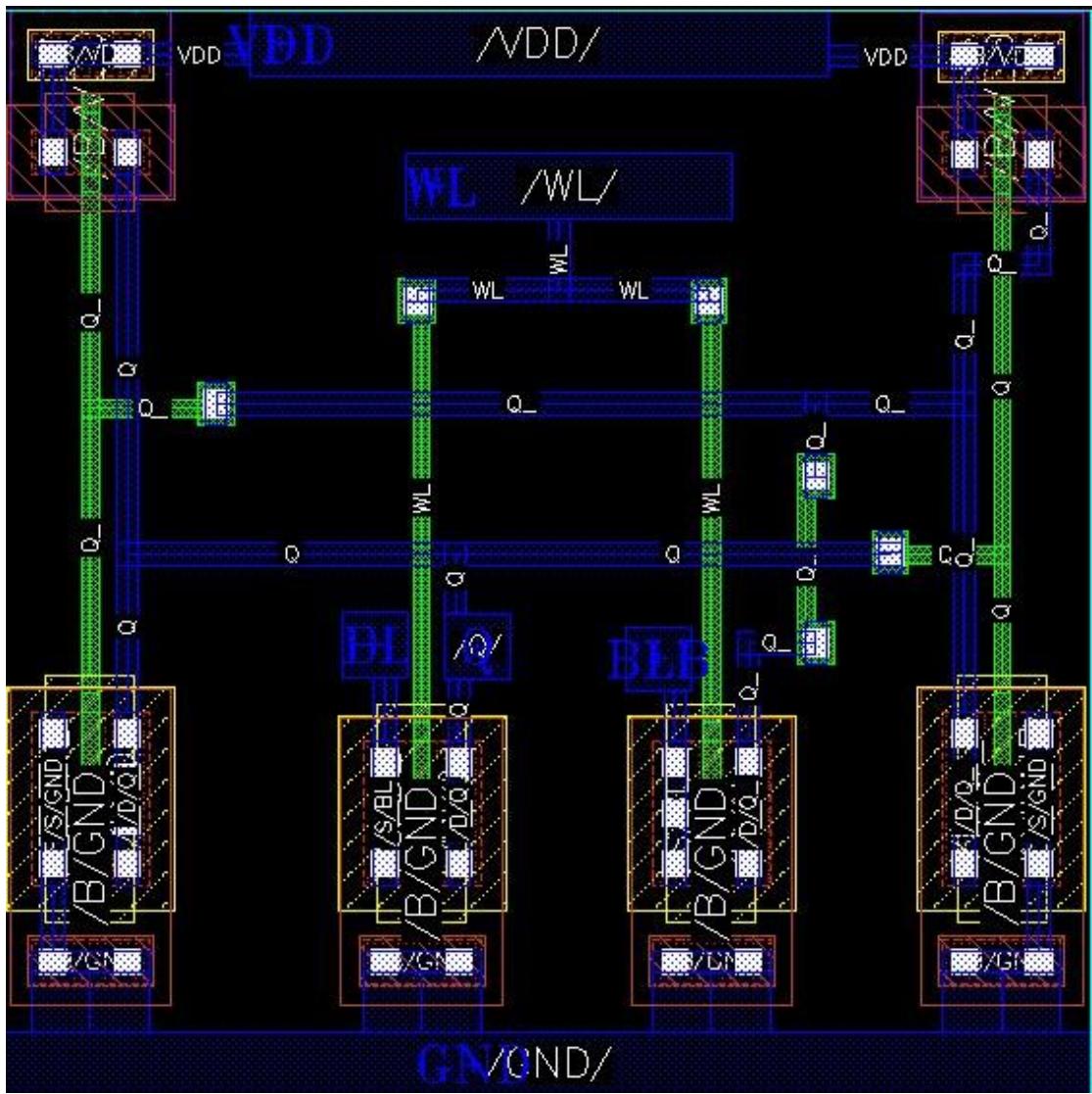
BLB-ו- BL – SORES מתחם מעגל Schematic – 8 Figure



BLB-ו- BL – SORES מתחם מעגל Schematic – 9 Figure



מקורות מתח של מעגל חשמלי בעל רגלי SORES מחוברים ל-**BL**-**WL**-**BLB** Figure 10



layout של מעגל חשמלי בעל רגלי SORES מחוברים ל-**BL**-**WL**-**BLB** Figure 11

- בדיקות תקינות DRC בمعالג Sores

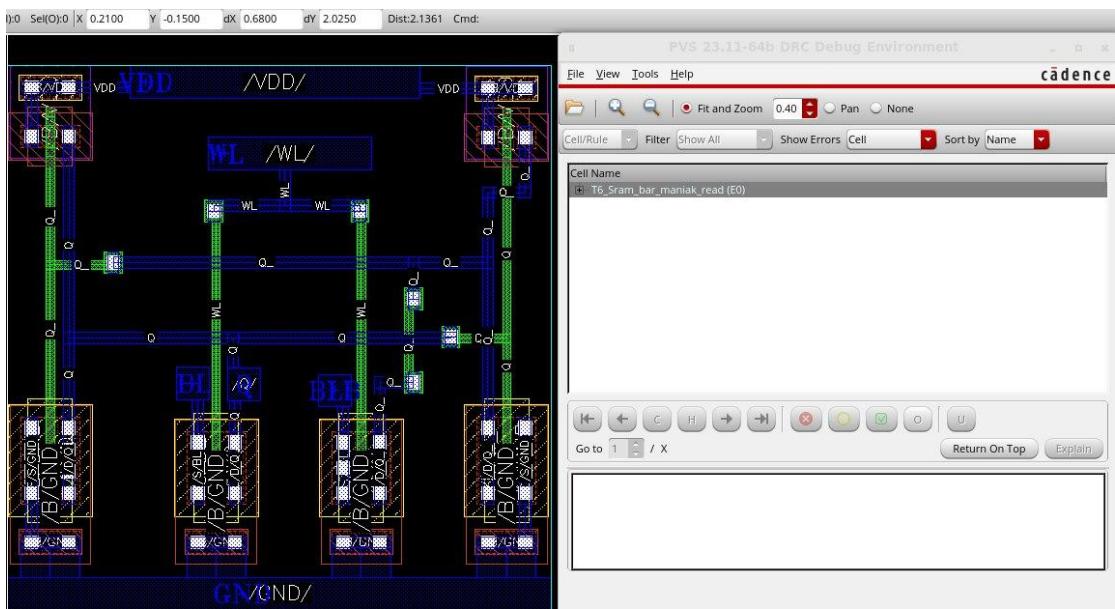


Figure 12 - בדיקת תקינות DRC לمعالג SORES

על פי איור 12, ניתן לראות כי בדיקת DRC לרכיב זה תקינה.

- בדיקות תקינות LVS לمعالג Sores

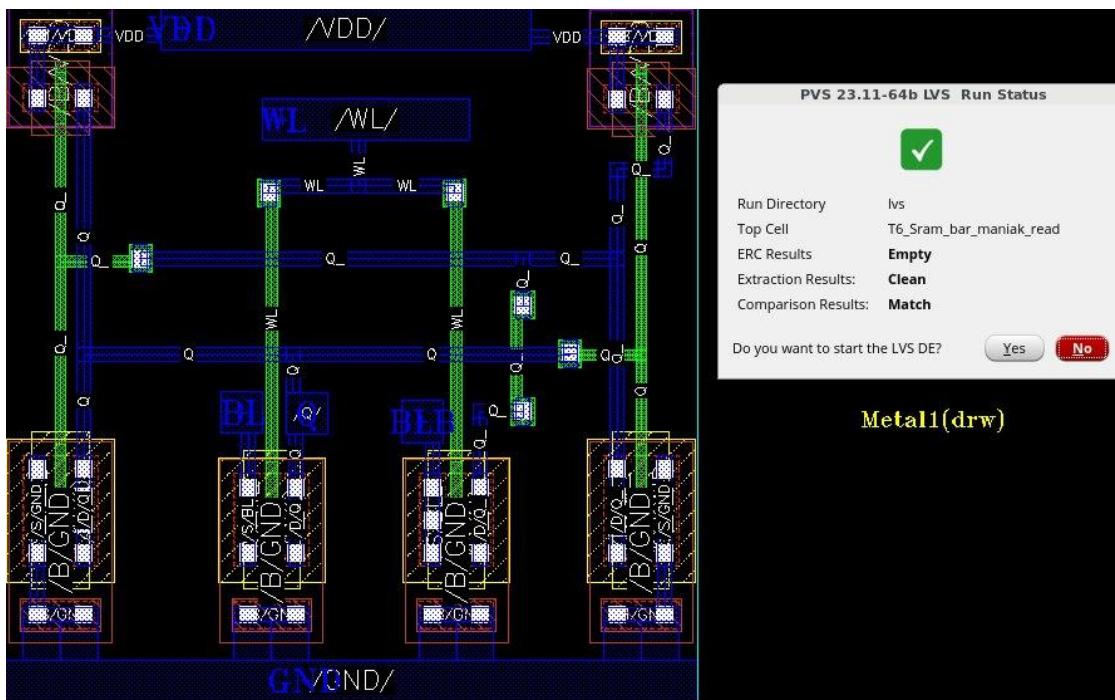
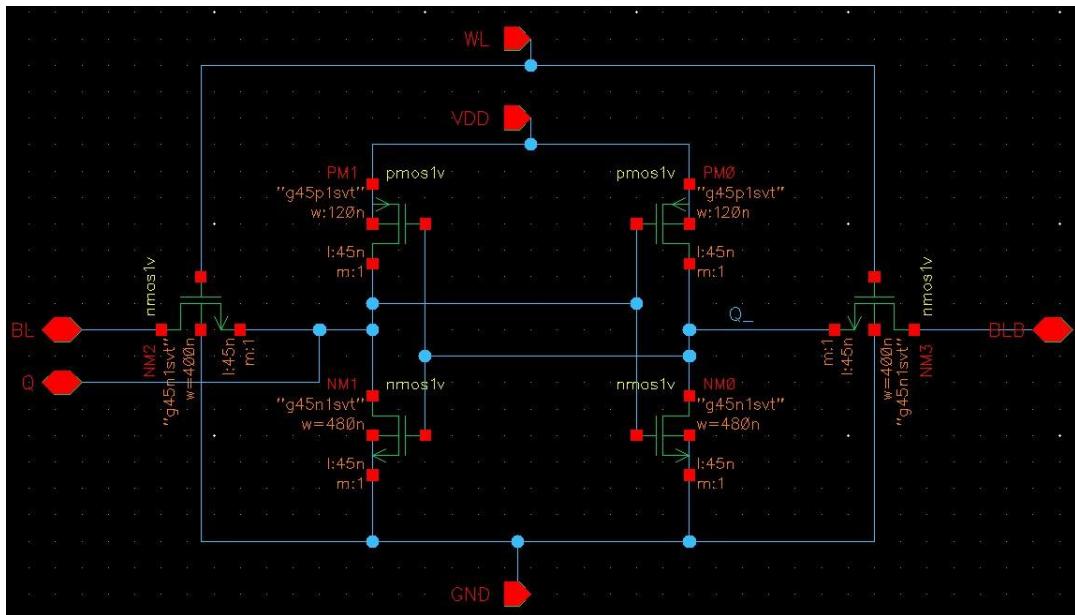


Figure 13 - בדיקת תקינות LVS לمعالג SORES

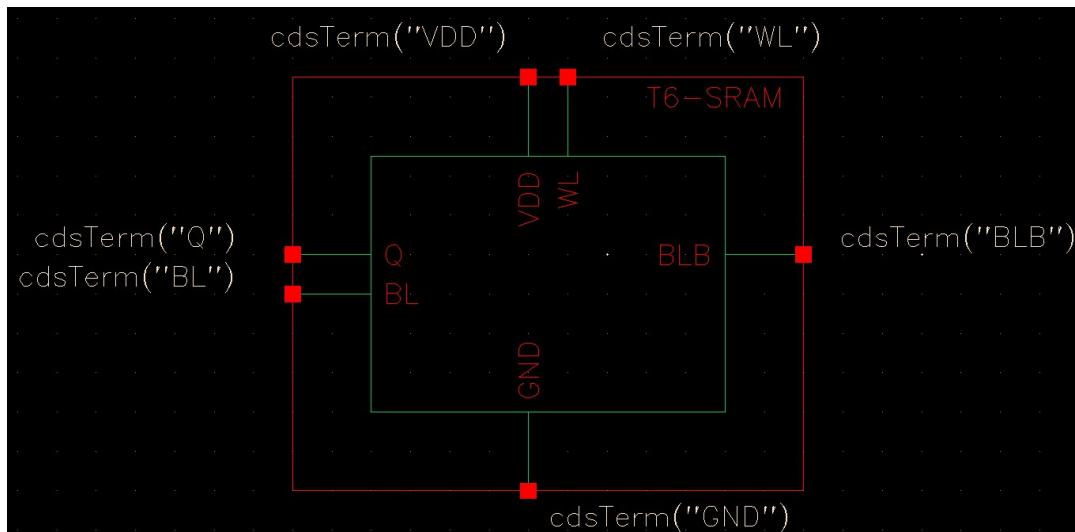
על פי איור 13, ניתן לראות כי בדיקת LVS לרכיב זה תקינה.

## ▷ מעגל Drain

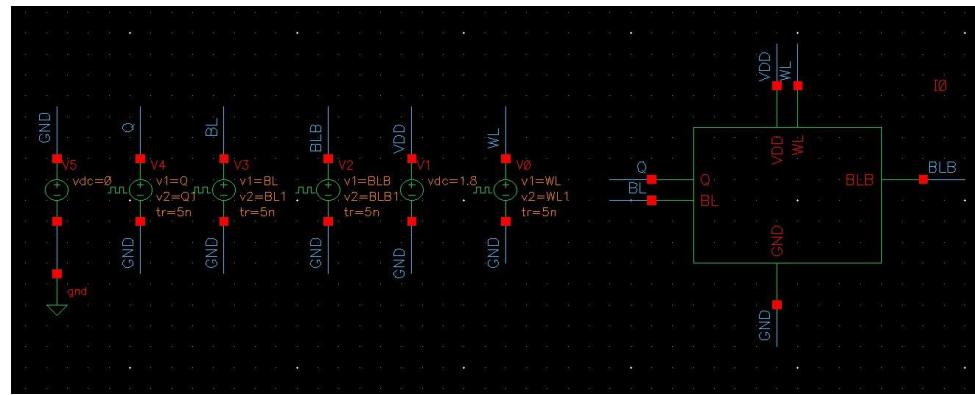
מעגל שרגלי ה Drain של הטרנזיסטורים NMOS מחוברים לקווים BLB,BL כדי שניתן לראות באיוור 14.



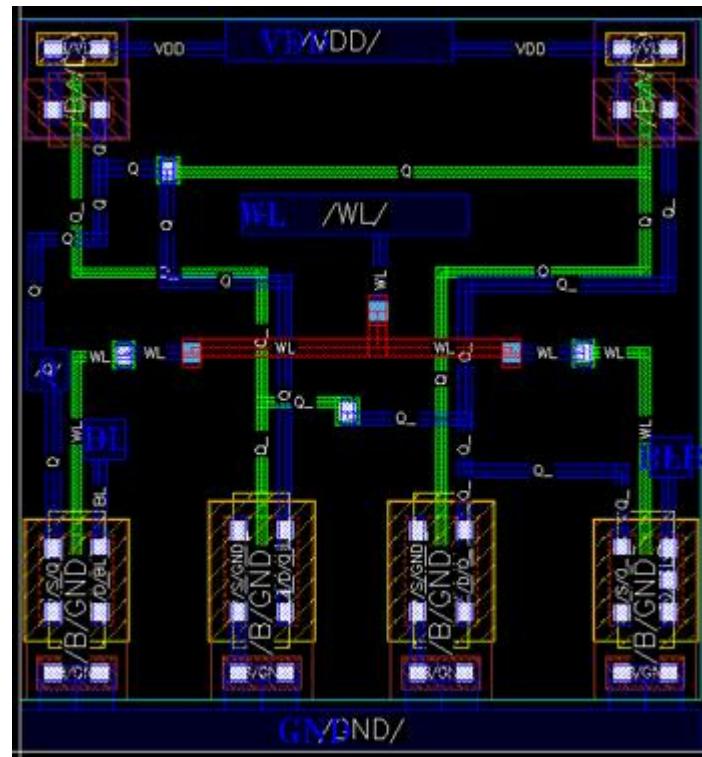
BLB-BL ה-DRAIN מחוברים ל- ו- BL Schematic – 14 Figure



BLB-BL ה-DRAIN מחוברים ל- ו- BL symbol - 15 Figure

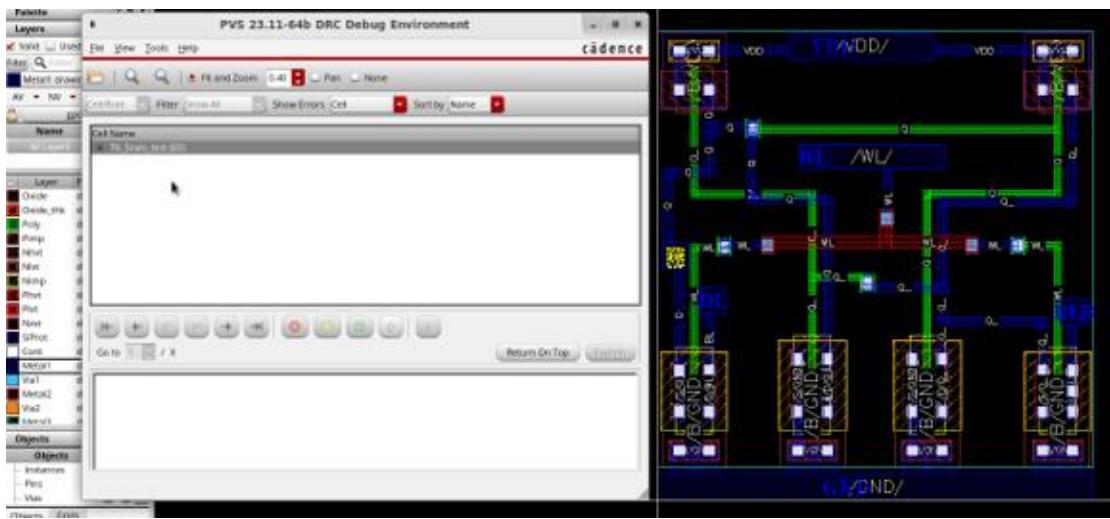


BLB - של מעגל חשמלי בעל רגלי ה DRAIN-מחוברים ל BL ו-WL symbol - 16 Figure



BLB - של מעגל חשמלי בעל רגלי ה DRAIN-מחוברים ל BL ו-WL Layout - 17 Figure

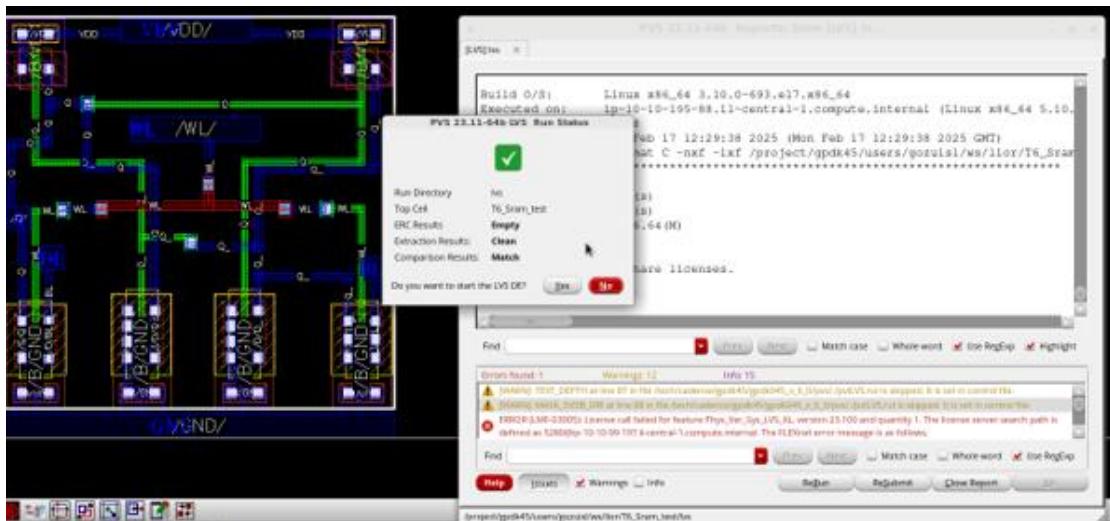
#### בדיקות תקינות DRC בمعالג Drain



DRAIN-18 - בדיקת תקינות DRC למעגל Figure

על פי איור 18, ניתן לראות כי בדיקת DRC לרכיב זה תקינה.

#### בדיקה תקינות LVS במעגל Drain



19 - בדיקת תקינות LVS למעגל NIE

על פי איור 19, ניתן לראות כי בדיקת LVS לרכיב זה תקינה.

## ו. גודל רוחב הטרנזיסטור:

### ► מצב WRITE לשני המוגלים:

כפי שניתן לראות בטבלה מס' 1, בשתי המוגלים הוזנו אותו נתונים של המתחים וגדלי הטרנזיסטור.

עבור WM4,WM1 הوزן הגודל: 700n .

עבור WM5,WM6 הוזנו טווח הגודלים: מהגודל מ0 עד 400n עד הגודל n 400n .

עבור WM2,WM3 הوزן הגודל: 400n .

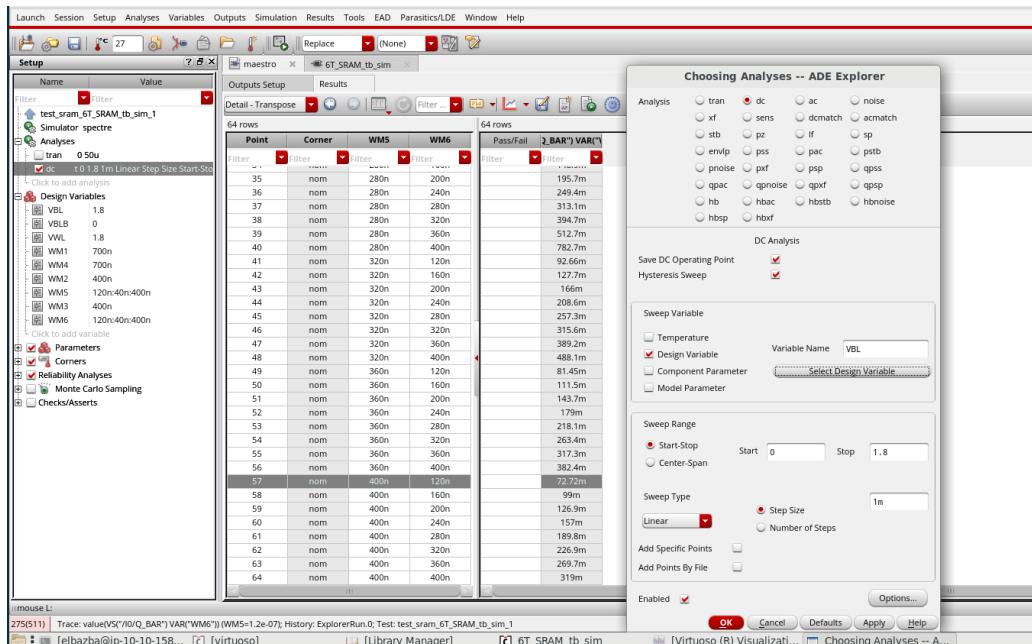
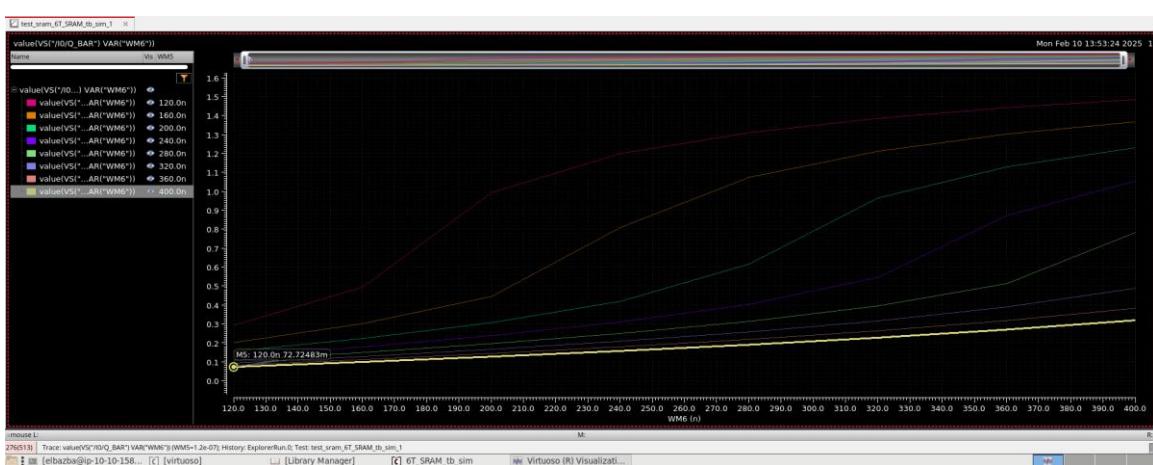


Table 1 - ערכי המתחים ונגדל הטרנזיסטור עבור מצב WRITE

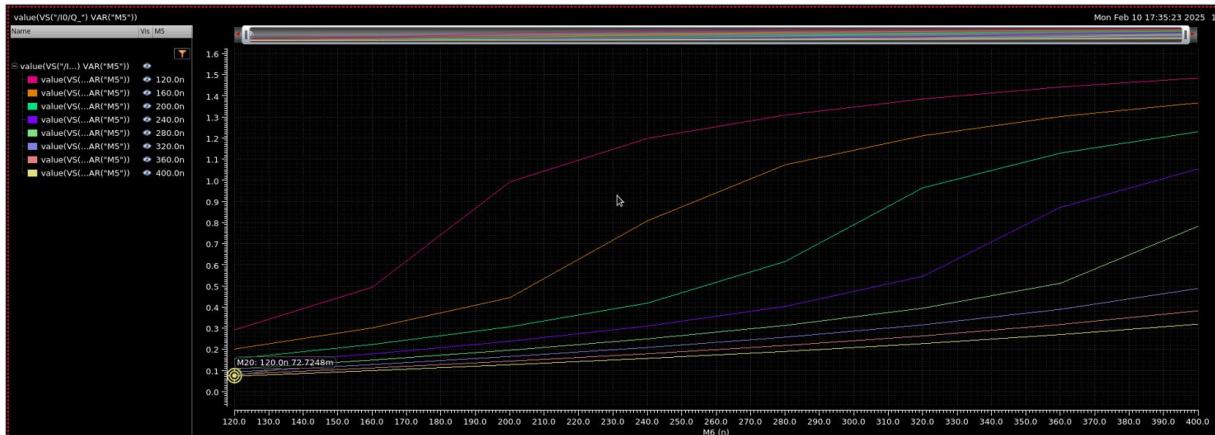


Graph 1 - מתח WM5 ל-WM6 במאזב WRITE עבור מוגל Sores

ניתן לראות בגרף מס' 1 כי ככל רוחב הטרנזיסטור WM5 גדול יותר ו WM6 קטן יותר מתקיים מתח קטן יותר ב QBAR וזה תואם לנוסחה PR.

בנוסף ניתן לראות לפי הגרף XX pull-up ration כתלות במתח, שהמתח האופטימלי מתකבל מנקודות היחס 1.8 ומטה וככל שהיחס קטן יותר מתתקבל מתח קטן יותר.

המתח האופטימלי שמתකבל בגרף מס' 1 הינו המתח הכי קטן שזהו המתח סף שבו יופיע הפוך מצב, לכן ניתן לראות שעבור  $WM5=400n$ ,  $WM6=120n$  מתתקבל המתח QBAR=72.7248mV שזהו המתח האופטימלי ביותר.



מתח QBAR ביחס ל- $WM5$  ו- $WM6$  במצב WRITE במעגל

ניתן לראות בגרף מס' 2 שככל שרוחב הטרנזיסטור  $WM5$  גדול יותר ו- $WM6$  קטן יותר מתתקבל מתח קטן יותר בQBAR וזה תואם לנוסחה PR.

בנוסף רואים לפי הגרף XX pull-up ration כתלות במתח, שהמתח האופטימלי מתתקבל מנקודות היחס 1.8 ומטה וככל שהיחס קטן יותר מתתקבל מתח קטן יותר.

המתח האופטימלי שמתתקבל בגרף מס' 2 הינו המתח הכי קטן שזהו המתח סף שבו יופיע הפוך מצב, לכן ניתן לראות שעבור  $WM5=400n$ ,  $WM6=120n$  מתתקבל המתח QBAR=72.7248mV שזהו המתח האופטימלי ביותר.

לסיכום ניתן לראות שעבור שתי המוגלים התקבל אותו מתח אופטימלי  $V_{QBAR}=72.7248mV$ .

#### ► מצב READ בשני המוגלים:

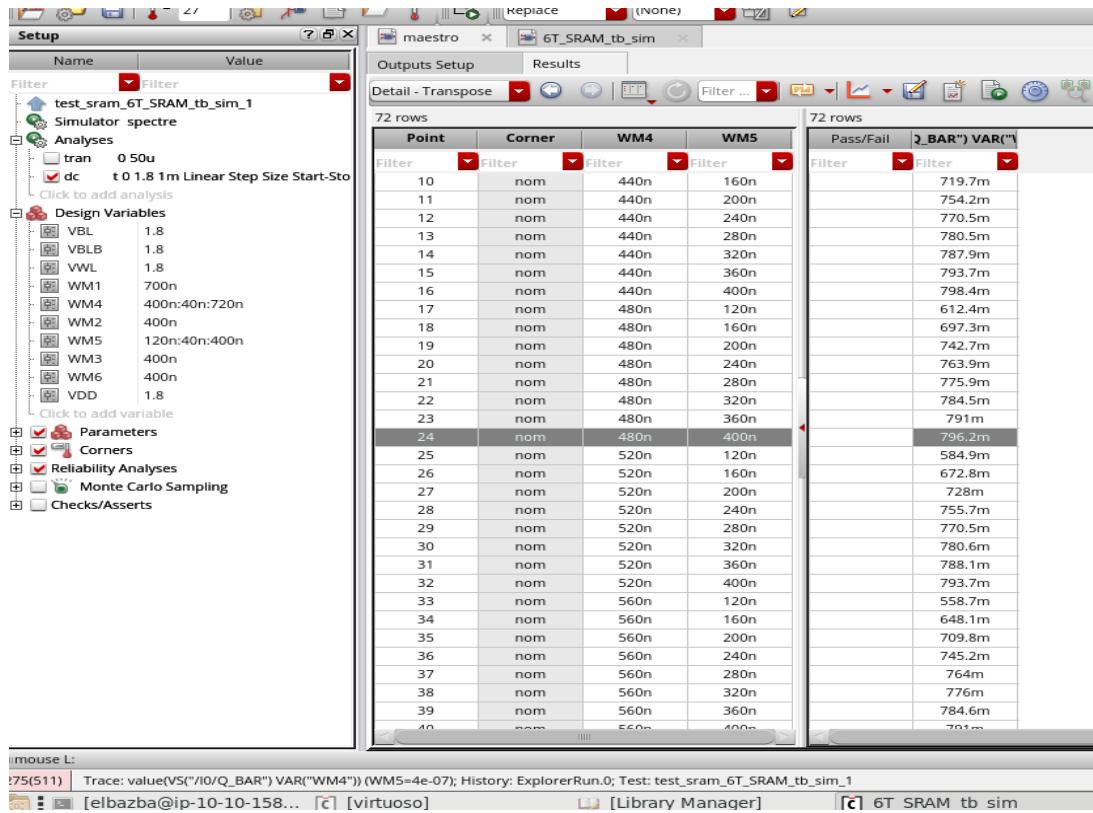
בשתי המוגלים הוזנו אותם נתונים של המתחים וגדלי הטרנזיסטור.

עבור WM1 הوزן הגודל: 700.

עבור WM5 הوزן טווח הגדלים: מהגודל  $m01$  120 בקפיצות של 40 עד הגודל  $m00$  400.

עבור WM4 הوزן טווח הגדלים: מהגודל  $m00$  400 בקפיצות של 40 עד הגודל  $m01$  720.

עבור WM3 ו-WM2 ו-WM6 הوزן הגודל:  $m00$  400n.



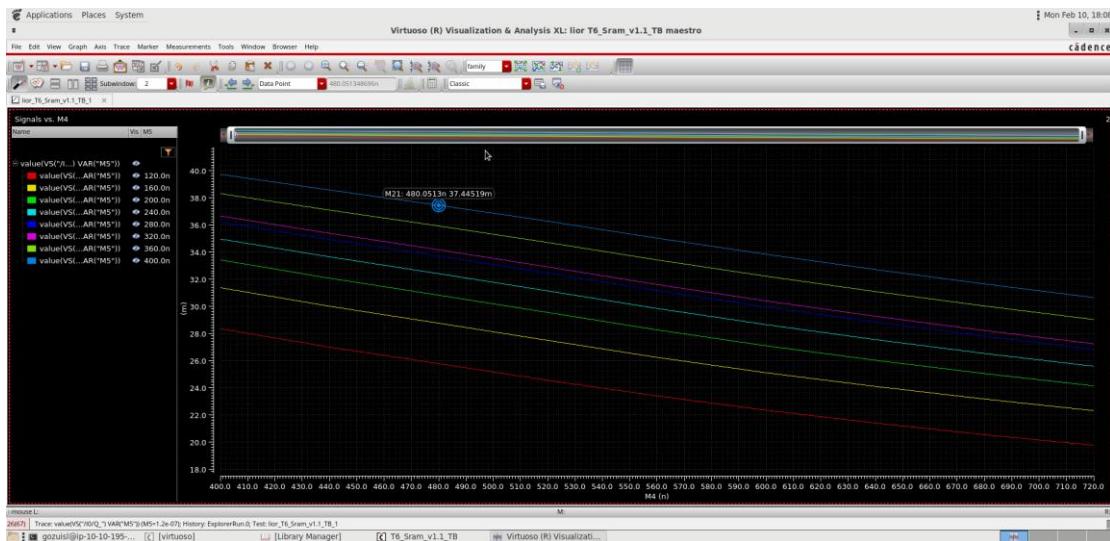
2-ערכי המתחים וגודל הטרנזיסטור עבור מצב READ לمعالgi Table



3- מתח WM4-ו WM5- ביחס QBAR READ למمعالgi graph

ניתן לראות בגרף מס' 3 שככל שרוחב הטרנזיסטור WM5 גדול יותר ו WM4 קטן יותר מתאפשר מתח קטן יותר ביחס WM5-ו WM4- QBAR . CR זהה תואם נוסחה

הנקודות הטובות ביותר ביחס ratio cell ratio הינם ביחס של 1 עד 1.5 لكن הנקודה האופטימלית ביותר הינה 1.2 כולם לפי נוסחה כאשר  $WM4 = 480n$  /  $WM5 = 400n$  וזו הנקודה הטובה ביותר ביחס שמתאפשר ביחס WM5-QBAR=796.1531m וניתן לראות מתח QBAR=796.1531m שווה המתח האופטימלי ביותר.



מתח QBAR ביחס ל- WM5 ו- WM4 במצב READ למעגל drain 4 graph

ניתן לראות בגרף מס' 4 שככל שרוחב הטרנזיסטור WM5 גדול יותר ו WM4 קטן יותר מתאפשר מתח קטן יותר בQBAR וזה תואם לנוסחה CR.

הנקודות הטובות ביותר ביחס ratio cell ratio הינם ביחס של 1 עד 1.5 שכן הנΚודת האופטימלית ביותר הינה 1.2 ככלمر לפיה הנוסחה כאשר  $M5=400n / M4=480n$  מתקבל לנו יחס של 1.2 וזויה הנΚודת הטובה ביותר שזיהו המתח האופטימלי ביותר.

לסיכום בין 2 המעגלים במצב drain מתאפשר מתח נמוך יותר מאשר במעגל Sores מבצע היפוך בנק' מתח נמוכה יותר. כמו כן, הגדים האופטימליים שהתקבלו לרוחב הטרנזיסטור הינם:  $M5=400n = Access, M4=480n = pull up, M2=120n = pull down$ .  
גדים אלו שומשו לאורך שאר הבדיקות שביצעו.

## בדיקה עבור זמני פעולה והשהייה בשני המעגלים במצבים WRITE ו- READ

בין 2 המעגלים יבדקו מהירות הזמנים האופטימלית ביותר על ידי schematic מול Layout tussen המצבים WRITE ו- READ.

### ► מצב READ עבור שני המעגלים:

|           |               |         |
|-----------|---------------|---------|
| schematic | VT("/IO/Q_")  |         |
| schematic | /IO/Q_        |         |
| schematic | /Q            |         |
| schematic | VT("/Q")      |         |
| schematic | VT("/BL")     |         |
| schematic | VT("/BLB")    |         |
| schematic | Tr_Q1.8v      | 4n      |
| schematic | Tf_Q1.8v      | 4n      |
| schematic | Tphl_Q1_8v    | -525.1p |
| schematic | Tplh_Q1_8v    | 457.2p  |
| schematic | Tpd_Q1_8v     | -33.94p |
| schematic | Tr_QBAR1.8v   | 438p    |
| schematic | Tf_QBAR1.8v   | 425.4p  |
| schematic | Tphl_QBAR1_8v | -457.2p |
| schematic | Tplh_QBAR1_8v | 525.1p  |
| schematic | Tpd_QBAR1_8v  | 33.94p  |
| schematic | Tr_BLB1.8v    | 4n      |
| schematic | Tf_BLB1.8v    | 4n      |
| schematic | Tphl_BLB1_8v  | 1.005u  |
| schematic | Tplh_BLB1_8v  | -1.005u |
| schematic | Tpd_BLB1_8v   | 0       |
| schematic | Tr_BL1.8v     | 4n      |
| schematic | Tf_BL1.8v     | 4n      |
| schematic | Tphl_BL1_8v   | -525.1p |
| schematic | Tplh_BL1_8v   | 457.2p  |
| schematic | Tpd_BL1_8v    | -33.94p |

Scores טבלת ערכי READ במצב schematic לمعالג 3 Table

|        |               |         |
|--------|---------------|---------|
| layout | VT("/IO/Q_")  |         |
| layout | /Q            |         |
| layout | VT("/Q")      |         |
| layout | VT("/BL")     |         |
| layout | VT("/BLB")    |         |
| layout | Tr_Q1.8v      | 4n      |
| layout | Tf_Q1.8v      | 4n      |
| layout | Tphl_Q1_8v    | -554.9p |
| layout | Tplh_Q1_8v    | 427.4p  |
| layout | Tpd_Q1_8v     | -63.79p |
| layout | Tr_QBAR1.8v   | 441.5p  |
| layout | Tf_QBAR1.8v   | 435.8p  |
| layout | Tphl_QBAR1_8v | -427.4p |
| layout | Tplh_QBAR1_8v | 554.9p  |
| layout | Tpd_QBAR1_8v  | 63.79p  |
| layout | Tr_BLB1.8v    | 4n      |
| layout | Tf_BLB1.8v    | 4n      |
| layout | Tphl_BLB1_8v  | 1.005u  |
| layout | Tplh_BLB1_8v  | -1.005u |
| layout | Tpd_BLB1_8v   | 0       |
| layout | Tr_BL1.8v     | 4n      |
| layout | Tf_BL1.8v     | 4n      |
| layout | Tphl_BL1_8v   | -554.9p |
| layout | Tplh_BL1_8v   | 427.4p  |
| layout | Tpd_BL1_8v    | -63.79p |

Scores טבלת ערכי READ במצב layout לمعالג 4 Table

| Test      | Output        | Nominal |
|-----------|---------------|---------|
| Filter    | Filter        | Filter  |
| SCHEMATIC | VT("/BLB")    |         |
| SCHEMATIC | VT("/BL")     |         |
| SCHEMATIC | VT("/I0/Q_")  |         |
| SCHEMATIC | VT("/Q")      |         |
| SCHEMATIC | Tr_QBAR1.8v   | 438p    |
| SCHEMATIC | Tf_QBAR1.8v   | 425.4p  |
| SCHEMATIC | Tphl_QBAR1_8v | -457.2p |
| SCHEMATIC | Tplh_QBAR1_8v | 525.1p  |
| SCHEMATIC | Tpd_QBAR1_8v  | 33.94p  |
| LAYOUT    | VT("/BLB")    |         |
| LAYOUT    | VT("/BL")     |         |
| LAYOUT    | VT("/I0/Q_")  |         |
| LAYOUT    | VT("/Q")      |         |
| LAYOUT    | Tr_QBAR1.8v   | 442.8p  |
| LAYOUT    | Tf_QBAR1.8v   | 436.3p  |
| LAYOUT    | Tphl_QBAR1_8v | -422.1p |
| LAYOUT    | Tpd_QBAR1_8v  | 68.73p  |
| LAYOUT    | Tplh_QBAR1_8v | 559.5p  |

טבלת ערכי READ במצב layout -i schematic drain - 5 Table

עבור 2 המוגלים ערכי schematic בעל ערכיים זהים, לעומת זאת ב-Layout הערכיים בין 2 המוגלים הינם שונים כמעט זה מזו. אולם עדין ניתן לראות שבמוגל Sores מתקבל עבור QBAR Sores TPD=63.79 p ובסוגל drain מתתקבל 68.73 p. לאור כך, ניתן להסיק כי עבור מוגל drain מתקבלת מהירות טוביה יותר.

## ► מצב WRITE בשני המעגלים:

| Test      | Output        | Nominal |
|-----------|---------------|---------|
| Filter    | Filter        | Filter  |
| SCHEMATIC | VT("/BLB")    |         |
| SCHEMATIC | VT("/BL")     |         |
| SCHEMATIC | VT("/I0/Q_")  |         |
| SCHEMATIC | VT("/Q")      |         |
| SCHEMATIC | Tr_Q1.8v      | 4n      |
| SCHEMATIC | Tf_Q1.8v      | 4n      |
| SCHEMATIC | Tphl_Q1_8v    | -525.1p |
| SCHEMATIC | Tplh_Q1_8v    | 457.2p  |
| SCHEMATIC | Tpd_Q1_8v     | -33.94p |
| SCHEMATIC | Tr_QBAR1.8v   | 438p    |
| SCHEMATIC | Tf_QBAR1.8v   | 425.4p  |
| SCHEMATIC | Tphl_QBAR1_8v | -457.2p |
| SCHEMATIC | Tplh_QBAR1_8v | 33.94p  |
| SCHEMATIC | Tphl_QBAR1_8v | 525.1p  |
| SCHEMATIC | Tr_BLB1.8v    | 4n      |
| SCHEMATIC | Tf_BLB1.8v    | 4n      |
| SCHEMATIC | Tphl_BLB1_8v  | 1.005u  |
| SCHEMATIC | Tplh_BLB1_8v  | -1.005u |
| SCHEMATIC | Tpd_BLB1_8v   | 0       |
| SCHEMATIC | Tr_BL1.8v     | 4n      |
| SCHEMATIC | Tf_BL1.8v     | 4n      |
| SCHEMATIC | Tphl_BL1_8v   | -1.006u |
| SCHEMATIC | Tplh_BL1_8v   | 1.005u  |
| SCHEMATIC | Tpd_BL1_8v    | -33.94p |

drain - טבלת ערכי WRITE במצב schematic לمعالן

|        |               |         |
|--------|---------------|---------|
| LAYOUT | VT("/BLB")    |         |
| LAYOUT | VT("/BL")     |         |
| LAYOUT | VT("/I0/Q_")  |         |
| LAYOUT | VT("/Q")      |         |
| LAYOUT | Tr_Q1.8v      | 4n      |
| LAYOUT | Tf_Q1.8v      | 4n      |
| LAYOUT | Tphl_Q1_8v    | -559.5p |
| LAYOUT | Tplh_Q1_8v    | 422.1p  |
| LAYOUT | Tpd_Q1_8v     | -68.73p |
| LAYOUT | Tr_QBAR1.8v   | 442.8p  |
| LAYOUT | Tf_QBAR1.8v   | 436.3p  |
| LAYOUT | Tphl_QBAR1_8v | -422.1p |
| LAYOUT | Tplh_QBAR1_8v | 68.73p  |
| LAYOUT | Tphl_QBAR1_8v | 559.5p  |
| LAYOUT | Tr_BLB1.8v    | 4n      |
| LAYOUT | Tf_BLB1.8v    | 4n      |
| LAYOUT | Tphl_BLB1_8v  | 1.005u  |
| LAYOUT | Tplh_BLB1_8v  | -1.005u |
| LAYOUT | Tpd_BLB1_8v   | 0       |
| LAYOUT | Tr_BL1.8v     | 4n      |
| LAYOUT | Tf_BL1.8v     | 4n      |
| LAYOUT | Tphl_BL1_8v   | -1.006u |
| LAYOUT | Tplh_BL1_8v   | 1.005u  |
| LAYOUT | Tpd_BL1_8v    | -68.73p |

drain - טבלת ערכי layout במצב WRITE לمعالן

| Test      | Output        | Nominal |
|-----------|---------------|---------|
| Filter    | Filter        | Filter  |
| schematic | VT("/I0/Q_")  | ☒       |
| schematic | /I0/Q_        | ☒       |
| schematic | /Q            | ☒       |
| schematic | VT("//Q")     | ☒       |
| schematic | VT("//BL")    | ☒       |
| schematic | VT("//BLB")   | ☒       |
| schematic | Tr_Q1.8v      | 4n      |
| schematic | Tf_Q1.8v      | 4n      |
| schematic | Tphl_Q1_8v    | -525.1p |
| schematic | Tplh_Q1_8v    | 457.2p  |
| schematic | Tpd_Q1_8v     | -33.94p |
| schematic | Tr_QBAR1.8v   | 438p    |
| schematic | Tf_QBAR1.8v   | 425.4p  |
| schematic | Tphl_QBAR1_8v | -457.2p |
| schematic | Tplh_QBAR1_8v | 525.1p  |
| schematic | Tpd_QBAR1_8v  | 33.94p  |
| schematic | Tr_BLB1.8v    | 4n      |
| schematic | Tf_BLB1.8v    | 4n      |
| schematic | Tphl_BLB1_8v  | 1.005u  |
| schematic | Tplh_BLB1_8v  | -1.005u |
| schematic | Tpd_BLB1_8v   | 0       |
| schematic | Tr_BL1.8v     | 4n      |
| schematic | Tf_BL1.8v     | 4n      |
| schematic | Tphl_BL1_8v   | -1.006u |
| schematic | Tplh_BL1_8v   | 1.005u  |
| schematic | Tpd_BL1_8v    | -33.94p |

Sores - טבלת ערכי WRITE במצב schematic למוגל 8 Table

|        |               |         |
|--------|---------------|---------|
| layout | VT("/I0/Q_")  | ☒       |
| layout | /Q            | ☒       |
| layout | VT("//Q")     | ☒       |
| layout | VT("//BL")    | ☒       |
| layout | VT("//BLB")   | ☒       |
| layout | Tr_Q1.8v      | 4n      |
| layout | Tf_Q1.8v      | 4n      |
| layout | Tphl_Q1_8v    | -554.9p |
| layout | Tplh_Q1_8v    | 427.4p  |
| layout | Tpd_Q1_8v     | -63.79p |
| layout | Tr_QBAR1.8v   | 441.5p  |
| layout | Tf_QBAR1.8v   | 435.8p  |
| layout | Tphl_QBAR1_8v | -427.4p |
| layout | Tplh_QBAR1_8v | 554.9p  |
| layout | Tpd_QBAR1_8v  | 63.79p  |
| layout | Tr_BLB1.8v    | 4n      |
| layout | Tf_BLB1.8v    | 4n      |
| layout | Tphl_BLB1_8v  | 1.005u  |
| layout | Tplh_BLB1_8v  | -1.005u |
| layout | Tpd_BLB1_8v   | 0       |
| layout | Tr_BL1.8v     | 4n      |
| layout | Tf_BL1.8v     | 4n      |
| layout | Tphl_BL1_8v   | -1.006u |
| layout | Tplh_BL1_8v   | 1.005u  |
| layout | Tpd_BL1_8v    | -63.79p |

Sores - טבלת ערכי WRITE במצב layout למוגל 9 Table

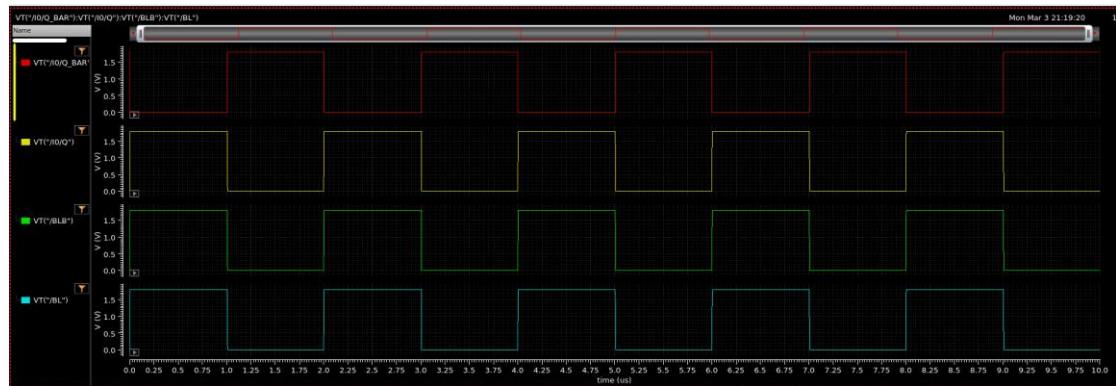
עבור 2 המוגלים ערכי ה- schematic בעל ערכיהם זהים, לעומת זאת ב-Layout הערכיהם בין 2 המוגלים הינם שונים כמעט לחלוטין. אולם עדין ניתן לראות שבמוגל Sores עבור זמן TPD של QBAR ו-QBLB מתקבלים זמינים מהירים יותר.

לסיכום לאחר הבדיקות בשני המצבים WRITE ו-READ נמצא כי מוגל Sores בעל זמן TPD לשני המוגלים יותר ועל כן מוגל זה יילקח לשאר הבדיקות לאורץ הפROYיקט.

## • בדיקה רכיב T6-SRAM במוגל Sores:

רכיב זה הוזנו בכל מקורות מתח של 1.8V בהתאם למצבים WRITE ו-READ.

### ► מצב READ :



תוצאות מתחים עבור מצב READ graph

ניתן לראות בגרף מס' 5 כאשר  $Q = 1$  ו-  $BL = 1$  מתקבל  $Q = 0$  ו-  $BL = 0$ . היפך. תוצאה זו הינה תקינה ומציינה כי המוגל עובד بصورة ייעילה.

|               |      |  |         |                                     |                          |         |
|---------------|------|--|---------|-------------------------------------|--------------------------|---------|
| Tr_QBAR1_8V   | expr | riseTime(VT("I/O/Q_BAR") 0 n1 1.8 n1 10 90 n1 "time")  | 438p    | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 450p  |
| Tf_QBAR1_8V   | expr | fallTime(VT("I/O/Q_BAR") 1.8 n1 0 n1 10 90 n1 "time")  | 425.4p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 100p  |
| Tphl_QBAR1_8V | expr | delay(?wf1 VT("I/O/Q_BAR") ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("I/O_Q_BA...) | -457.2p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -100p |
| Tphl_QBAR1_8V | expr | delay(?wf1 VT("I/O/Q") ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("I/O_Q_BA...)    | 525.1p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 500p  |
| Tpd_QBAR1_8V  | expr | (0.5 * (Tphl_QBAR1_8V + Tphl_QBAR1_8V))  | 33.94p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 40p   |
| Tr_Q1_8V      | expr | riseTime(VT("I/O/Q") 0 n1 1.8 n1 10 90 n1 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 5n    |
| Tr_Q1_8V      | expr | fallTime(VT("I/O/Q") 1.8 n1 0 n1 10 90 n1 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 1n    |
| Tphl_Q1_8V    | expr | delay(?wf1 VT("I/O/Q_BAR") ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("I/O_Q_BA...) | -525.1p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -100p |
| Tphl_Q1_8V    | expr | delay(?wf1 VT("I/O/Q") ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("I/O_Q_BA...)    | 457.2p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 550p  |
| Tpd_Q1_8V     | expr | (0.5 * (Tphl_Q1_8V + Tphl_Q1_8V))  | -33.94p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -5p   |
| Tr_BLB1_8V    | expr | riseTime(VT("BLB") 0 n1 1.8 n1 10 90 n1 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 8n    |
| Tr_BLB1_8V    | expr | fallTime(VT("BLB") 1.8 n1 0 n1 10 90 n1 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 1n    |
| Tphl_BLB1_8V  | expr | delay(?wf1 VT("I/O/Q") ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("BLB") ?v...)     | 1.005u  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 2u    |
| Tphl_BLB1_8V  | expr | delay(?wf1 VT("I/O/Q") ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("BLB") ?v...)    | -1.005u | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -0.3u |
| Tpd_BLB1_8V   | expr | (0.5 * (Tphl_BLB1_8V + Tphl_BLB1_8V))  | 0       | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 1z    |
| Tr_BL1_8V     | expr | riseTime(VT("BL") 0 n1 1.8 n1 10 90 n1 "time")   | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 8n    |
| Tr_BL1_8V     | expr | fallTime(VT("BL") 1.8 n1 0 n1 10 90 n1 "time")   | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 1n    |
| Tphl_BL1_8V   | expr | delay(?wf1 VT("I/O/Q_BAR") ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("BL") ...)    | -525.1p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -100p |
| Tphl_BL1_8V   | expr | delay(?wf1 VT("I/O/Q") ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VT("BL") ...)       | 457.2p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 760p  |
| Tpd_BL1_8V    | expr | (0.5 * (Tphl_BL1_8V + Tphl_BL1_8V))  | -33.94p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -5p   |

Table 10 - טבלת נתוני הזמן במאובן READ

בטבלה מס' 10 הוצבו גבולות לכל נתון של זמן, כאשר ערך חורג מהגבול שהוגדר צבעו משטנה אדום, כאשר הערך מתקרב לחריגת צבעו משטנה לצהוב וכאשר הינו נמצא בטוחה הנורמה צבעו ירוק (תקין).

## - בדיקת corners test :

לבדיקה נבדקו הממצבים הבאים : ff,fs,sf,ss,tt . כמו כן, בוצעה בדיקה עבור המעளות : 0,50,85

| Corners                 | <input checked="" type="checkbox"/> Nominal | <input checked="" type="checkbox"/> C0 |
|-------------------------|---|--|
| <b>Temperature</b>      |   | 0,50,85                                |
| <b>Design Variables</b> |   |  |
| Click to add            |   |  |
| <b>Parameters</b>       |   |  |
| Click to add            |   |  |
| <b>Model Files</b>      |   |  |
| gdk045.scs              | <input checked="" type="checkbox"/>         | ff fs sf ss tt                         |
| Click to add            |   |  |
| <b>Model Group(s)</b>   |   | <modelgroup>                           |
| Click to add            |   |  |
| <b>Tags</b>             |   |  |
| ...mber of Corners      | 1   | 15                                     |

נתונים שהוזנו עבור בדיקת corners - 11 Table

### תוצאות הבדיקה :

| Corner | temperature | gdk045.scs | Pass/Fail  | Tr_QBAR1_8V | Tf_QBAR1_8V | Tphi_QBAR1_8V | Tplh_QBAR1_8V | Tpd_QBAR1_8V | Tr_Q1_8V | Tf_Q1_8V | Tphi_Q1_8V | Tplh_Q1_8V | Tpd_Q1_8V | Tr_BLB1_8V | Tf_BLB1_8V | Tphi_BLB1_8V | Tplh_BLB1_8V | Tpd_BLB1_8V |
|--------|-------------|------------|--|-------------|-------------|---------------|---------------|--------------|----------|----------|------------|------------|-----------|------------|------------|--------------|--------------|-------------|
| nom    | 27          | mfc        | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | near        | 438p        | 425.4p        | -457.2p       | 525.1p       | 33.94p   | 4n       | 4n         | -525.1p    | 457.2p    | -33.94p    | 4n         | 4n           | 4n           |             |
| C0_0   | 0           | ff         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 504.8p      | 510.9p        | -530.7p       | 580.6p       | 24.99p   | 4n       | 4n         | -580.6p    | 530.7p    | -24.99p    | 4n         | 4n           | 4n           |             |
| C0_1   | 50          | ff         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 556.6p      | 586.2p        | -525.4p       | 577.4p       | 26.01p   | 4n       | 4n         | -577.4p    | 525.4p    | -26.01p    | 4n         | 4n           | 4n           |             |
| C0_2   | 85          | ff         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 585.8p      | 596.2p        | -523.5p       | 581.4p       | 28.96p   | 4n       | 4n         | -581.4p    | 523.5p    | -28.96p    | 4n         | 4n           | 4n           |             |
| C0_3   | 0           | fs         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 393.7p      | 401.9p        | -565.9p       | 633.6p       | 33.85p   | 4n       | 4n         | -633.6p    | 565.9p    | -33.85p    | 4n         | 4n           | 4n           |             |
| C0_4   | 50          | fs         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 437p        | 436.9p        | -568.9p       | 642.9p       | 36.98p   | 4n       | 4n         | -642.9p    | 568.9p    | -36.98p    | 4n         | 4n           | 4n           |             |
| C0_5   | 85          | fs         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 463.4p      | 464.5p        | -571.7p       | 650.6p       | 39.49p   | 4n       | 4n         | -650.6p    | 571.7p    | -39.49p    | 4n         | 4n           | 4n           |             |
| C0_6   | 0           | sf         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | pass        | 402.4p      | 427.9p        | -359.2p       | 424.6p       | 32.72p   | 4n       | 4n         | -424.6p    | 359.2p    | -32.72p    | 4n         | 4n           | 4n           |             |
| C0_7   | 50          | sf         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | near        | 453.4p      | 452.6p        | -356.2p       | 425.9p       | 34.85p   | 4n       | 4n         | -425.9p    | 356.2p    | -34.85p    | 4n         | 4n           | 4n           |             |
| C0_8   | 85          | sf         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | near        | 482.4p      | 482.7p        | -355.7p       | 428.9p       | 36.57p   | 4n       | 4n         | -428.9p    | 355.7p    | -36.57p    | 4n         | 4n           | 4n           |             |
| C0_9   | 0           | ss         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | near        | 315.3p      | 317.9p        | -388.3p       | 475.4p       | 43.56p   | 4n       | 4n         | -475.4p    | 388.3p    | -43.56p    | 4n         | 4n           | 4n           |             |
| C0_10  | 50          | ss         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 359.1p      | 363.4p        | -393p         | 485p         | 46.01p   | 4n       | 4n         | -485p      | 393p      | -46.01p    | 4n         | 4n           | 4n           |             |
| C0_11  | 85          | ss         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | fail        | 378.7p      | 392.2p        | -395.7p       | 496.8p       | 50.55p   | 4n       | 4n         | -496.8p    | 395.7p    | -50.55p    | 4n         | 4n           | 4n           |             |
| C0_12  | 0           | tt         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | near        | 398.2p      | 401.2p        | -458.9p       | 525.4p       | 33.27p   | 4n       | 4n         | -525.4p    | 458.9p    | -33.27p    | 4n         | 4n           | 4n           |             |
| C0_13  | 50          | tt         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | near        | 451p        | 443.1p        | -457.5p       | 530.3p       | 36.43p   | 4n       | 4n         | -530.3p    | 457.5p    | -36.43p    | 4n         | 4n           | 4n           |             |
| C0_14  | 85          | tt         | Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> Filter <input checked="" type="checkbox"/> | near        | 471.8p      | 474.1p        | -458.5p       | 533.9p       | 37.71p   | 4n       | 4n         | -533.9p    | 458.5p    | -37.71p    | 4n         | 4n           | 4n           |             |

| Tphi_Q1_8V | Tplh_Q1_8V | Tpd_Q1_8V | Tr_BLB1_8V | Tf_BLB1_8V | Tphi_BLB1_8V | Tplh_BLB1_8V | Tpd_BLB1_8V | Tr_BL1_8V | Tf_BL1_8V | Tphi_BL1_8V | Tplh_BL1_8V | Tpd_BL1_8V |
|------------|------------|-----------|------------|------------|--------------|--------------|-------------|-----------|-----------|-------------|-------------|------------|
| -525.1p    | 457.2p     | -33.94p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -525.1p     | 457.2p      | -33.94p    |
| -580.6p    | 530.7p     | -24.99p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -580.6p     | 530.7p      | -24.99p    |
| -577.4p    | 525.4p     | -26.01p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -577.4p     | 525.4p      | -26.01p    |
| -581.4p    | 523.5p     | -28.96p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -581.4p     | 523.5p      | -28.96p    |
| -633.6p    | 565.9p     | -33.85p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -633.6p     | 565.9p      | -33.85p    |
| -642.9p    | 568.9p     | -36.98p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -642.9p     | 568.9p      | -36.98p    |
| -650.6p    | 571.7p     | -39.49p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -650.6p     | 571.7p      | -39.49p    |
| -424.6p    | 359.2p     | -32.72p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -424.6p     | 359.2p      | -32.72p    |
| -425.9p    | 356.2p     | -34.85p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -425.9p     | 356.2p      | -34.85p    |
| -428.9p    | 355.7p     | -36.57p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -428.9p     | 355.7p      | -36.57p    |
| -475.4p    | 388.3p     | -43.56p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -475.4p     | 388.3p      | -43.56p    |
| -485p      | 393p       | -46.01p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -485p       | 393p        | -46.01p    |
| -496.8p    | 395.7p     | -50.55p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -496.8p     | 395.7p      | -50.55p    |
| -525.4p    | 458.9p     | -33.27p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -525.4p     | 458.9p      | -33.27p    |
| -530.3p    | 457.5p     | -36.43p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -530.3p     | 457.5p      | -36.43p    |
| -533.9p    | 458.5p     | -37.71p   | 4n         | 4n         | 1.005u       | -1.005u      | 0           | 4n        | 4n        | -533.9p     | 458.5p      | -37.71p    |

READ - ערכי תוצאות TPD במצב

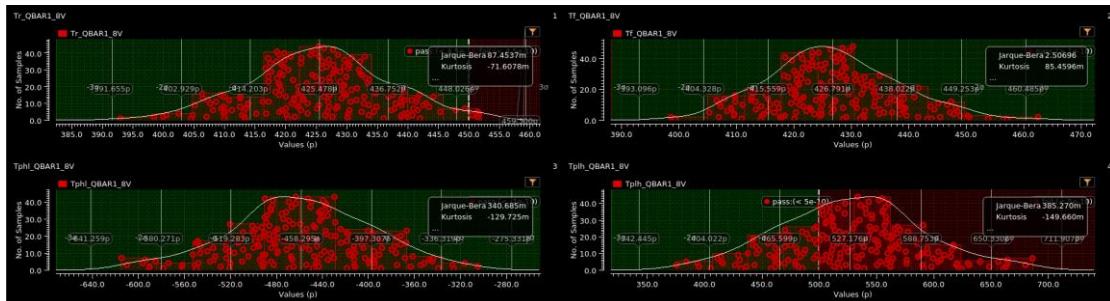
בבדיקות הללו ניתן לראות שהתקבלו תוצאות של כמה ערכאים אשר חרגו מהטוווח הנורמה, וכך שמתקרבים לחריגה וכאלו שנמצאים בטוווח הנורמה. אולם, הזמן החשוב ביותר מבין כל הזמןים שモצגניים בטבלה הינו זמן TPD בו אף ערך אינו חורוג מטוווח הנורמה וצבעם ירוק, על כן בדיקה זו מראה שעבור המעלות הנתונות והמצבים שנבדקו התקבלו תוצאות תקינות.

## - בדיקת READ במצב Montecarlo -

טבלת תוצאות:

| Test                                   | Output        | Min     | Max     | Mean    | Median  | Std Dev | Spec    | Pass/Fail |
|--|---------------|---------|---------|---------|---------|---------|---------|-----------|
| project_T6_SRAM_6T_SRAM_original_schem | Tr_QBAR1_8V   | 315.3p  | 585.8p  | 443.2p  | 444.5p  | 67.87p  | < 450p  | fail      |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_QBAR1_8V   | 317.9p  | 596.2p  | 448.6p  | 440p    | 70.6p   | > 100p  | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_QBAR1_8V | -571.7p | -355.7p | -460.4p | -458p   | 76.83p  | < -100p | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_QBAR1_8V | 424.6p  | 650.6p  | 532.4p  | 527.9p  | 72.34p  | < 500p  | fail      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_QBAR1_8V  | 24.99p  | 50.55p  | 35.99p  | 35.64p  | 6.542p  | < 40p   | fail      |
| project_T6_SRAM_6T_SRAM_original_schem | Tr_Q1_8V      | 4n      | 4n      | 4n      | 0       | < 5n    | pass    |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_Q1_8V      | 4n      | 4n      | 4n      | 0       | > 1n    | pass    |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_Q1_8V    | -650.6p | -424.6p | -532.4p | -527.9p | 72.34p  | < -100p | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_Q1_8V    | 355.7p  | 571.7p  | 460.4p  | 458p    | 76.83p  | < 550p  | near      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_Q1_8V     | -50.55p | -24.99p | -35.99p | -35.64p | 6.542p  | < -5p   | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tr_BLB1_8V    | 4n      | 4n      | 4n      | 0       | < 8n    | pass    |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_BLB1_8V    | 4n      | 4n      | 4n      | 0       | > 1n    | pass    |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_BLB1_8V  | 1.005u  | 1.005u  | 1.005u  | 1.005u  | 0       | < 2u    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_BLB1_8V  | -1.005u | -1.005u | -1.005u | -1.005u | 0       | < -0.3u | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_BLB1_8V   | 0       | 0       | 0       | 0       | < 1z    | pass    |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tr_BL1_8V     | 4n      | 4n      | 4n      | 0       | < 8n    | pass    |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_BL1_8V     | 4n      | 4n      | 4n      | 0       | > 1n    | pass    |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_BL1_8V   | -650.6p | -424.6p | -532.4p | -527.9p | 72.34p  | < -100p | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_BL1_8V   | 355.7p  | 571.7p  | 460.4p  | 458p    | 76.83p  | < 760p  | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_BL1_8V    | -50.55p | -24.99p | -35.99p | -35.64p | 6.542p  | < -5p   | pass      |

- תוצאות שהתקבלו בבדיקה montecarlo במצב READ Table 13



READ - תוצאות בדיקת Montecarlo במצב graph

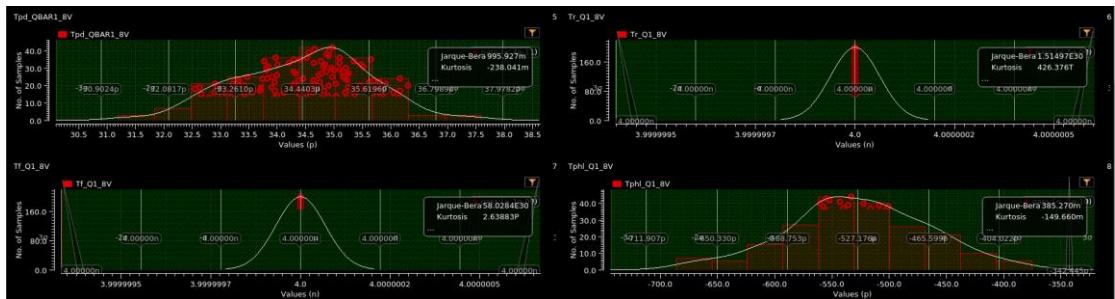
ניתן לראות לפי גרף מס' 6 שעבור הזמנים הבאים התקבלו התוצאות :

התקבלו טווח הזמנים 392ps – 453ps כאשר זמן האופטימלי והמהיר ביותר הינו .392ps

התקבלו טווח הזמנים 399ps – 461ps כאשר זמן האופטימלי והמהיר ביותר הינו .399ps

התקבלו טווח הזמנים 375ps – 490ps כאשר זמן האופטימלי והמהיר ביותר הינו .375ps

התקבלו טווח הזמנים (300ps) – (-620ps) כאשר זמן האופטימלי והמהיר ביותר הינו .-300ps



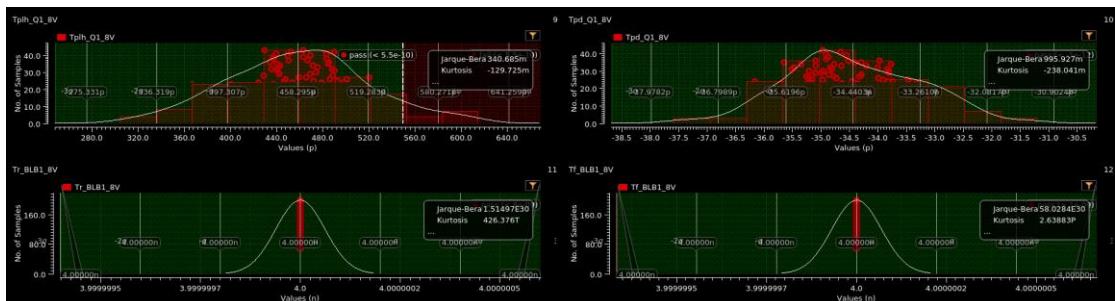
READ - תוצאות בדיקת montecarlo במצב 7 graph

ניתן לראות לפי גרף מס 7 שעבור הזמן הזרים הבאים התקבלו התוצאות :

: התקבלו טווח הזמן **32.5ps – 36.5ps** כאשר זמן האופטימלי וההמיר ביותר הינו **.32.5ps**

: התקבלו טווח הזמן **יחיד בזמן ms** **.4**

: התקבלו טווח הזמן **(-500ps) – (-550ps)** כאשר זמן האופטימלי וההמיר ביותר הינו **.-500ps**



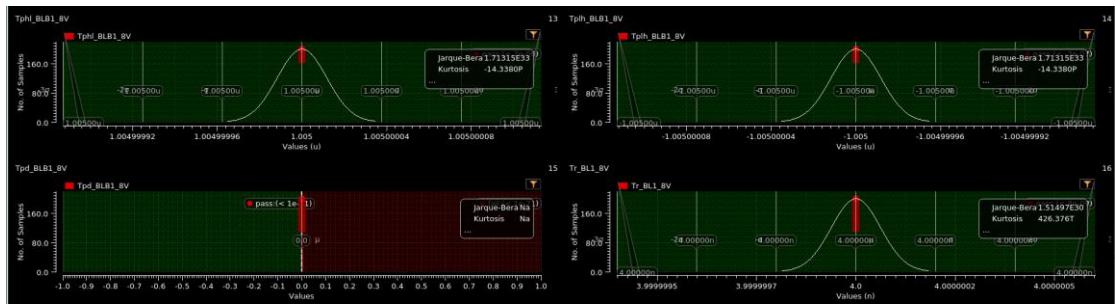
READ - תוצאות בדיקת montecarlo במצב 8 graph

ניתן לראות לפי גרף מס 8 שעבור הזמן הזרים הבאים התקבלו התוצאות :

: התקבלו טווח הזמן **430ps – 520ps** כאשר זמן האופטימלי וההמיר ביותר הינו **.430ps**

: התקבלו טווח הזמן **יחיד בזמן ms** **.4**  
: התקבלו טווח הזמן **(-33.2ps) – (-36.2ps)** כאשר זמן האופטימלי וההמיר ביותר הינו **.-33.2ps**

: התקבלו טווח הזמן **יחיד בזמן ms** **.4**



READ - תוצאות בדיקת montecarlo במצב 9 graph

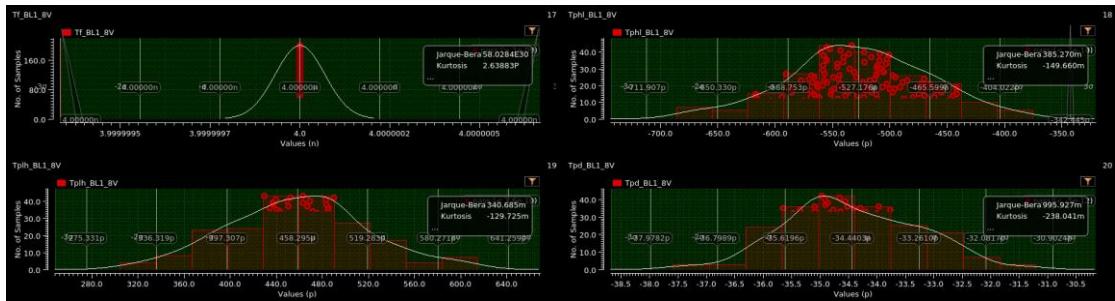
ניתן לראות לפי גרף מס 9 שעבור הזמנים הבאים התקבלו התוצאות :

.1.005ns : התקבלו טווח הזמנים היחיד בזמן 1.005ns

.-1.005ns : התקבלו טווח הזמנים היחיד בזמן -1.005ns

Tphl\_BLB = Tplh\_BLB + Tpd\_BLB

.4ns : התקבלו טווח הזמנים היחיד בזמן 4ns



READ - תוצאות בדיקת montecarlo במצב 10 graph

ניתן לראות לפי גרף מס 10 שעבור הזמנים הבאים התקבלו התוצאות :

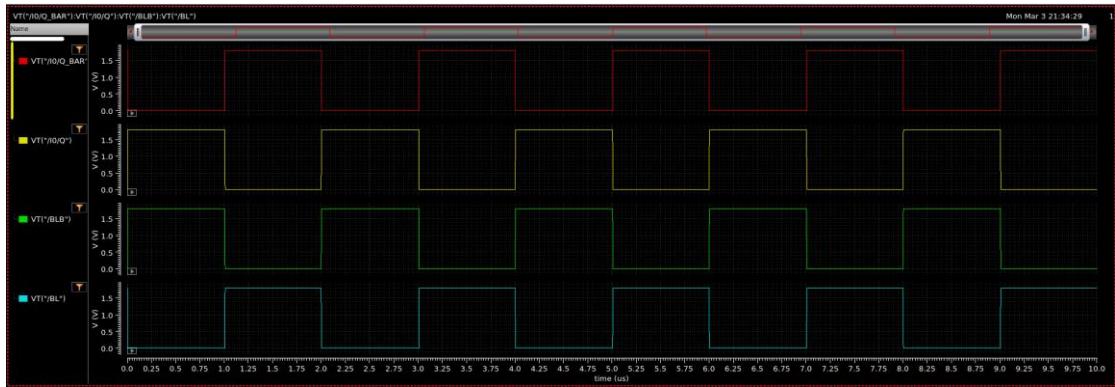
.4ns : התקבלו טווח הזמנים היחיד בזמן 4ns

.440ps : התקבלו טווח הזמנים (440ps – 480ps) כאשר זמן האופטימלי והמהיר ביותר הינו .440ps

.-450ps : התקבלו טווח הזמנים (-450ps) – (-620ps) כאשר זמן האופטימלי והמהיר ביותר הינו -.450ps

.-34ps : התקבלו טווח הזמנים (-34ps) – (-35.5ps) כאשר זמן האופטימלי והמהיר ביותר הינו -.34ps

## ▸ מצב WRITE



WRITE - תוצאות מתחים במצב WRITE graph

ניתן לראות בגרף 11 כאשר  $Q=0$  ו-  $BL=0$  מתקבל  $Q_{BAR}=1$  ו-  $BL'=0$ . ולחפץ. תוצאה זו הינה תקינה ומזכירה כי המודול עובד בצורה ייעילה.

| Name          | Type   | Details  | Value   | Plot | Save | Spec    |
|---------------|--------|--|---------|------|------|---------|
| Filter        | Filter | expr VTI(/IO/Q_BAR*)   |         |      |      |         |
|               | expr   | VTI(/IO/Q')  |         |      |      |         |
|               | expr   | VTI(/BLB')   |         |      |      |         |
|               | expr   | VTI(/BL')  |         |      |      |         |
| Tr_QBAR1_8V   | expr   | riseTime(VTI(/IO/Q_BAR*) 0 n1 1.8 n1 10 90 n1 "time")  | 438p    |      |      | < 450p  |
| Tf_QBAR1_8V   | expr   | fallTime(VTI(/IO/Q_BAR*) 1.8 n1 0 n1 10 90 n1 "time")  | 425.4p  |      |      | > 100p  |
| Tphl_QBAR1_8V | expr   | delay(wf1 VTI(/IO/Q') ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/IO/Q_BAR*) 0 n1 1.8 n1 10 90 n1 "time")      | -457.2p |      |      | < -100p |
| Tphl_QBAR1_8V | expr   | delay(wf1 VTI(/IO/Q') ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/IO/Q_BAR*) 0 n1 1.8 n1 10 90 n1 "time")     | 525.1p  |      |      | < 500p  |
| Tpd_QBAR1_8V  | expr   | (0.5 * (Tphl_QBAR1_8V + Tphl_QBAR1_8V))  | 33.94p  |      |      | < 40p   |
| Tr_Q1_8V      | expr   | riseTime(VTI(/IO/Q') 0 n1 1.8 n1 10 90 n1 "time")  | 4n      |      |      | < 5n    |
| Tf_Q1_8V      | expr   | fallTime(VTI(/IO/Q') 1.8 n1 0 n1 10 90 n1 "time")  | 4n      |      |      | > 1n    |
| Tphl_Q1_8V    | expr   | delay(wf1 VTI(/IO/Q_BAR*) ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/IO/Q_BAR*) 0 n1 1.8 n1 10 90 n1 "time")  | -525.1p |      |      | < -500p |
| Tphl_Q1_8V    | expr   | delay(wf1 VTI(/IO/Q_BAR*) ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/IO/Q_BAR*) 0 n1 1.8 n1 10 90 n1 "time") | 457.2p  |      |      | < 460p  |
| Tpd_Q1_8V     | expr   | (0.5 * (Tphl_Q1_8V + Tphl_Q1_8V))  | -33.94p |      |      | < 30p   |
|               | expr   | VT(/BL')   |         |      |      |         |
|               | expr   | VT(/BLB')  |         |      |      |         |
| Tr_BLB1_8V    | expr   | riseTime(VTI(/BLB') 0 n1 1.8 n1 10 90 n1 "time")   | 4n      |      |      | < 5n    |
| Tf_BLB1_8V    | expr   | fallTime(VTI(/BLB') 1.8 n1 0 n1 10 90 n1 "time")   | 4n      |      |      | > 1n    |
| Tphl_BLB1_8V  | expr   | delay(wf1 VTI(/IO/Q') ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/BLB') 0 n1 1.8 n1 10 90 n1 "time")           | 1.005u  |      |      | < 2u    |
| Tphl_BLB1_8V  | expr   | delay(wf1 VTI(/IO/Q') ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/BLB') 0 n1 1.8 n1 10 90 n1 "time")          | -1.005u |      |      | < -0.5u |
| Tpd_BLB1_8V   | expr   | (0.5 * (Tphl_BLB1_8V + Tphl_BLB1_8V))  | 0       |      |      |         |
| Tr_BL1_8V     | expr   | riseTime(VTI(/BL') 0 n1 1.8 n1 10 90 n1 "time")  | 4n      |      |      | < 5n    |
| Tf_BL1_8V     | expr   | fallTime(VTI(/BL') 1.8 n1 0 n1 10 90 n1 "time")  | 4n      |      |      | > 1n    |
| Tphl_BL1_8V   | expr   | delay(wf1 VTI(/IO/Q_BAR*) ?value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/BL') 0 n1 1.8 n1 10 90 n1 "time")        | -1.006u |      |      | < -0.5u |
| Tphl_BL1_8V   | expr   | delay(wf1 VTI(/IO/Q_BAR*) ?value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 n1 ?wf2 VTI(/BL') 0 n1 1.8 n1 10 90 n1 "time")       | 1.005u  |      |      | < 2u    |
| Tpd_BL1_8V    | expr   | (0.5 * (Tphl_BL1_8V + Tphl_BL1_8V))  | -33.94p |      |      | < 30p   |

WRITE - ערכי הבדיקה של רכיב TS6RAM במצב WRITE Table

בטבלה זו הוצבו גבולות לכל נתון של זמן, כאשר ערך חורג מהגבול שהוגדר צבעו משתנה לאדום, כאשר הערך מתקרב לחריגת צהוב משתנה לצהוב וכאשר הינו נמצא בטוחה הנורמה צבעו ירוק (תקין).

## ▪ בדיקת corners test ▪

לבדיקה corners נבדקו הממצבים הבאים: ff,fs,ss,tt. כמו כן, בוצעה בדיקה עבור המעלות: 0,50,85

| Corners                   | <input checked="" type="checkbox"/> Nominal | <input checked="" type="checkbox"/> C0 |
|---------------------------|---|--|
| <b>Temperature</b>        |   | 0,50,85                                |
| <b>Design Variables</b>   |   |  |
| Click to add              |   |  |
| <b>Parameters</b>         |   |  |
| Click to add              |   |  |
| <b>Model Files</b>        |   |  |
| gpdk045.scs               | <input checked="" type="checkbox"/>         | ff fs sf ss tt                         |
| Click to add              |   |  |
| <b>Model Group(s)</b>     |   | <modelgroup>                           |
| Click to add              |   |  |
| <b>Tags</b>               |   |  |
| <b>...mber of Corners</b> | 1   | 15                                     |

WRITER corners נומינום שהזנו עבור בדיקתcorners במצב Table

### תוצאות הבדיקה:

| Corner | temperature | gpdk045.scs | Pass/Fail | VTC"/IO/Q_BAR1" | VTC"/IO/Q" | Tr_QBAR1_8V | Tf_QBAR1_8V | Tph_QBAR1_8V | Tpd_QBAR1_8V | Tr_Q1_8V | Tf_Q1_8V | Tph_Q1_8V | Tpd_Q1_8V |
|--------|-------------|-------------|-----------|-----------------|------------|-------------|-------------|--------------|--------------|----------|----------|-----------|-----------|
| nom    | 27          | mc          | fail      | 438p            | 425.4p     | -457.2p     | 525.1p      | 33.94p       | 4n           | 4n       | 525.1p   | 457.2p    | -33.94p   |
| C0_0   | 0           | ff          | fail      | 594.8p          | 510.9p     | 520.7p      | 590.6p      | 24.09p       | 4n           | 4n       | 580.6p   | 530.7p    | -24.09p   |
| C0_1   | 50          | ff          | fail      | 556.6p          | 586.2p     | -525.4p     | 577.4p      | 26.01p       | 4n           | 4n       | 577.4p   | 525.4p    | -26.01p   |
| C0_2   | 85          | ff          | fail      | 598.4p          | 596.2p     | -523.5p     | 581.7p      | 29.1p        | 4n           | 4n       | 581.7p   | 523.5p    | -29.1p    |
| C0_3   | 0           | fs          | fail      | 493.7p          | 401.9p     | -565.9p     | 633.6p      | 33.85p       | 4n           | 4n       | 633.6p   | 665.9p    | -33.85p   |
| C0_4   | 50          | fs          | fail      | 437p            | 436.9p     | -568.9p     | 642.9p      | 36.98p       | 4n           | 4n       | 642.9p   | 568.9p    | -36.98p   |
| C0_5   | 85          | fs          | fail      | 463.2p          | 464.5p     | -571.7p     | 650.5p      | 39.44p       | 4n           | 4n       | 650.5p   | 571.7p    | -39.44p   |
| C0_6   | 0           | sf          | fail      | 402.4p          | 427.9p     | -359.2p     | 424.6p      | 32.72p       | 4n           | 4n       | 424.6p   | 359.2p    | -32.72p   |
| C0_7   | 50          | sf          | fail      | 453.4p          | 452.6p     | -356.2p     | 425.9p      | 34.85p       | 4n           | 4n       | 425.9p   | 356.2p    | -34.85p   |
| C0_8   | 85          | sf          | fail      | 482.4p          | 482.8p     | -355.7p     | 428.9p      | 36.57p       | 4n           | 4n       | 428.9p   | 355.7p    | -36.57p   |
| C0_9   | 0           | ss          | near      | 315.3p          | 317.9p     | -388.3p     | 475.4p      | 43.56p       | 4n           | 4n       | 475.4p   | 388.3p    | -43.56p   |
| C0_10  | 50          | ss          | fail      | 359.1p          | 363.4p     | -393p       | 485p        | 46.01p       | 4n           | 4n       | 485p     | 393p      | -46.01p   |
| C0_11  | 85          | ss          | fail      | 383.3p          | 392.2p     | -395.7p     | 494p        | 49.15p       | 4n           | 4n       | 494p     | 395.7p    | -49.15p   |
| C0_12  | 0           | tt          | near      | 402.3p          | 401.2p     | -458.9p     | 523.9p      | 32.54p       | 4n           | 4n       | 523.9p   | 458.9p    | -32.54p   |
| C0_13  | 50          | tt          | near      | 451p            | 443.1p     | -457.5p     | 530.3p      | 36.43p       | 4n           | 4n       | 530.3p   | 457.5p    | -36.43p   |
| C0_14  | 85          | tt          | near      | 471.8p          | 474.1p     | -458.5p     | 533.9p      | 37.71p       | 4n           | 4n       | 533.9p   | 458.5p    | -37.71p   |

| Tr_BLB1_8V | Tf_BLB1_8V | Tph_BLB1_8V | Tplh_BLB1_8V | Tpd_BLB1_8V | Tr_BL1_8V | Tf_BL1_8V | Tph_BL1_8V | Tplh_BL1_8V | Tpd_BL1_8V |
|------------|------------|-------------|--------------|-------------|-----------|-----------|------------|-------------|------------|
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.005u      | -33.94p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.006u      | -24.99p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.006u      | -26.01p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.006u      | -29.1p     |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.006u      | -33.85p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.006u      | -36.98p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.006u      | -39.44p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.005u    | 1.005u      | -32.72p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.005u    | 1.005u      | -34.85p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.005u    | 1.005u      | -36.57p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.005u    | 1.005u      | -43.56p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.005u    | 1.005u      | -46.01p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.005u      | -49.15p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.005u      | -32.54p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.005u      | -36.43p    |
| 4n         | 4n         | 1.005u      | -1.005u      | 0           | 4n        | 4n        | -1.006u    | 1.005u      | -37.71p    |

WRITE TPD תוצאות TPD במצב Table

בבדיקות הללו ניתן לראות שהתקבלו תוצאות של כמה ערכים אשר חרגו מהטוווח הנורמה, וכך שמתכוונים לחריגת וכאלו שנמצאים בטוווח הנורמה. אולם, הזמן החשוב ביותר מ בין כל הזמןים שמוסגים בטבלה הינו זמן . TPD

ניתן לראות כי עבור TPD של QBAR 50 ו-85 הערכים חרוגים כבר מהטוווח וב-0 מעלות הערכים מתכוונים לגבול (צהוב).

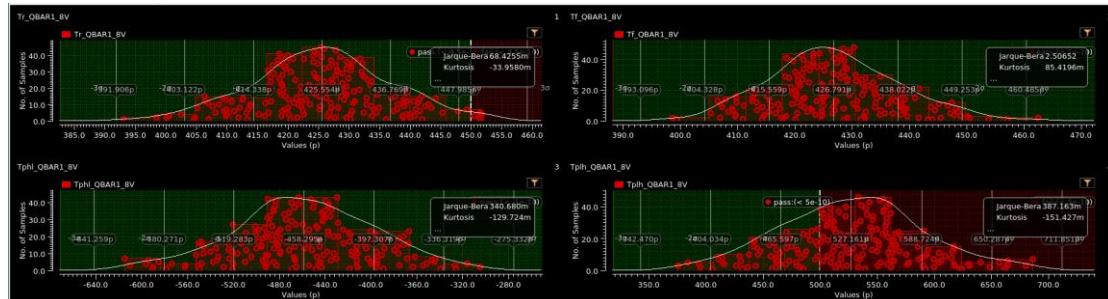
עבור TPDS של Q ו-BL-0 ו-50 מעלות הערכים חורגים מהטוווח ועבור 85 הערכים מתקבבים לטוווח (צהוב).

### בדיקות WRITE במצב Montecarlo -

טבלת תוצאות :

| Test                                   | Output        | Min     | Max     | Mean    | Median  | Std Dev | Spec    | Pass/Fail |
|--|---------------|---------|---------|---------|---------|---------|---------|-----------|
| project_T6_SRAM_6T_SRAM_original_schem | Tr_QBAR1_8V   | 393p    | 451.7p  | 425.6p  | 425.7p  | 11.22p  | < 450p  | near      |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_QBAR1_8V   | 398.6p  | 462.5p  | 426.8p  | 426.5p  | 11.23p  | > 100p  | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_QBAR1_8V | -614.7p | -304.7p | -458.3p | -458.6p | 60.99p  | < -100p | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_QBAR1_8V | 375.4p  | 686p    | 527.2p  | 526.8p  | 61.56p  | < 500p  | fail      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_QBAR1_8V  | 31.2p   | 37.59p  | 34.43p  | 34.58p  | 1.177p  | < 40p   | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tr_Q1_8V      | 4n      | 4n      | 4n      | 4n      | 0       | < 5n    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_Q1_8V      | 4n      | 4n      | 4n      | 4n      | 0       | > 1n    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_Q1_8V    | -686p   | -375.4p | -527.2p | -526.8p | 61.56p  | < -500p | fail      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_Q1_8V    | 304.7p  | 614.7p  | 458.3p  | 458.6p  | 60.99p  | < 460p  | fail      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_Q1_8V     | -37.59p | -31.2p  | -34.43p | -34.58p | 1.177p  | < -30p  | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tr_BLB1_8V    | 4n      | 4n      | 4n      | 4n      | 0       | < 5n    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_BLB1_8V    | 4n      | 4n      | 4n      | 4n      | 0       | > 1n    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_BLB1_8V  | 1.005u  | 1.005u  | 1.005u  | 1.005u  | 0       | < 2u    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_BLB1_8V  | -1.005u | -1.005u | -1.005u | -1.005u | 0       | < -0.5u | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_BLB1_8V   | 0       | 0       | 0       | 0       | 0       |         |           |
| project_T6_SRAM_6T_SRAM_original_schem | Tr_BL1_8V     | 4n      | 4n      | 4n      | 4n      | 0       | < 5n    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tf_BL1_8V     | 4n      | 4n      | 4n      | 4n      | 0       | > 1n    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tphl_BL1_8V   | -1.006u | -1.005u | -1.006u | -1.006u | 61.56p  | < -0.5u | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tplh_BL1_8V   | 1.005u  | 1.006u  | 1.005u  | 1.005u  | 60.99p  | < 2u    | pass      |
| project_T6_SRAM_6T_SRAM_original_schem | Tpd_BL1_8V    | -37.59p | -31.2p  | -34.43p | -34.58p | 1.177p  | < -30p  | pass      |

טבלת תוצאות שהתקבלו בבדיקה WRITE במצב montecarlo - 17 Table



WRITE בדיקת montecarlo במצב - 12 graph

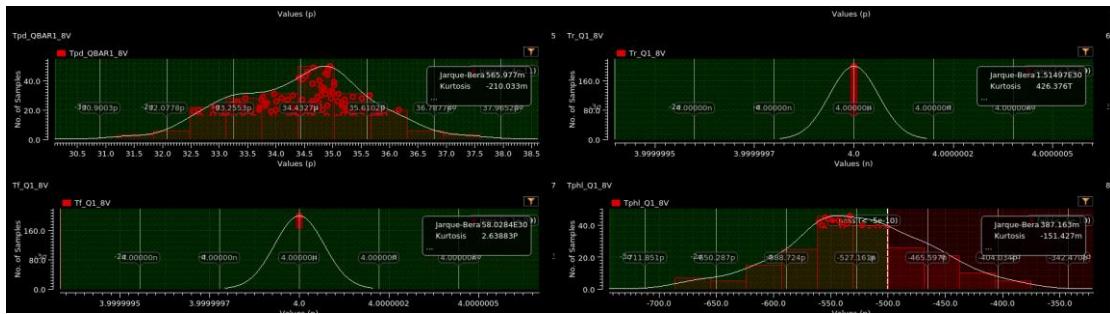
ניתן לראות לפי גרף מס 12 שעבור הזמנים הבאים התקבלו התוצאות :

התקבלו טווח הזמנים 392ps – 453ps כאשר זמן האופטימלי והמהיר ביותר הינו .392ps.

התקבלו טווח הזמנים 399ps – 461ps כאשר זמן האופטימלי והמהיר ביותר הינו .399ps.

התקבלו טווח הזמנים 375ps – 680ps כאשר זמן האופטימלי והמהיר ביותר הינו .375ps.

התקבלו טווח הזמנים ( 300ps) – (-620ps) כאשר זמן האופטימלי והמהיר ביותר הינו .-300ps.



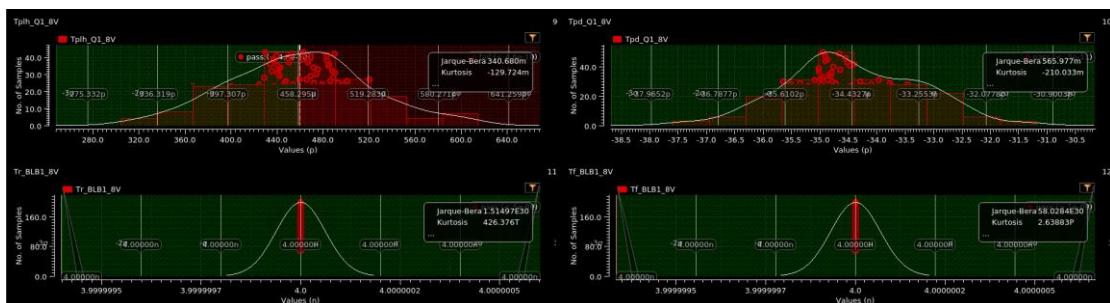
WRITE - תוצאות בדיקת montecarlo במאב 13 graph

ניתן לראות לפי גרפף מס 13 שעבור הזמן הבאים התקבלו התוצאות :

התקבלו טווח הזמן  $32.5\text{ps} - 36.5\text{ps}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $32.5\text{ps}$ .

התקבלו טווח הזמן היחיד בזמן  $4\text{ns}$  :  $\text{Tf}_Q, \text{Tr}_Q$

התקבלו טווח הזמן ( $-550\text{ps} - 500\text{ps}$ ) כאשר זמן האופטימלי והמהיר ביותר הינו  $-500\text{ps}$  :  $\text{Tphl}_Q$



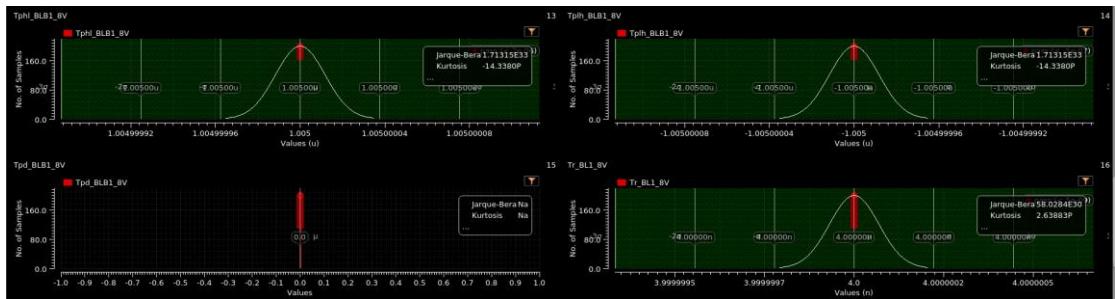
WRITE - תוצאות בדיקת montecarlo במאב 14 graph

ניתן לראות לפי גרפף מס 14 שעבור הזמן הבאים התקבלו התוצאות :

התקבלו טווח הזמן  $430\text{ps} - 520\text{ps}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $430\text{ps}$ .

התקבלו טווח הזמן ( $-36.2\text{ps} - 33.2\text{ps}$ ) כאשר זמן האופטימלי והמהיר ביותר הינו  $-33.2\text{ps}$  :  $\text{Tpd}_Q$

התקבלו טווח הזמן היחיד בזמן  $4\text{ns}$  :  $\text{Tf}_BLB, \text{Tr}_BLB$



WRITE - תוצאות בדיקת montecarlo במאובן - 15 graph

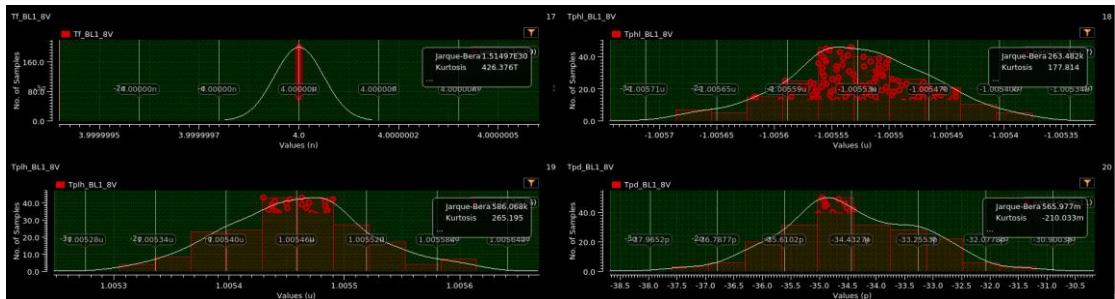
ניתן לראות לפי גרף מס 15 שעבור הזמן הזמני הבאים התקבלו התוצאות :

.-1.005us : התקבלו טווח הזמן הזמני היחיד בזמן .

.1.005us : התקבלו טווח הזמן הזמני היחיד בזמן .

Tphl\_BLB = Tphh\_BLB + Tpd\_BLB

.4ns : התקבלו שזמן על 0s שכן Tr\_BL



WRITE - תוצאות בדיקת montecarlo במאובן - 16 graph

עבור גרף 6 התקבלו התוצאות הבאות :

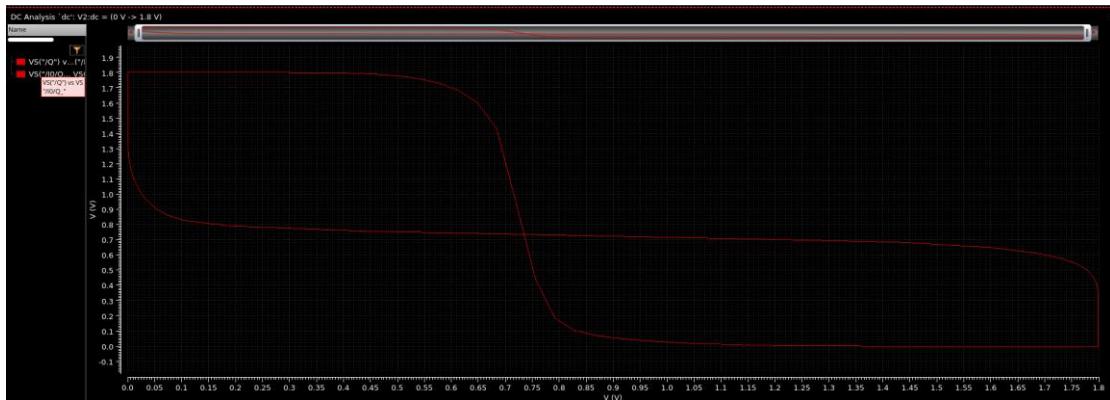
.4ns : התקבלו שזמן על 0s שכן Tf\_BL

: התקבלו שזמן על 0s (1.00545us – 1.0055us) כאשר זמן האופטימלי וההמיהר ביותר הינו .1.00545us

: התקבלו שזמן על 0s (1.00543us – -1.00563us) כאשר זמן האופטימלי וההמיהר ביותר הינו .-1.00543us

: התקבלו שזמן על 0s (-34.5ps) – (-35ps) כאשר זמן האופטימלי וההמיהר ביותר הינו .-34.5ps

## ▷ בדיקת מצב יציבות במצב HOLD :



T6-SRAM – תוצאה מצב HOLD עבור רכיב READ – 17 graph

ניתן לראות שמתකבל בגרף מס' 17 מצב HOLD בו יש היפוך בין Q לQBAR המראה נק' אי יציבות בינויהם במצב HOLD.

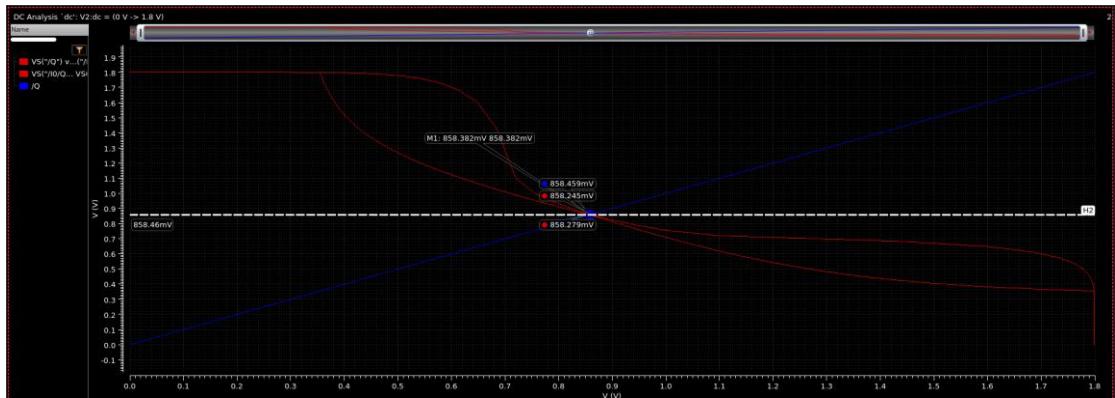
## ▷ בדיקת מצב יציבות במצב READ :



T6-SRAM - מצב READ עבור רכיב READ - 18 graph

ניתן לראות בגרף מס' 18 שמתකבל היפוך בין Q לQBAR המראה נק' אי יציבות בינויהם במצב READ.

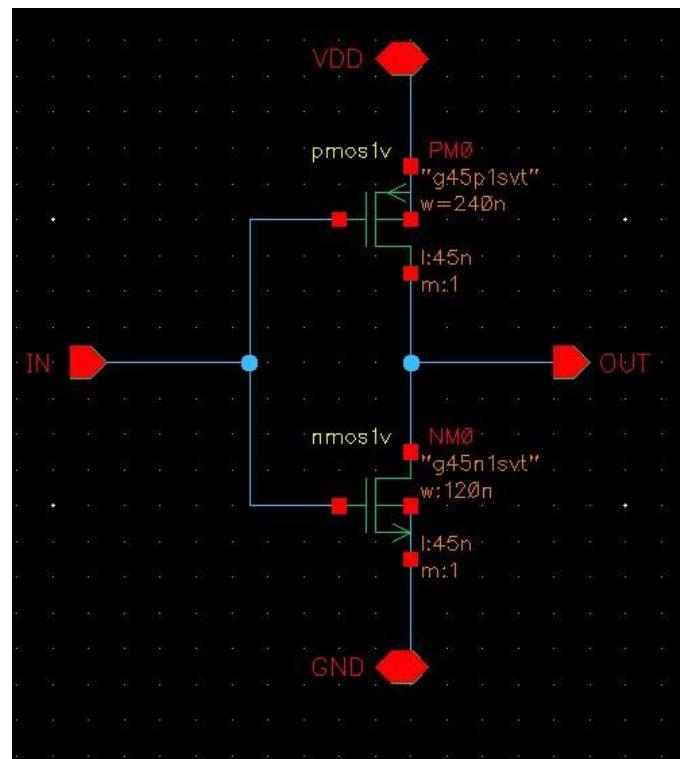
## ▷ בדיקת מצב יציבות במצב WRITE



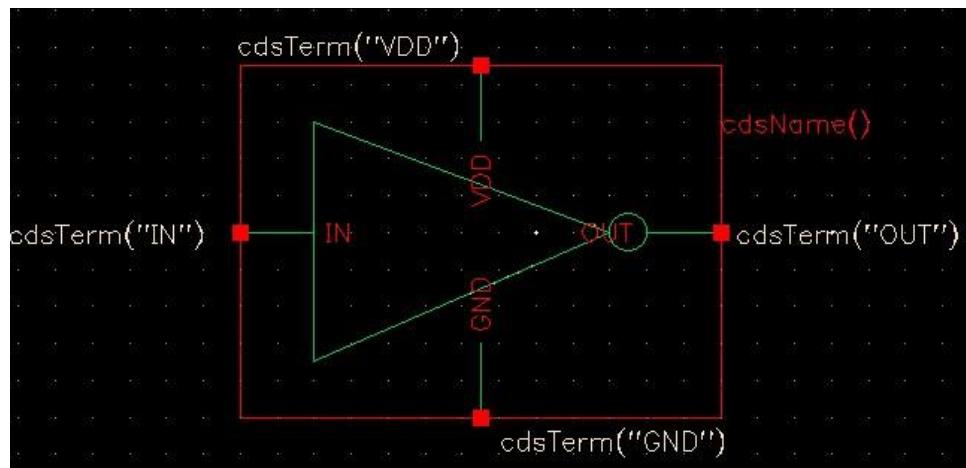
T6-SRAM-19-תוצאות מצב WRITE עבור רכיב graph

ניתן לראות שמתකבל בגרף מס' 19 מצב WRITE בו יש היפוך בין Q לQBAR המראה נק' אי יציבות בינויהם במצב HOLD.

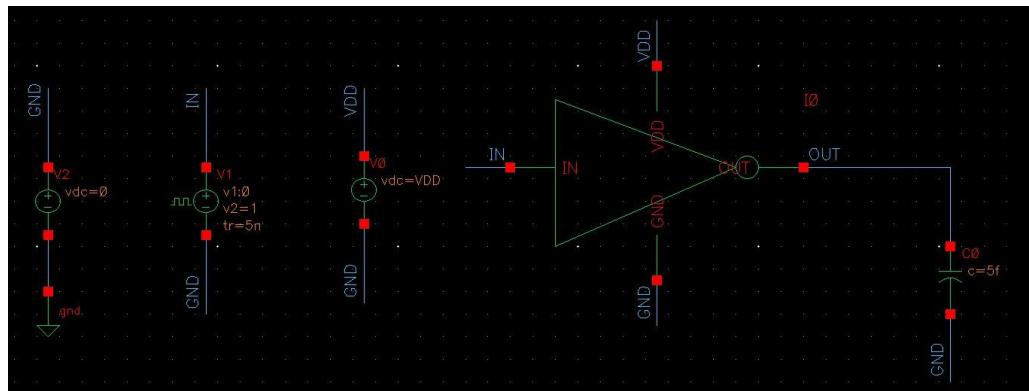
• בנייה רכיב :inverter



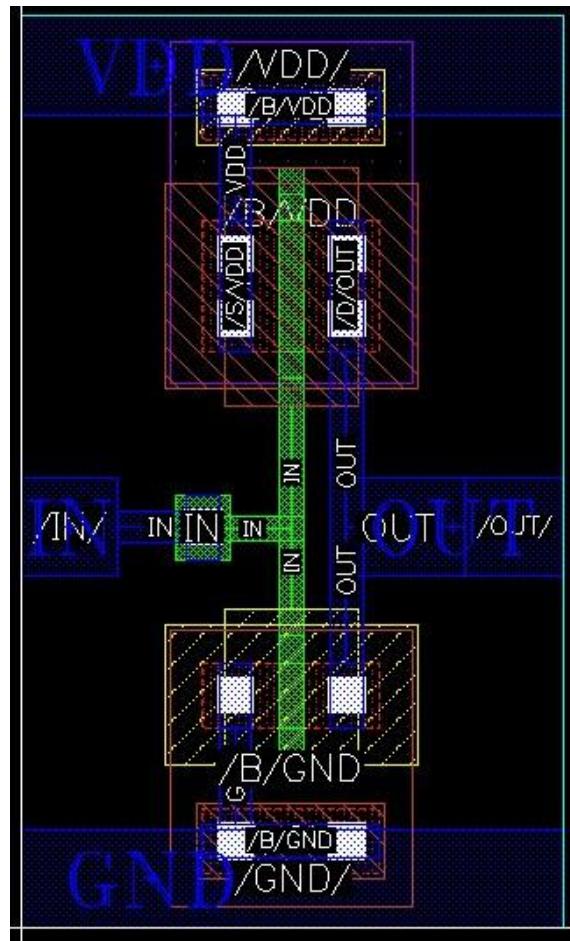
Inverter schematic -20 Figure



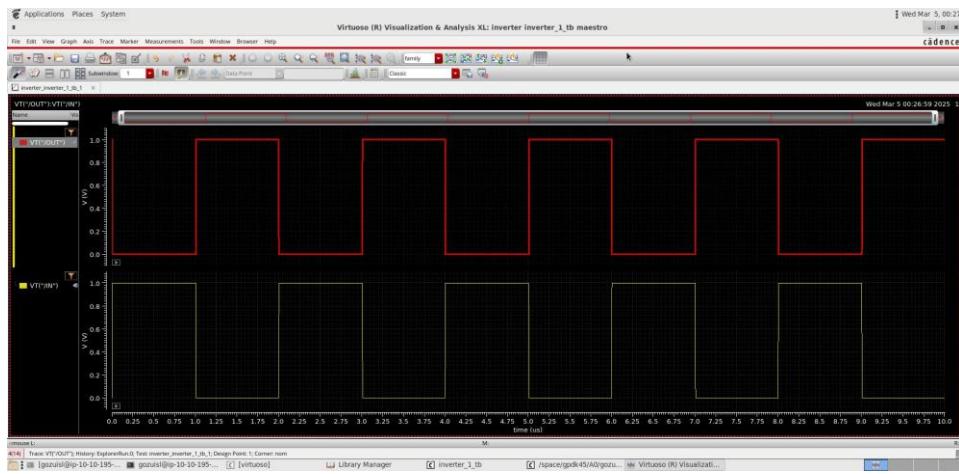
Inverter symbol -21 Figure



Inverter symbol - 22 Figure



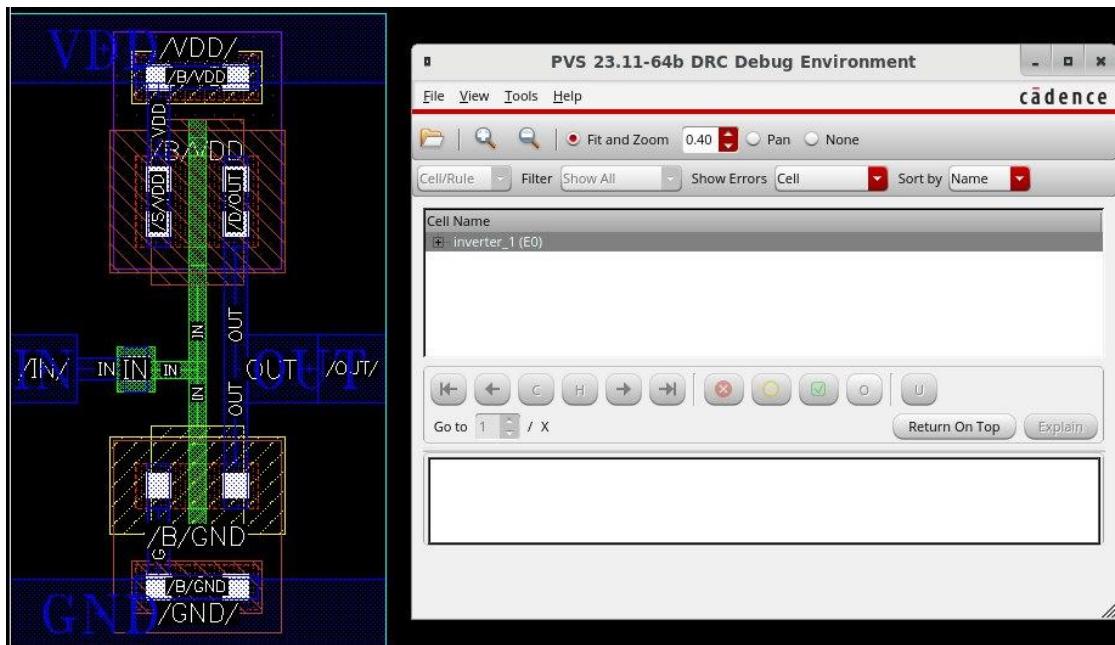
הבר רכיב Layout -23 Figure



תקין רכיב 20 graph

ניתן לראות גרפ מס' 20 כאשר  $IN=0$  מתקבל  $OUT=1$ . דבר המראה את תקינות הרכיב.

### בדיקות DRC לרכיב Inverter



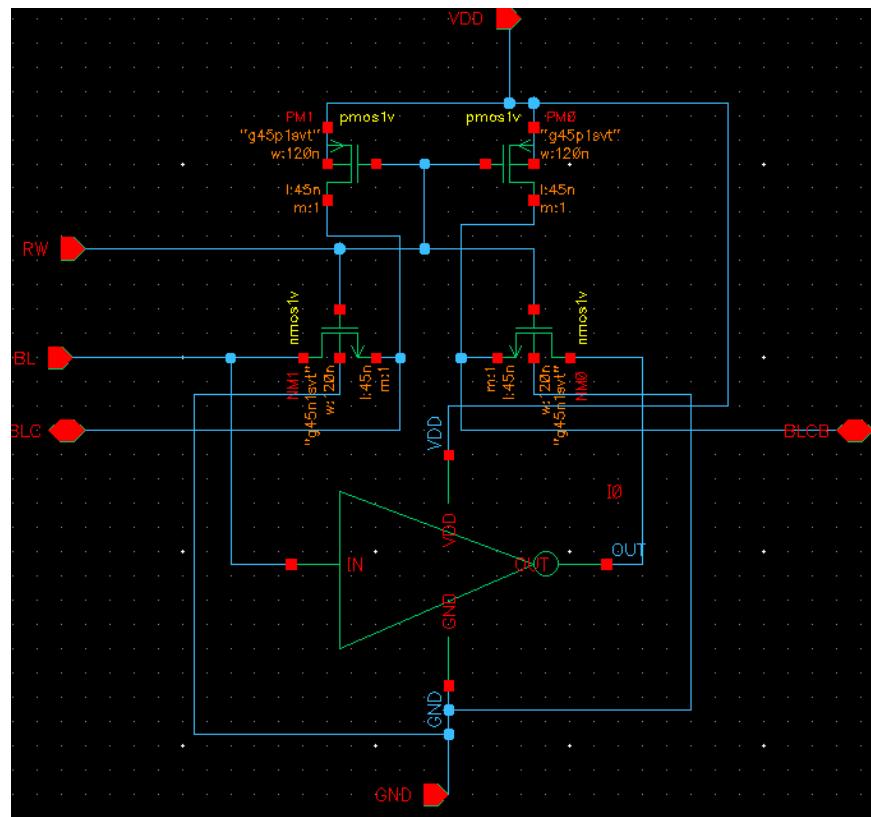
על פי איור מס' 24 ניתן לראות כי בדיקת DRC לרכיב זה תקינה.

### בדיקות LVS לרכיב Inverter

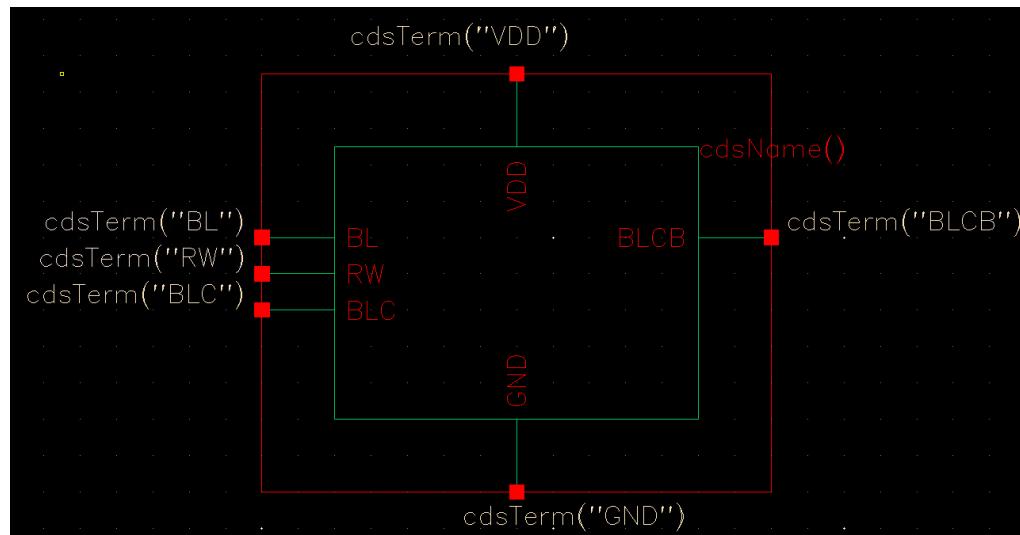


על פי איור מס' 25 ניתן לראות כי בדיקת LVS לרכיב זה תקינה.

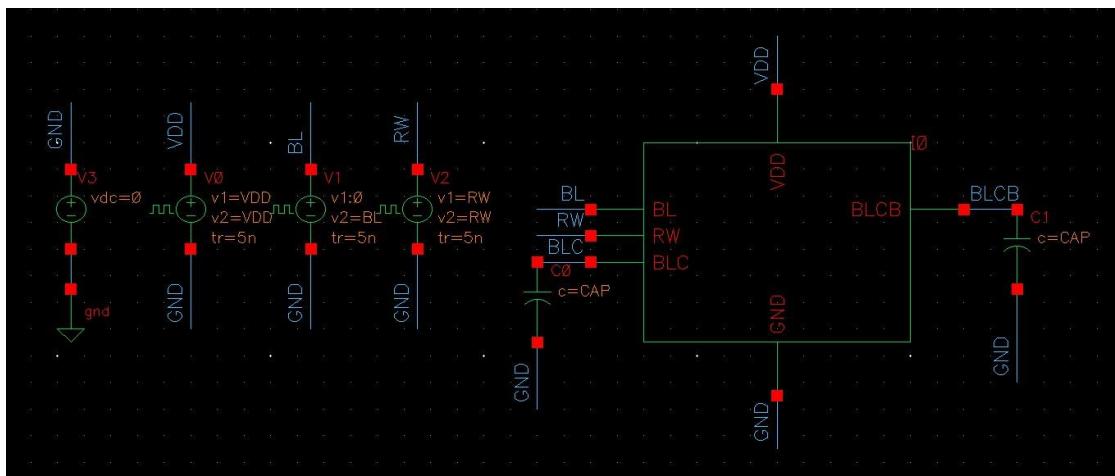
## • בנית רכיב Pre-charge •



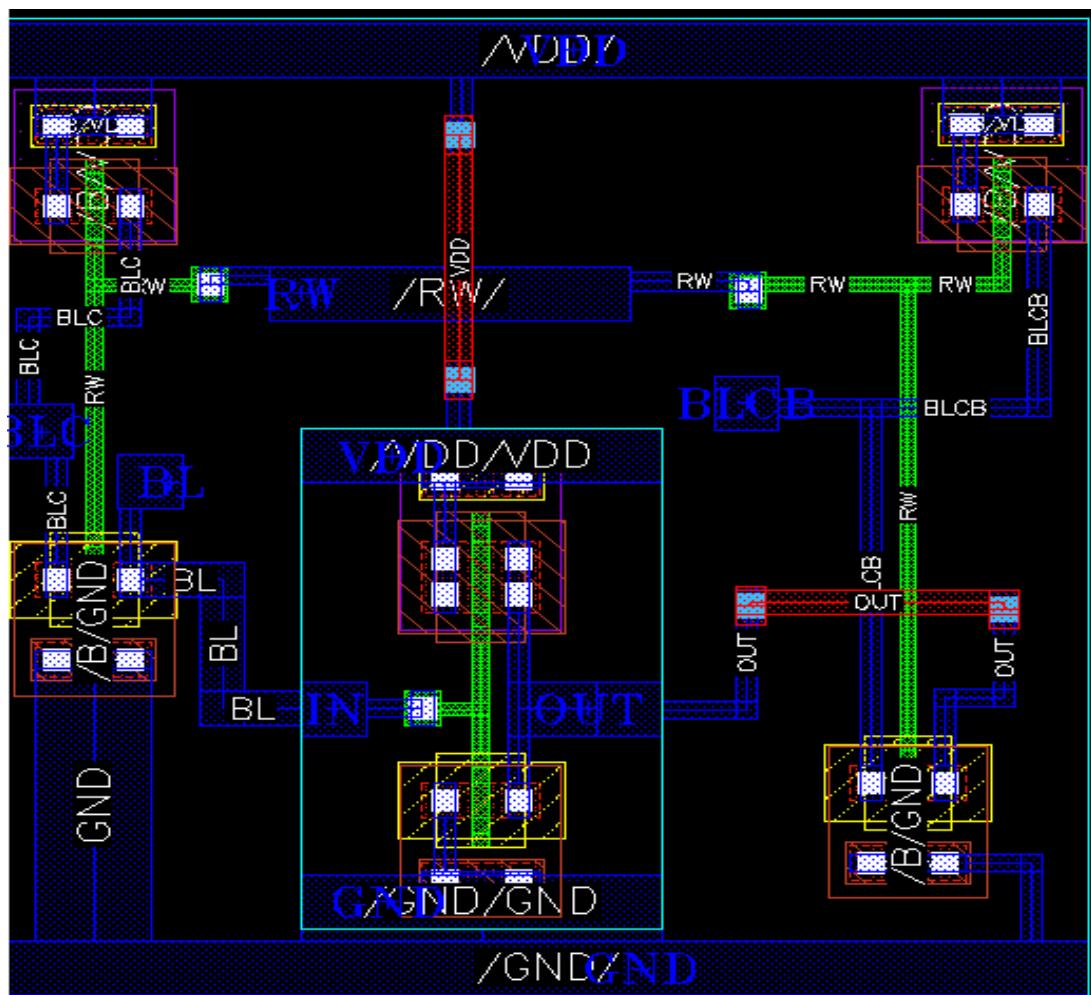
Pre-charge schematic - 26 Figure



Pre-charge symbol - 27 Figure

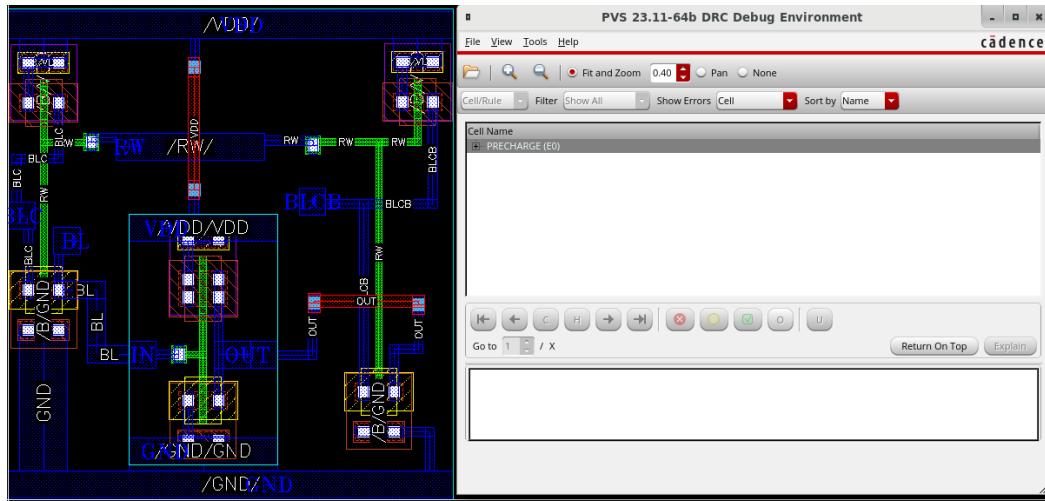


הבר רכיב עבורי Pre-charge symbol - 28 Figure



הבר רכיב עבורי layout Pre-charge - 29 Figure

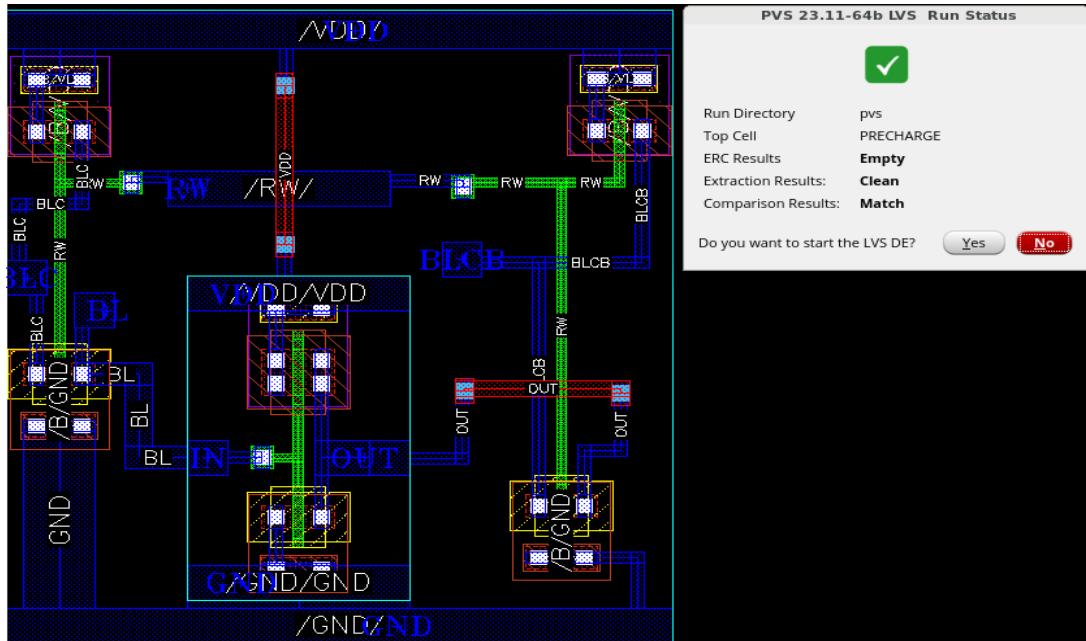
## בדיקות DRC לרכיב Pre-charge



Pre-charge DRC Über רכיב – 30 Figure

על פי איור מס' 30 ניתן לראות כי בדיקת DRC לרכיב זה תקינה.

## בדיקות LVS לרכיב Pre-charge



Pre-charge LVS Über רכיב – 31 Figure

על פי איור מס' 31 ניתן לראות כי בדיקת LVS לרכיב Pre-charge זה תקינה.

## • בדיקת רכיב Pre-charge

► מצב WRITE



Pre-charge – מצב WRITE עבור רכיב 21 graph

ניתן לראות בגרף 21 כאשר  $Q=0$  ו-  $BL=1$  מתקבל  $BLB=1$  ו-  $QBAR=0$  ולהפך. תוצאה זו הינה תקינה ומցיגה כי המעגל עובד בצורה ייעילה.

| Name               | Type | Details  | Value   | Plot | Save | Spec |
|--------------------|------|--|---------|------|------|------|
| Vor_PRECHARGE_TB_1 | expr | VTC(BLC)   |         |      |      |      |
| Simulator spectre  |      |  |         |      |      |      |
| Design Verifier    |      |  |         |      |      |      |
| Clock to analysis  |      |  |         |      |      |      |
| Design Verifier    |      |  |         |      |      |      |
| BL                 | expr | maxTime(VTC(BLC)) int 1.5 int 10.90 int "none"   | 85.4p   |      |      |      |
| BLB                | expr | maxTime(VTC(BLCB)) 1.8 int 0 int 10.90 int "none"  | 352.5p  |      |      |      |
| Tph_BLC_1_V        | expr | delay(w1 VTC(BLC)) value1 0.9 hedge1 "falling" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLCB) 1... | -89.8p  |      |      |      |
| Tph_BLCB_1_V       | expr | delay(w1 VTC(BLC)) value1 0.9 hedge1 "rising" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLCB) 1...  | 136.5p  |      |      |      |
| Tph_BLC_1_V_V      | expr | (0.5 * (Tph_BLC_1_V - Tph_BLC_1_V))  | 23.31p  |      |      |      |
| Tph_BLC_1_V_V      | expr | maxTime(VTC(BLC)) int 1.5 int 10.90 int "none"   | 3.823n  |      |      |      |
| Tph_BLC_1_V_V      | expr | delay(w1 VTC(BLC)) value1 0.9 hedge1 "falling" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLCB) 1... | 2.425n  |      |      |      |
| Tph_BLC_1_V_V      | expr | delay(w1 VTC(BLC)) value1 0.9 hedge1 "rising" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLCB) 1...  | 136.5p  |      |      |      |
| Tph_BLC_1_V_V      | expr | (0.5 * (Tph_BLC_1_V + Tph_BLC_1_V))  | 23.31p  |      |      |      |
| VTC(BL)            | expr | VTC(BL)  |         |      |      |      |
| VTC(RW)            | expr | VTC(RW)  |         |      |      |      |
| Tr_BL_1_V          | expr | maxTime(VTC(BLC)) int 1.5 int 10.90 int "none"   | 4n      |      |      |      |
| Tr_BL_1_V          | expr | delay(w1 VTC(BLC)) value1 1.0 hedge1 "none"  | 4n      |      |      |      |
| Tph_BL_1_V         | expr | delay(w1 VTC(BLC)) value1 0.0 hedge1 "falling" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLC) 1...  | -138p   |      |      |      |
| Tph_BL_1_V         | expr | delay(w1 VTC(BLC)) value1 0.9 hedge1 "rising" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLC) 1...   | 88.39p  |      |      |      |
| Tph_BL_1_V_V       | expr | (0.5 * (Tph_BL_1_V + Tph_BL_1_V))  | -24.79p |      |      |      |
| Tph_RW_1_V         | expr | delay(w1 VTC(BLC)) value1 0.9 hedge1 "falling" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLC) 1...  | -1.005u |      |      |      |
| Tph_RW_1_V         | expr | delay(w1 VTC(BLC)) value1 0.9 hedge1 "rising" int h1 1.8 hd1 0.0 hd1 int tw2 VTC(BLC) 1...   | 1.005u  |      |      |      |
| Tpd_RW_1_V         | expr | (0.5 * (Tph_RW_1_V + Tph_RW_1_V))  | -1.478p |      |      |      |

Table 18 - נתונים ותוצאת הזמן שוחזרו במצב WRITE עבור רכיב Pre-charge

**מצב READ** ➤



*Pre-charge READ עברו רכיב 22 graph*

ניתן לראות בגרף מס' 22 כאשר  $BLB=1$  ו-  $BL=1$  מתקבל  $Q=1$  ו-  $QBAR=0$  ולהפך. תוצאה זו הינה טקינה ומזכירה כי המיגל עובד בצורה ייעילה.

Virtuoso® ADE Explorer Editing: iior PRECHARGE\_TB maestro

File Edit View Insert Tools Options Help

Launch Session Setup Analyses Variables Outputs Simulation Results Tools EAD Parasitics/LDE Window Help

Setup

Replace (None) PRECHARGE\_TB

Name Value

Precharge Model TB\_1

Design Variables

- R<sub>L</sub> 1.8
- C<sub>L</sub> 0.1
- R<sub>IN</sub> 0
- VDD 0
- VSS -1.8
- CAP 1e

Parameters

- CD 0.5540
- g<sub>PKT</sub> 0.001
- g<sub>OFF</sub> 0.001

Reliability Analyses

- Monte Carlo Sampling

Task Standard Monte Carlo:  
Number of Pcs... 200  
Sampling Method: Latin Hypercube

Checks/Asserts

mouse L1

File Explorer Run Results

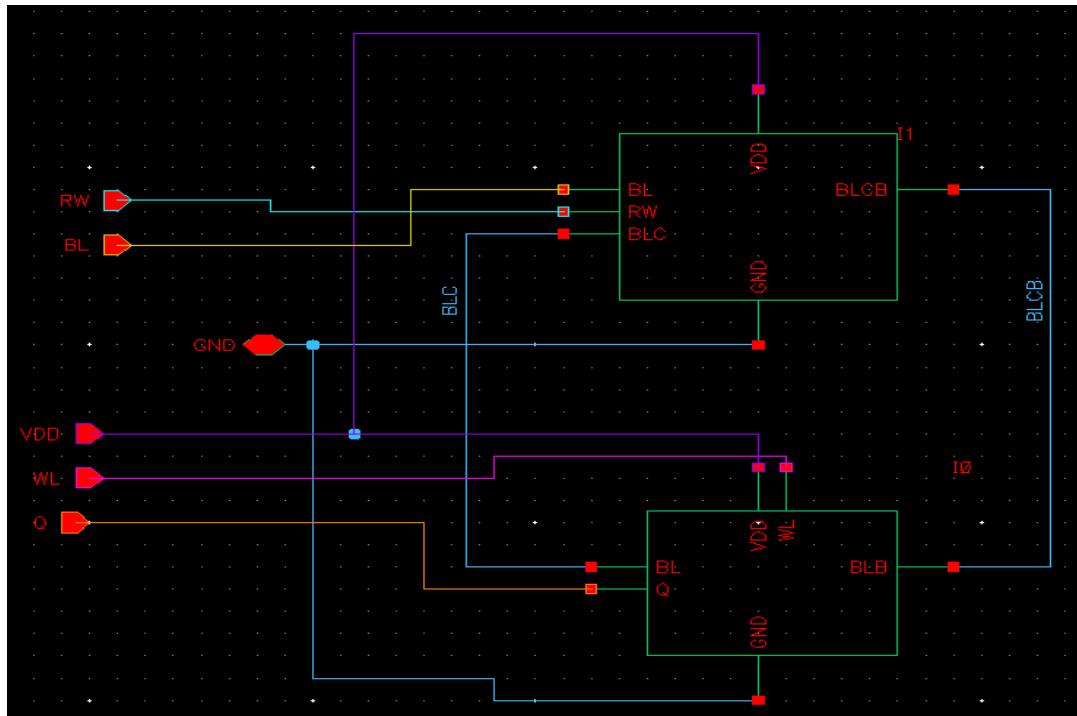
PRECHARGE\_TB.sch PRECHARGE\_TB.mast

Results ExplorerRun No PRECHARGE\_TB schematic Batch

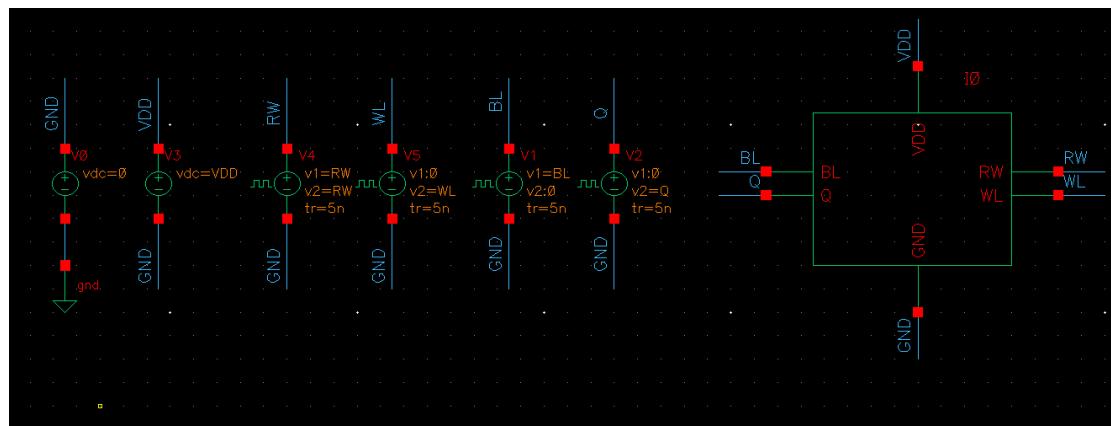
| Name                      | Type | Details   | Value    | Plot | Save | Spec |
|---------------------------|------|---|----------|------|------|------|
| i                         | exp  | VTC(BLC)  |          |      |      |      |
| o                         | exp  | VTC(BLCB)   |          |      |      |      |
| T <sub>r</sub> _BLCB_1_AV | expr | riseTime(VTC(BLCB)) 0 ns 1.5 ns 10 ns ("none")              | 2.824ns  |      |      |      |
| T <sub>r</sub> _BLCB_1_SW | expr | fallTime(VTC(BLCB)) 1.5 ns 0.0 ns 10 ns ("none")            | 6.336ns  |      |      |      |
| T <sub>r</sub> _BLCB_1_VH | expr | designHolt(VTC(BLCB)) 0.0 ns 1.8 ns 0.0 ns ("none")         | 1.005ns  |      |      |      |
| T <sub>r</sub> _BLCB_1_VL | expr | designHolt(VTC(BLCB)) 1.8 ns 0.0 ns 1.0 ns ("none")         | 1.005ns  |      |      |      |
| T <sub>r</sub> _BLCB_1_AV | expr | 0.5*(T <sub>r</sub> _BLCB_1_AV + T <sub>r</sub> _BLCB_1_SW) | 122.3ns  |      |      |      |
| T <sub>r</sub> _BLCB_1_SW | expr | riseTime(VTC(BLC)) 1.5 ns 0.0 ns 10 ns ("none")             | 3.058ns  |      |      |      |
| T <sub>r</sub> _BLCB_1_VH | expr | fallTime(VTC(BLC)) 1.5 ns 0.0 ns 10 ns ("none")             | 22.2ns   |      |      |      |
| T <sub>r</sub> _BLCB_1_VL | expr | designHolt(VTC(BLC)) 0.0 ns 1.8 ns 0.0 ns 1.0 ns ("none")   | 1.005ns  |      |      |      |
| T <sub>r</sub> _BLCB_1_AV | expr | 0.5*(T <sub>r</sub> _BLCB_1_AV + T <sub>r</sub> _BLCB_1_SW) | 122.3ns  |      |      |      |
| i                         | exp  | VTC(BLC)  |          |      |      |      |
| o                         | exp  | VTC(BLCB)   |          |      |      |      |
| T <sub>r</sub> _BL_1_AV   | expr | riseTime(VTC(BLC)) 0.0 ns 1.8 ns 10 ns ("none")             | 4ns      |      |      |      |
| T <sub>r</sub> _BL_1_SW   | expr | fallTime(VTC(BLC)) 1.8 ns 0.0 ns 10 ns ("none")             | 4ns      |      |      |      |
| T <sub>r</sub> _BL_1_VH   | expr | designHolt(VTC(BLC)) 0.0 ns 1.8 ns 0.0 ns 1.0 ns ("none")   | 1.097ns  |      |      |      |
| T <sub>r</sub> _BL_1_VL   | expr | designHolt(VTC(BLC)) 1.8 ns 0.0 ns 1.0 ns 0.0 ns ("none")   | 1.095ns  |      |      |      |
| T <sub>r</sub> _BL_1_AV   | expr | 0.5*(T <sub>r</sub> _BL_1_AV + T <sub>r</sub> _BL_1_SW)     | -1.103ns |      |      |      |
| T <sub>r</sub> _RW_1_AV   | expr | designHolt(VTC(BLC)) 0.0 ns 1.8 ns 0.0 ns 1.0 ns ("none")   | 1.097ns  |      |      |      |
| T <sub>r</sub> _RW_1_SW   | expr | designHolt(VTC(BLC)) 1.8 ns 0.0 ns 1.0 ns 0.0 ns ("none")   | -1.100ns |      |      |      |
| T <sub>r</sub> _RW_1_VH   | expr | 0.5*(T <sub>r</sub> _RW_1_AV + T <sub>r</sub> _RW_1_SW)     | -1.103ns |      |      |      |

Table 19- נסוכם ותוצאת הזמן שחוון למשך READ עבר רכיב

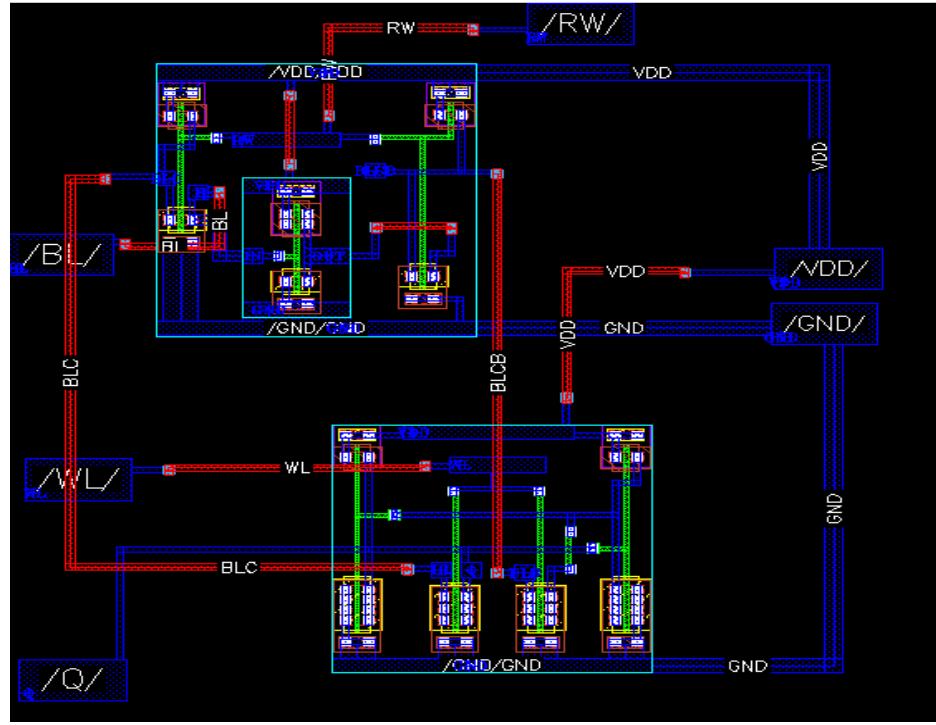
## • בניית רכיב מ- Pre-charge עם T6-SRAM



T6-SRAM עבור מחבר ביחד עם Pre-charge schematic – 32 Figure

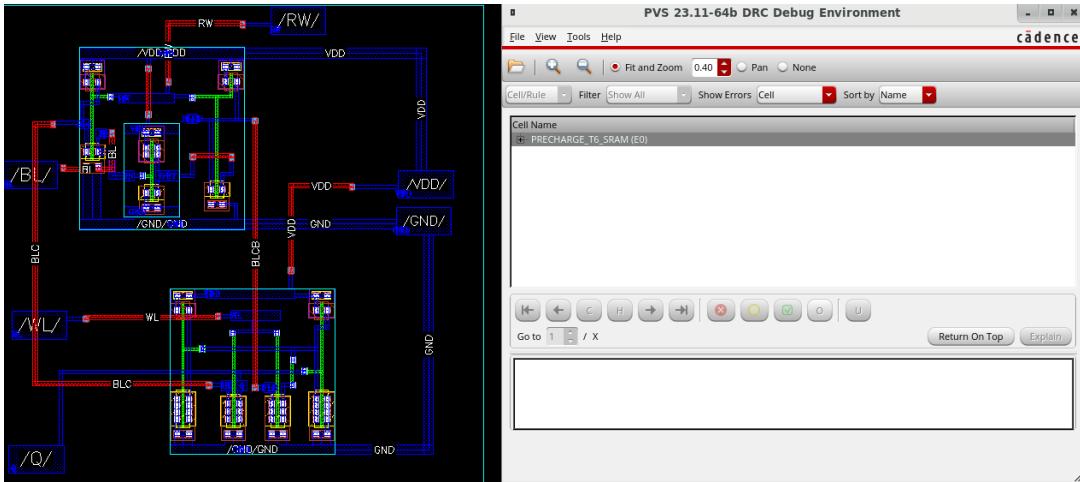


T6-SRAM עבור מחבר ביחד עם Pre-charge symbol - 33 Figure



T6-SRAM עברור precharge מחובר ביחד עם DRC - 34 Figure

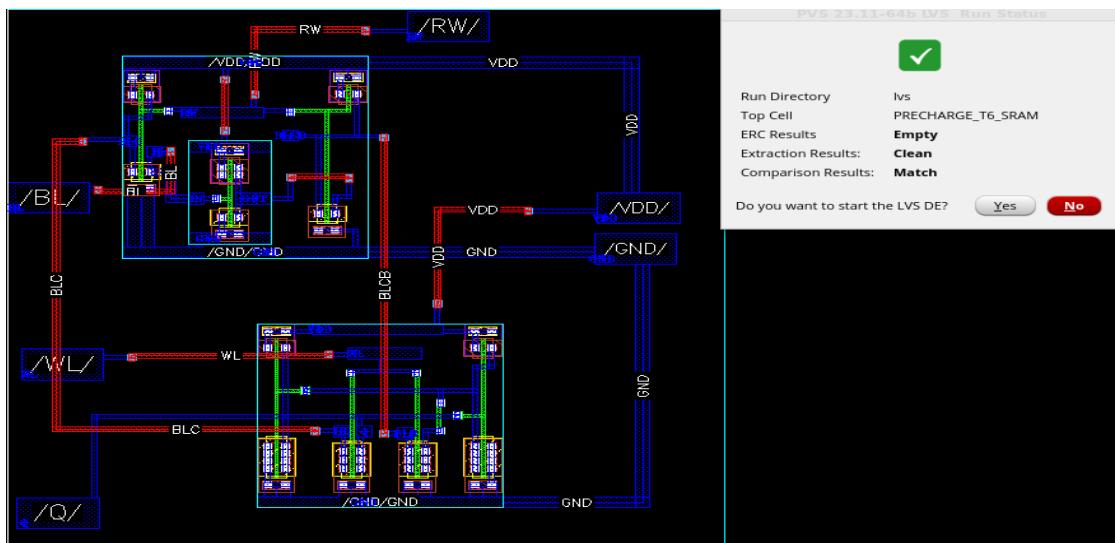
### בדיקת DRC לרכיב Pre-charge ביחיד עם T6-SRAM



T6-SRAM עברור precharge מחובר ביחד עם DRC - 35 Figure

על פי איור מס' 35 ניתן לראות כי בבדיקה DRC לרכיבים אלו חוברו בצורה תקינה.

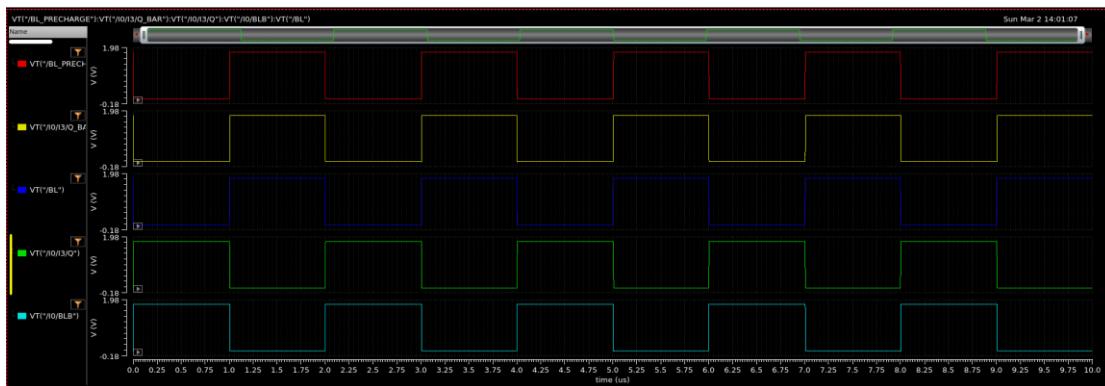
## - בדיקת LVS לרכיב Pre-charge מחובר ביחד עם T6-SRAM -



על פי איור מס' 36 ניתן לראות כי בדיקת LVS לרכיבים אלו חוברו בצורה תקינה.  
Figure 36 - You can see from the figure that the components are connected correctly.

## • בדיקת רכיב הבניי מ- Pre-charge עם T6-SRAM

► מצב WRITE



23 graph – עברו מצב WRITE לרכיב precharge מוחבר בלבד עם T6-SRAM

ניתן לראות בגרף 23 כאשר  $BL=1$  או גם  $Q=0$  וכשהם  $QBAR=1$  וכאן להפוך. תוצאה זו הינה תקינה ומציגה כי המודול עובד בדומה לעיליה.

|              |      |  |         |                                     |                          |         |
|--------------|------|--|---------|-------------------------------------|--------------------------|---------|
| Tr_BL1.8V    | expr | fallTime(VT*/BL) 1.8 nil 0 nil 10 90 "time")   | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 1n    |
| Tf_BLB1.8V   | expr | fallTime(VT*/I0/BLB) 1.8 nil 0 nil 10 90 "time")   | 256.1p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 40p   |
| Tf_Q1.8V     | expr | fallTime(VT*/I0/I3/Q) 1.8 nil 0 nil 10 90 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 1n    |
| Tf_QBAR1.8V  | expr | fallTime(VT*/I0/I3/Q,BAR) 1.8 nil 0 nil 10 90 "time")  | 425.5p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 80p   |
| Tpd_QBARVSL  | expr | (0.5 * (TpHl_QBARVSL + Tphl_QBARVSL))  | -34.76p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -20p  |
| Tpd_QBARVSQ  | expr | (0.5 * (TpHl_QBARVSQ + Tphl_QBARVSQ))  | -34.76p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -20p  |
| Tpd_QVSBLB   | expr | (0.5 * (TpHl_QVSBLB + Tphl_QVSBLB))  | 35.54p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 36p   |
| Tpd_QVSQBAR  | expr | (0.5 * (TpHl_QVSQBAR + Tphl_QVSQBAR))  | 34.76p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 37p   |
| Tphl_QBARVSL | expr | delay(?wf1 VT*/I0/I3/Q,BAR?) value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/...    | -1.006u | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -0.5u |
| Tphl_QBARVSQ | expr | delay(?wf1 VT*/I0/I3/Q,BAR?) value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/...    | -527.2p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -300p |
| Tphl_QVSBLB  | expr | delay(?wf1 VT*/I0/I3/Q?) value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/I0/BL...   | 1.006u  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 1.05u |
| Tphl_QVSQBAR | expr | delay(?wf1 VT*/I0/I3/Q?) value1 0.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/I0/I3/...  | -457.7p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -250p |
| Tphl_QBARVSL | expr | delay(?wf1 VT*/I0/I3/Q,BAR?) value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/...   | 1.005u  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 1.2u  |
| Tphl_QBARVSQ | expr | delay(?wf1 VT*/I0/I3/Q,BAR?) value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/...   | 457.7p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 480p  |
| Tphl_QVSBLB  | expr | delay(?wf1 VT*/I0/I3/Q?) value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/I0/BL...  | -1.005u | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -0.5u |
| Tphl_QVSQBAR | expr | delay(?wf1 VT*/I0/I3/Q?) value1 0.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 nil ?wf2 VT*/I0/I3/... | 527.2p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 700p  |
| TR_BL1.8V    | expr | riseTime(VT*/BL) 0 nil 1.8 nil 10 90 "time")   | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 5n    |
| TR_BLB1.8V   | expr | riseTime(VT*/I0/BLB) 0 nil 1.8 nil 10 90 "time")   | 283.2p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 290p  |
| TR_Q1.8V     | expr | riseTime(VT*/I0/I3/Q) 0 nil 1.8 nil 10 90 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 5n    |
| TR_QBAR1.8V  | expr | riseTime(VT*/I0/I3/Q,BAR) 0 nil 1.8 nil 10 90 "time")  | 424.7p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 600p  |

20- נתונים ותוצאת הזמן שהוזנו עבור מצב WRITE לרכיב precharge מוחבר בלבד עם T6-SRAM

▪ בדיקת corners test -

בבדיקה corners נבדקו הממצבים הבאים : ff,fs,sf,ss,tt . הבדיקה בוצעה עבור המעלות : 10,-10,-85,50.

| Corners                 | <input checked="" type="checkbox"/> Nominal | <input checked="" type="checkbox"/> C0 |
|-------------------------|---|--|
| <b>Temperature</b>      |   | -10,50,85                              |
| <b>Design Variables</b> |   |  |
| Click to add            |   |  |
| <b>Parameters</b>       |   |  |
| Click to add            |   |  |
| <b>Model Files</b>      |   |  |
| gpdk045.scs             | <input checked="" type="checkbox"/>         | ff fs sf ss tt                         |
| Click to add            |   |  |
| <b>Model Group(s)</b>   |   | <modelgroup>                           |
| Click to add            |   |  |
| <b>Tags</b>             |   |  |
| ...mber of Corners      | 1   | 15                                     |

T6-SRAM - נתוני שhortון לבדיקת corners ומעלות עבור מצב WRITE לרכיב precharge מחבר ביחד עם MAM - 21 Table

### תוצאות הבדיקה:

| Corner | temperature | gpdk045.scs | Pass/Fail | Vt("I/O/I3/Q_BAR") | Vt("I/O/I3/Q") | Vt("I/O/BL") | Vt("BL") | Tr_Q1.8V | Tr_QBAR1.8V | Tr_BL1.8V | Tr_BL1.8V | Tr_Q1.8V | Tr_BL1.8V | Tr_BL1.8V | Tphi_QVSQBAR |
|--------|-------------|-------------|-----------|--------------------|----------------|--------------|----------|----------|-------------|-----------|-----------|----------|-----------|-----------|--------------|
| Filter | Filter      | Filter      | Filter    | Filter             | Filter         | Filter       | Filter   | Filter   | Filter      | Filter    | Filter    | Filter   | Filter    | Filter    | Filter       |
| nom    | 27          | mc          | pass      | 4n                 | 424.7p         | 4n           | 283.2p   | 425.5p   | 4n          | 256.1p    | 4n        | 457.7p   |           |           |              |
| C0_0   | -10         | ff          | fail      | 4n                 | 495.3p         | 4n           | 353p     | 497.9p   | 4n          | 338.3p    | 4n        | 533.7p   |           |           |              |
| C0_1   | 50          | ff          | fail      | 4n                 | 558.7p         | 4n           | 367.9p   | 564.4p   | 4n          | 358.9p    | 4n        | 525.1p   |           |           |              |
| C0_2   | 85          | ff          | fail      | 4n                 | 586p           | 4n           | 391.2p   | 587.4p   | 4n          | 369.7p    | 4n        | 524.3p   |           |           |              |
| C0_3   | -10         | fs          | fail      | 4n                 | 381.8p         | 4n           | 269.5p   | 390.3p   | 4n          | 257.9p    | 4n        | 566p     |           |           |              |
| C0_4   | 50          | fs          | fail      | 4n                 | 437.8p         | 4n           | 291.1p   | 440.9p   | 4n          | 274.8p    | 4n        | 568.9p   |           |           |              |
| C0_5   | 85          | fs          | fail      | 4n                 | 462.5p         | 4n           | 311.6p   | 464.4p   | 4n          | 289.7p    | 4n        | 577.7p   |           |           |              |
| C0_6   | -10         | sf          | pass      | 4n                 | 392.6p         | 4n           | 256.2p   | 392.4p   | 4n          | 239p      | 4n        | 360.5p   |           |           |              |
| C0_7   | 50          | sf          | fail      | 4n                 | 452.6p         | 4n           | 301.1p   | 451.3p   | 4n          | 256.6p    | 4n        | 356.1p   |           |           |              |
| C0_8   | 85          | sf          | fail      | 4n                 | 482.4p         | 4n           | 298.6p   | 479.2p   | 4n          | 268.9p    | 4n        | 356.2p   |           |           |              |
| C0_9   | 10          | ss          | fail      | 4n                 | 305.5p         | 4n           | 202.7p   | 316.8p   | 4n          | 172.4p    | 4n        | 387.7p   |           |           |              |
| C0_10  | 50          | ss          | fail      | 4n                 | 354.1p         | 4n           | 230.3p   | 363.9p   | 4n          | 189.7p    | 4n        | 393.2p   |           |           |              |
| C0_11  | 85          | ss          | fail      | 4n                 | 379.9p         | 4n           | 248.2p   | 394p     | 4n          | 202.6p    | 4n        | 396.1p   |           |           |              |
| C0_12  | -10         | tt          | pass      | 4n                 | 387.4p         | 4n           | 264.2p   | 391.7p   | 4n          | 247.4p    | 4n        | 460.2p   |           |           |              |
| C0_13  | 50          | tt          | near      | 4n                 | 444.6p         | 4n           | 293.2p   | 444.8p   | 4n          | 262.3p    | 4n        | 457.6p   |           |           |              |
| C0_14  | 85          | tt          | fail      | 4n                 | 470p           | 4n           | 305.6p   | 496.7p   | 4n          | 276.5p    | 4n        | 458.3p   |           |           |              |

| Tphi_QVSQBAR | Tphi_QBARVSQ | Tphi_QBARVSQ | Tphi_QBARVSBL | Tphi_QBARVSBL | Tphi_QVSBLB | Tphi_QVSBLB | Tpd_QBARVSBL | Tpd_QBARVSBL | Tpd_QBARVSQ | Tpd_QVSBLB | Tpd_QVSBLB | Tpd_QVSBLB | Tpd_QVSBLB | Tpd_QVSQBAR |
|--------------|--------------|--------------|---------------|---------------|-------------|-------------|--------------|--------------|-------------|------------|------------|------------|------------|-------------|
| Filter       | Filter       | Filter       | Filter        | Filter        | Filter      | Filter      | Filter       | Filter       | Filter      | Filter     | Filter     | Filter     | Filter     | Filter      |
| 527.2p       | -527.2p      | 457.7p       | -1.006u       | 1.005u        | 1.006u      | -1.005u     | -34.76p      | -34.76p      | 35.94p      | 34.76p     |            |            |            |             |
| 581.9p       | -581.9p      | 533.7p       | -1.006u       | 1.006u        | 1.006u      | -1.006u     | -24.11p      | -24.11p      | 24.4p       | 24.11p     |            |            |            |             |
| 579.2p       | -579.2p      | 525.1p       | -1.006u       | 1.006u        | 1.006u      | -1.006u     | -27.06p      | -27.06p      | 29.77p      | 27.06p     |            |            |            |             |
| 582.5p       | -582.5p      | 524.3p       | -1.006u       | 1.006u        | 1.006u      | -1.006u     | -29.1p       | -29.1p       | 33.52p      | 29.1p      |            |            |            |             |
| 632.6p       | -632.6p      | 566p         | -1.006u       | 1.006u        | 1.006u      | -1.005u     | -33.31p      | -33.31p      | 31.01p      | 33.31p     |            |            |            |             |
| 643.5p       | -643.5p      | 568.9p       | -1.006u       | 1.006u        | 1.006u      | -1.005u     | -37.31p      | -37.31p      | 37.26p      | 37.31p     |            |            |            |             |
| 650.7p       | -650.7p      | 571.7p       | -1.006u       | 1.006u        | 1.006u      | -1.005u     | -39.51p      | -39.51p      | 41.23p      | 39.51p     |            |            |            |             |
| 425.9p       | -425.9p      | 360.5p       | -1.005u       | 1.005u        | 1.006u      | -1.006u     | -32.68p      | -32.68p      | 33.52p      | 32.68p     |            |            |            |             |
| 427.6p       | -427.6p      | 356.1p       | -1.005u       | 1.005u        | 1.006u      | -1.006u     | -35.76p      | -35.76p      | 40.1p       | 35.76p     |            |            |            |             |
| 432.2p       | -432.2p      | 356.2p       | -1.005u       | 1.005u        | 1.006u      | -1.006u     | -37.99p      | -37.99p      | 44.18p      | 37.99p     |            |            |            |             |
| 477.1p       | -477.1p      | 387.7p       | -1.005u       | 1.005u        | 1.005u      | -1.005u     | -44.73p      | -44.73p      | 42.81p      | 44.73p     |            |            |            |             |
| 490p         | -490p        | 393.2p       | -1.005u       | 1.005u        | 1.006u      | -1.005u     | -48.37p      | -48.37p      | 50.62p      | 48.37p     |            |            |            |             |
| 497.6p       | -497.6p      | 396.1p       | -1.005u       | 1.005u        | 1.006u      | -1.005u     | -50.76p      | -50.76p      | 55.47p      | 50.76p     |            |            |            |             |
| 526.2p       | -526.2p      | 460.2p       | -1.006u       | 1.005u        | 1.006u      | -1.005u     | -33p         | -33p         | 32.1p       | 33p        |            |            |            |             |
| 529.8p       | -529.8p      | 457.6p       | -1.006u       | 1.005u        | 1.006u      | -1.005u     | -36.14p      | -36.14p      | 38.45p      | 36.14p     |            |            |            |             |
| 535.4p       | -535.4p      | 458.3p       | -1.006u       | 1.005u        | 1.006u      | -1.005u     | -38.53p      | -38.53p      | 42.52p      | 38.53p     |            |            |            |             |

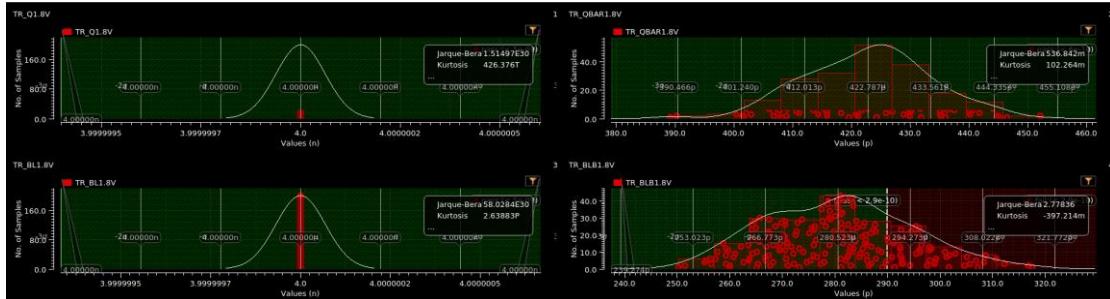
T6-SRAM – תוצאות ערכי TPD עבור מצב WRITE לרכיב precharge מחבר ביחד עם MAM – 22 Table

## בזיקת WRITE במצב Montecarlo -

טבלת תוצאות :

| Test                                      | Output        | Min     | Max     | Mean    | Median  | Std Dev | Spec    | Pass/Fail |
|---|---------------|---------|---------|---------|---------|---------|---------|-----------|
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | TR_Q1.8V      | 4n      | 4n      | 4n      | 4n      | 0       | < 5n    | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | TR_QBAR1.8V   | 305.5p  | 586p    | 438.5p  | 441.2p  | 70.49p  | < 600p  | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | TR_BL1.8V     | 4n      | 4n      | 4n      | 4n      | 0       | < 5n    | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | TR_BLB1.8V    | 202.7p  | 391.2p  | 292p    | 294.6p  | 47.69p  | < 290p  | fail      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tf_QBAR1.8V   | 316.8p  | 587.4p  | 443.6p  | 440.9p  | 69.02p  | > 80p   | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tf_Q1.8V      | 4n      | 4n      | 4n      | 4n      | 0       | > 1n    | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tf_BL1.8V     | 172.4p  | 369.7p  | 265.7p  | 260.1p  | 53.24p  | > 40p   | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tf_BLB1.8V    | 4n      | 4n      | 4n      | 4n      | 0       | > 1n    | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QVSQBAR  | 571.7p  | -356.1p | -460.8p | -458p   | 76.9p   | < -250p | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QVSQBAR  | 425.9p  | 650.7p  | 533.7p  | 528.5p  | 71.6p   | < 700p  | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QBARVSQ  | -650.7p | -425.9p | -533.7p | -528.5p | 71.6p   | < -300p | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QBARVSQ  | 356.1p  | 571.7p  | 460.8p  | 458p    | 76.9p   | < 480p  | fail      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QBARVSBL | -1.006u | -1.005u | -1.006u | -1.006u | 71.6p   | < -0.5u | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QBARVSBL | 1.005u  | 1.006u  | 1.005u  | 1.005u  | 76.9p   | < 1.2u  | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QVSBBLB  | 1.005u  | 1.006u  | 1.006u  | 1.006u  | 78.5p   | < 1.05u | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tphl_QVSBBLB  | -1.006u | -1.005u | -1.005u | -1.005u | 79.53p  | < -0.5u | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tpd_QBARVSBL  | -50.76p | -24.11p | -36.45p | -35.95p | 6.919p  | < -20p  | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tpd_QBARVSQ   | -50.76p | -24.11p | -36.45p | -35.95p | 6.919p  | < -20p  | pass      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tpd_QVSBBLB   | 24.4p   | 55.47p  | 38.31p  | 37.85p  | 7.67p   | < 36p   | fail      |
| project_T6_SRAM_Preload_with_T6SRAM_sim_1 | Tpd_QVSQBAR   | 24.11p  | 50.76p  | 36.45p  | 35.95p  | 6.919p  | < 37p   | fail      |

T6-SRAM שהזמנם לבדיקת WRITE עבור מצב montecarlo בלבד עם precharge - 23 Table



T6-SRAM - תוצאות בדיקת WRITE עבור מצב montecarlo בלבד עם precharge - 24 graph

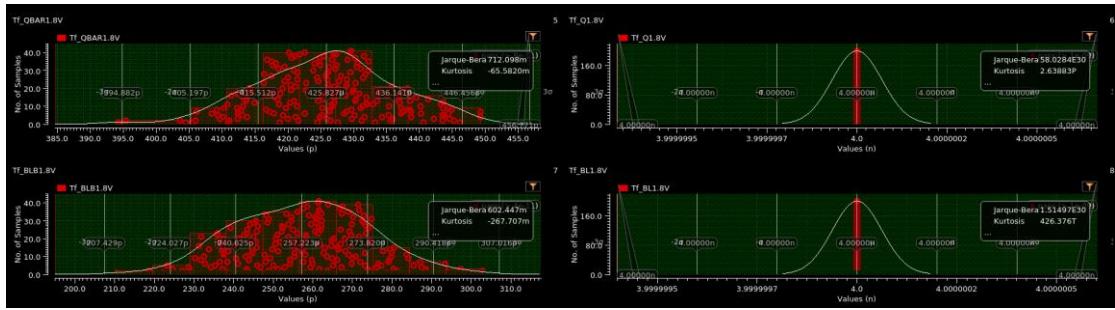
ניתן לראות לפי גרף מס 24 שעבור הזמנים הבאים התקבלו התוצאות :

התקבלו טווח הזמנים 392ps – 453ps כאשר זמן האופטימלי והמהיר ביותר הינו .392ps

.4ns : Tr\_Q : התקבלו טווח הזמנים יחיד בזמן .4ns.

.4ns : Tr\_BL : התקבלו טווח הזמנים יחיד בזמן .4ns.

.250ps : Tr\_BLB : התקבלו טווח הזמנים 250ps – 318ps כאשר זמן האופטימלי והמהיר ביותר הינו .250ps



T6-SRAM - תוצאות בדיקת WRITE עבור מצב montecarlo precharge יחד עם graph 25

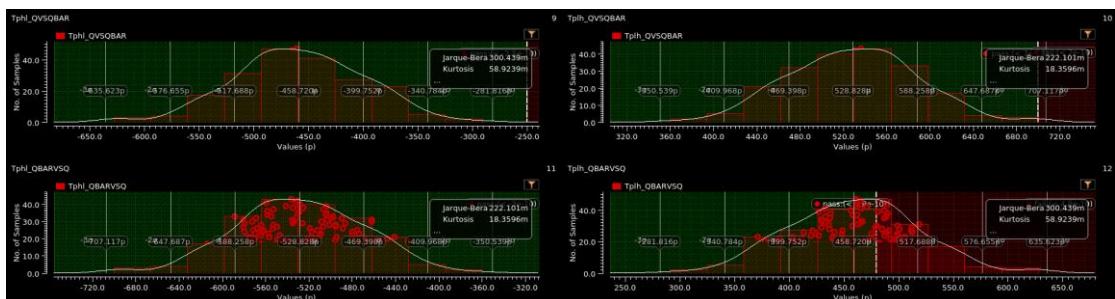
ניתן לראות לפי גרפף מס 25 שעבור הזמנים הבאים התקבלו התוצאות :

התקבלו טווח הזמן 395ps – 450ps כאשר זמן האופטימלי והמהיר ביותר הינו .395ps

התקבלו טווח הזמן ייחד בזמן ns.4ns : Tf\_Q

התקבלו טווח הזמן ייחד בזמן ns.4ns : Tf\_BL

התקבלו טווח הזמן 210ps – 302ps כאשר זמן האופטימלי והמהיר ביותר הינו .210ps



T6-SRAM - 26 - תוצאות בדיקת WRITE עבור מצב montecarlo precharge יחד עם graph

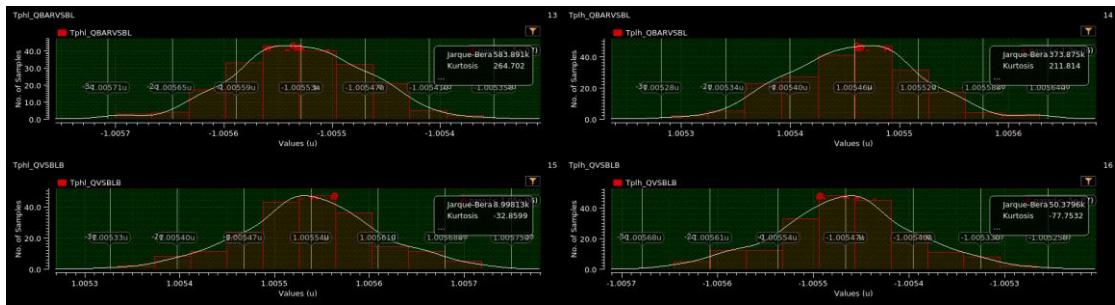
ניתן לראות לפי גרפף מס 26 שעבור הזמנים הבאים התקבלו התוצאות :

התקבלו טווח הזמן 370ps – 517ps כאשר זמן האופטימלי והמהיר ביותר הינו .370ps

התקבלו טווח הזמן (600ps) – (-409ps) כאשר זמן האופטימלי והמהיר ביותר הינו (-409ps).

התקבלו טווח הזמן ייחד בזמן ns.-450ps : Tphl\_\_ QvsQbar

התקבלו טווח הזמן ייחד בזמן ns.520ns : Tphl\_ QvsQbar



T6-SRAM - תוצאות בדיקת WRITE עבור מצב montecarlo precharge מוחובר ביחד עם

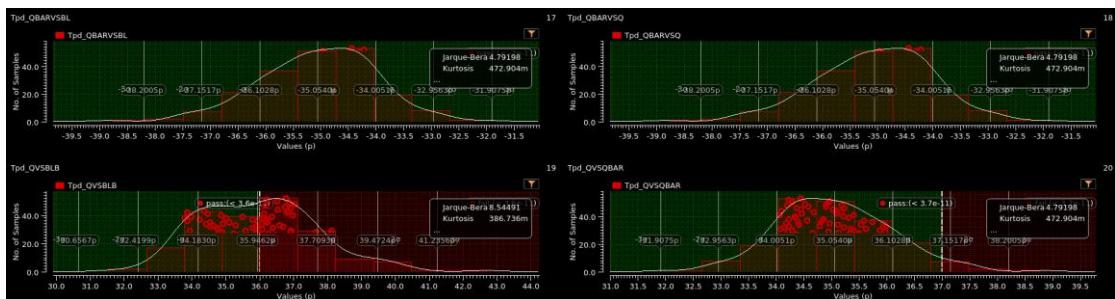
ניתן לראות לפי גרף מס 27 שעבור הזמן הבאים התקבלו התוצאות :

תתקבלו טווח הזמן  $1.005\text{us} - 1.0055\text{us}$  כאשר זמן האופטימלי וההיר ביותר הינו  $1.005\text{us}$ .

תתקבלו טווח הזמן  $(-1.0054\text{us}) - (-1.0055\text{us})$  כאשר זמן האופטימלי וההיר ביותר הינו  $-1.0054\text{us}$ .

תתקבלו טווח הזמן היחיד בזמן  $1.00555\text{us}$ .

תתקבלו טווח הזמן  $(-1.0054\text{us}) - (-1.0055\text{us})$  כאשר זמן האופטימלי וההיר ביותר הינו  $-1.0054\text{us}$ .



T6-SRAM - תוצאות בדיקת WRITE עבור מצב montecarlo precharge מוחובר ביחד עם

ניתן לראות לפי גרף מס 28 שעבור הזמן הבאים התקבלו התוצאות :

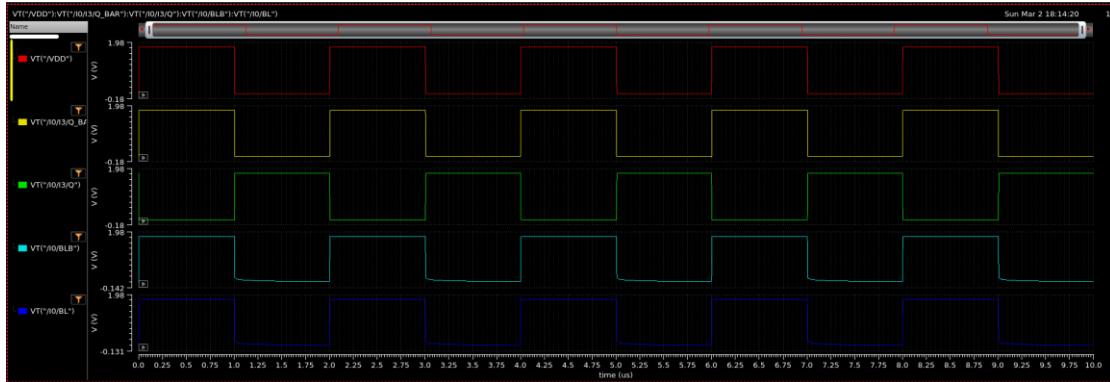
תתקבלו טווח הזמן  $(-34\text{ps}) - (-35\text{ps})$  כאשר זמן האופטימלי וההיר ביותר הינו  $-34\text{ps}$ .

תתקבלו טווח הזמן  $(-34\text{ps}) - (-35\text{ps})$  כאשר זמן האופטימלי וההיר ביותר הינו  $-34\text{ps}$ .

תתקבלו טווח הזמן  $34\text{ps} - 38\text{ps}$  כאשר זמן האופטימלי וההיר ביותר הינו  $.34\text{ps}$ .

תתקבלו טווח הזמן  $34\text{ps} - 36\text{ps}$  כאשר זמן האופטימלי וההיר ביותר הינו  $.34\text{ps}$ .

מצב READ ➤



T6-SRAM לרכיב READ precharge מחובר ביחד עם graph

ניתן לראות ש BL ו BLB זהים ומתקבלים את אותו המתח כמו VDD וזה נכון כי ברגע ש  $W=0$  אז ה precharge מוביל רק את VDD.

|                |      |   |         |                                     |                          |          |
|----------------|------|---|---------|-------------------------------------|--------------------------|----------|
| TF_BL1_8V      | expr | failTime(VT"/IO/BL") 1.8 n0 0 n0 10 90 "time")  | 23.48n  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 3n     |
| TF_BL1_8V      | expr | failTime(VT"/IO/BL") 1.8 n0 0 n0 10 90 "time")  | 23.47n  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 3p     |
| TQ_Q18_V       | expr | failTime(VT"/IO/3(Q) 1.8 n0 0 n0 10 90 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 1n     |
| TQ_QBAR18_V    | expr | failTime(VT"/IO/3(Q_BAR) 1.8 n0 0 n0 10 90 "time")  | 428.5p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | > 80p    |
| Tpd_QBARVSLB   | expr | (0.5 * (TpHl_QBARVSLB + TpHl_QBARVSLB))   | -32.75p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -20p   |
| Tpd_QBARVSQL   | expr | (0.5 * (TpHl_QBARVSQL + TpHl_QBARVSQL))   | -34.56p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -20p   |
| Tpd_QVSBBLB    | expr | (0.5 * (TpHl_QVSBBLB + TpHl_QVSBBLB))   | 1.811p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 2p     |
| Tpd_QVSQBAR    | expr | (0.5 * (TpHl_QVSQBAR + TpHl_QVSQBAR))   | 34.56p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 37p    |
| Tphl_QBARVSLB  | expr | delay(~wfl1 VT"/IO/13(Q_BAR) ?value 1.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/...)    | 1.004u  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 1.005u |
| Tphl_QBARVSQL  | expr | delay(~wfl1 VT"/IO/13(Q_BAR) ?value 1.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/...)    | -526.4p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -300p  |
| Tphl_QVSBBLB   | expr | delay(~wfl1 VT"/IO/13(Q) ?value 1.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/IO/BL...)   | 1.806p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 2u     |
| Tphl_QVSQBAR   | expr | delay(~wfl1 VT"/IO/13(Q) ?value 1.9 ?edge1 "rising" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/IO/13/...)  | -457.3p | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < -250p  |
| Tphl_QBARVSQL  | expr | delay(~wfl1 VT"/IO/13(Q_BAR) ?value 1.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/...)   | -1.005u | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 0.5u   |
| Tphl_QBARVSQLQ | expr | delay(~wfl1 VT"/IO/13(Q_BAR) ?value 1.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/...)   | 457.3p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 480p   |
| Tphl_QVSBBLB   | expr | delay(~wfl1 VT"/IO/13(Q) ?value 1.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/IO/BL...)  | 1.816p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 1.9p   |
| Tphl_QVSQBAR   | expr | delay(~wfl1 VT"/IO/13(Q) ?value 1.9 ?edge1 "falling" ?nth1 1.8 ?td1 0.0 ?tol1 ?wl2 VT"/IO/13/...) | 526.4p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 700p   |
| TR_BL1_8V      | expr | riseTime(VT"/IO/BL") 1.8 n0 0 n0 10 90 "time")  | 3.379n  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 5n     |
| TR_BL1B_8V     | expr | riseTime(VT"/IO/BLB") 0 n0 1.8 n0 10 90 "time")   | 3.352n  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 5n     |
| TR_Q18_V       | expr | riseTime(VT"/IO/3(Q) 0 n0 1.8 n0 10 90 "time")  | 4n      | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 5n     |
| TR_QBAR18_V    | expr | riseTime(VT"/IO/3(Q_BAR) 0 n0 1.8 n0 10 90 "time")  | 422.7p  | <input checked="" type="checkbox"/> | <input type="checkbox"/> | < 600p   |

T6-SRAM – טבלת נתונים ותוצאת הzmנים עבור מצב WRITE לרכיב precharge מוחובר ביחד עם RAM

- בדיקת corners test :

בבדיקה corners נבדקו הממצאים הבאים: ff,fs,sf,ss,tt. הבדיקה בוצעה עבור המעלות: 10,-50,85.

### תוצאות הבדיקה:

| Corner | temperature | gpkd045.scs | Pass/Fail | VT1*/(VDD*) | VT1*/(I0/3Q_BAR*) | VT1*/(3Q_C*) | VT1*/(N0/BBL*) | TR_Q1.BV | TR_QBAR1.BV | TR_BL1.BV | TR_BL1B.BV | TT_QBAR1.BV | TT_Q1.BV | TT_BL1.BV | TT_BL1B.BV | Tphi_QVSQBAR |
|--------|-------------|-------------|-----------|-------------|-------------------|--------------|----------------|----------|-------------|-----------|------------|-------------|----------|-----------|------------|--------------|
| Filter | Filter      | Filter      | Filter    | Filter      | Filter            | Filter       | Filter         | Filter   | Filter      | Filter    | Filter     | Filter      | Filter   | Filter    | Filter     | Filter       |
| nom    | 27          | mc          | pass      | ✓           | ✓                 | ✓            | ✓              | 4n       | 422.7p      | 3.379n    | 3.352n     | 428.5p      | 4n       | 23.47n    | 23.48n     | -457.3p      |
| C_0.0  | -10         | ff          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 500.4p      | 3.447n    | 3.451n     | 496.5p      | 4n       | 8.842n    | 8.839n     | -533.3p      |
| C_0.1  | 50          | ff          | near      | ✗           | ✗                 | ✗            | ✗              | 4n       | 563.6p      | 3.536n    | 3.53n      | 583.2p      | 4n       | 5.434n    | 5.433n     | -525.4p      |
| C_0.2  | 85          | ff          | near      | ✗           | ✗                 | ✗            | ✗              | 4n       | 585.8p      | 3.562n    | 3.554n     | 611.9p      | 4n       | 4.692n    | 4.692n     | -524.6p      |
| C_0.3  | -10         | fs          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 382.6p      | 3.497n    | 3.473n     | 384.7p      | 4n       | 147.8n    | 148n       | -566p        |
| C_0.4  | 50          | fs          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 436.5p      | 3.419n    | 3.401n     | 438.5p      | 4n       | 32.96n    | 32.97n     | -567p        |
| C_0.5  | 85          | fs          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 462.9p      | 3.469n    | 3.501n     | 467.2p      | 4n       | 18.16n    | 18.15n     | -571.5p      |
| C_0.6  | -10         | sf          | pass      | ✓           | ✓                 | ✓            | ✓              | 4n       | 394.9p      | 3.386n    | 3.383n     | 401.1p      | 4n       | 21.23n    | 21.23n     | -356.2p      |
| C_0.7  | 50          | sf          | pass      | ✓           | ✓                 | ✓            | ✓              | 4n       | 455.7p      | 3.415n    | 3.399n     | 457.2p      | 4n       | 8.653n    | 8.654n     | -356.2p      |
| C_0.8  | 85          | sf          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 479.3p      | 3.448n    | 3.431n     | 488.8p      | 4n       | 6.562n    | 6.563n     | -355.9p      |
| C_0.9  | -10         | ss          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 309.3p      | 3.818n    | 3.813n     | 312.4p      | 4n       | 540.5n    | 540.5n     | -387.7p      |
| C_0.10 | 50          | ss          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 354.9p      | 3.371n    | 3.321n     | 359.3p      | 4n       | 85.08n    | 85.08n     | -393.2p      |
| C_0.11 | 85          | ss          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 379.6p      | 3.345n    | 3.276n     | 387.3p      | 4n       | 40.68n    | 40.81n     | -396p        |
| C_0.12 | -10         | tt          | pass      | ✓           | ✓                 | ✓            | ✓              | 4n       | 384.6p      | 3.398n    | 3.39n      | 396.4p      | 4n       | 54.45n    | 54.46n     | -460.1p      |
| C_0.13 | 50          | tt          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 442.1p      | 3.395n    | 3.364n     | 442.9p      | 4n       | 15.81n    | 15.82n     | -457.6p      |
| C_0.14 | 85          | tt          | fail      | ✗           | ✗                 | ✗            | ✗              | 4n       | 477p        | 3.433n    | 3.398n     | 478.7p      | 4n       | 10.22n    | 10.23n     | -458.4p      |

| Tphl_QVSQBAR | Tphl_QBARVSQ | Tphl_QBARVSO | Tphl_QBARVSBL | Tphl_QBARVSBL | Tphl_QVSBLB | Tphl_QVSBLB | Tpd_QBARVSBL | Tpd_QBARVSQ | Tpd_QVSBLB | Tpd_QVSQBAR |
|--------------|--------------|--------------|---------------|---------------|-------------|-------------|--------------|-------------|------------|-------------|
| Filter       | Filter       | Filter       | Filter        | Filter        | Filter      | Filter      | Filter       | Filter      | Filter     | Filter      |
| 526.4p       | -526.4p      | 457.3p       | 1.004u        | -1.005u       | 1.806p      | 1.816p      | -32.75p      | -34.56p     | 1.811p     | 34.56p      |
| 579.8p       | -579.8p      | 533.3p       | 1.004u        | -1.004u       | 1.359p      | 1.374p      | -21.84p      | -23.21p     | 1.366p     | 23.21p      |
| 577.4p       | -577.4p      | 525.4p       | 1.004u        | -1.004u       | 1.751p      | 1.759p      | -24.27p      | -26.62p     | 1.755p     | 26.02p      |
| 580.4p       | -580.4p      | 524.6p       | 1.004u        | -1.004u       | 2.009p      | 2.014p      | -25.93p      | -27.94p     | 2.011p     | 27.94p      |
| 633.3p       | -633.3p      | 566p         | 1.004u        | -1.004u       | 1.706p      | 1.706p      | -31.96p      | -33.67p     | 1.706p     | 33.67p      |
| 641.4p       | -641.4p      | 568.7p       | 1.004u        | -1.004u       | 2.175p      | 2.337p      | -34.12p      | -36.38p     | 2.256p     | 36.38p      |
| 650.5p       | -650.5p      | 571.5p       | 1.004u        | -1.004u       | 2.476p      | 2.584p      | -36.98p      | -39.51p     | 2.53p      | 39.51p      |
| 421.9p       | -421.9p      | 360.2p       | 1.005u        | -1.005u       | 1.474p      | 1.499p      | -29.39p      | -30.88p     | 1.487p     | 30.88p      |
| 426.9p       | -426.9p      | 356.2p       | 1.005u        | -1.005u       | 1.886p      | 1.899p      | -33.42p      | -35.31p     | 1.893p     | 35.31p      |
| 429.5p       | -429.5p      | 355.9p       | 1.005u        | -1.005u       | 2.158p      | 2.196p      | -34.66p      | -36.84p     | 2.177p     | 36.84p      |
| 475.8p       | -475.8p      | 387.7p       | 1.005u        | -1.005u       | 1.838p      | 1.965p      | -42.14p      | -44.04p     | 1.901p     | 44.04p      |
| 487p         | -487p        | 393.2p       | 1.005u        | -1.005u       | 2.324p      | 2.371p      | -44.57p      | -46.92p     | 2.348p     | 46.92p      |
| 496.6p       | -496.6p      | 396p         | 1.005u        | -1.005u       | 2.634p      | 2.752p      | -47.63p      | -50.33p     | 2.693p     | 50.33p      |
| 526p         | -526p        | 460.1p       | 1.004u        | -1.005u       | 1.548p      | 1.553p      | -31.41p      | -32.96p     | 1.55p      | 32.96p      |
| 529.6p       | -529.6p      | 457.6p       | 1.004u        | -1.005u       | 1.979p      | 2.095p      | -33.96p      | -35.99p     | 2.037p     | 35.99p      |
| 534.7p       | -534.7p      | 458.4p       | 1.004u        | -1.005u       | 2.26p       | 2.297p      | -35.85p      | -38.13p     | 2.279p     | 38.13p      |

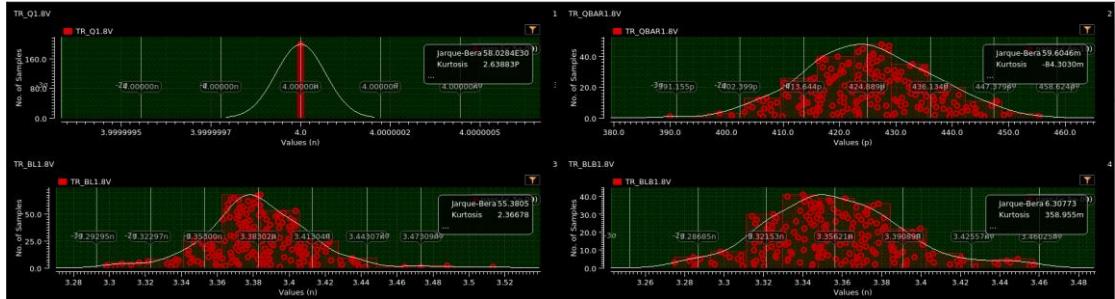
תוצאת בדיקת WRITE מבחן עבור רכיב precharge ומעלות בידודcorners - 25 Table

### בז'יקט READ במצב Montecarlo -

טבלת תוצאות :

| Test  | Output        | Min     | Max     | Mean    | Median  | Std Dev | Spec     | Pass/Fail |
|---|---------------|---------|---------|---------|---------|---------|----------|-----------|
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | TR_Q1.8V      | 4n      | 4n      | 4n      | 4n      | 0       | < 5n     | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | TR_QBAR1.8V   | 309.9p  | 585.8p  | 439.5p  | 439.4p  | 70.88p  | < 600p   | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | TR_BL1.8V     | 3.345n  | 3.818n  | 3.457n  | 3.424n  | 109.5p  | < 5n     | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | TR_BLB1.8V    | 3.276n  | 3.813n  | 3.43n   | 3.394n  | 120.5p  | < 5n     | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tf_QBAR1.8V   | 312.4p  | 611.9p  | 445.9p  | 440.7p  | 74.92p  | > 80p    | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tf_Q1.8V      | 4n      | 4n      | 4n      | 4n      | 0       | > 1n     | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tf_BLB1.8V    | 4.692n  | 540n    | 64.01n  | 19.7n   | 128.2n  | > 3p     | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tf_BL1.8V     | 4.692n  | 540.5n  | 64.09n  | 19.75n  | 128.3n  | > 3n     | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QVSQBAR  | -571.5p | -355.9p | -460.7p | -458p   | 76.92p  | < -250p  | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QVSQBAR  | 421.9p  | 650.5p  | 532.3p  | 528p    | 72.09p  | < 700p   | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QBARVSQ  | -650.5p | -421.9p | -532.3p | -528p   | 72.09p  | < -300p  | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QBARVSQ  | 355.9p  | 571.5p  | 460.7p  | 458p    | 76.92p  | < 480p   | fail      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QBARVSBL | 1.004u  | 1.005u  | 1.004u  | 1.004u  | 72.06p  | < 1.005u | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QBARVSBL | -1.005u | -1.004u | -1.005u | -1.005u | 76.9p   | < 0.5u   | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QVSBLB   | 1.359p  | 2.634p  | 1.962p  | 1.933p  | 349.1f  | < 2u     | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tphl_QVSBLB   | 1.374p  | 2.752p  | 2.014p  | 1.989p  | 381f    | < 1.9p   | fail      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tpd_QBARVSBL  | -47.63p | -21.84p | -33.8p  | -33.69p | 6.697p  | < -20p   | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tpd_QBARVSQ   | -50.33p | -23.21p | -35.79p | -35.65p | 6.972p  | < -20p   | pass      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tpd_QVSBLB    | 1.366p  | 2.693p  | 1.988p  | 1.956p  | 364.5f  | < 2p     | fail      |
| project_T6_SRAM_Precharge_with_T6SRAM_sim_1 | Tpd_QVSQBAR   | 23.21p  | 50.33p  | 35.79p  | 35.65p  | 6.972p  | < 37p    | fail      |

נתונים שהוזנו לבדיקת READ מבחן עבור רכיב montecarlo precharge - 26 Table



תוצאת בדיקת READ montecarlo precharge לרכיב READ מבחן בידוד עם T6-SRAM - 30 graph

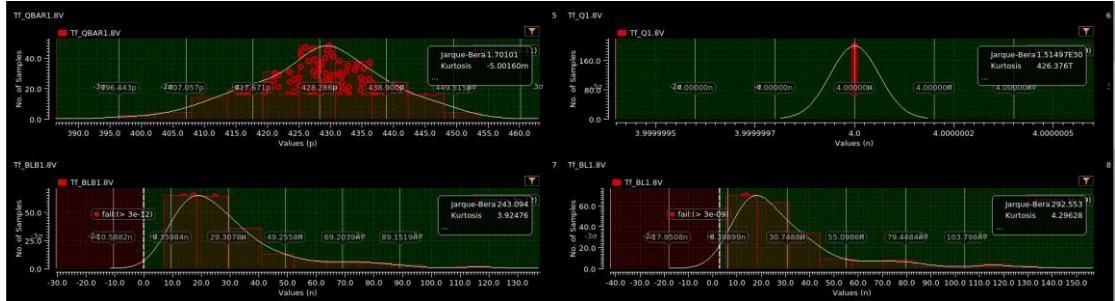
ניתן לראות לפי גרפף מס 30 שעבור הזמנים הבאים התקבלו התוצאות :

התקבלו טווח הזמנים 388ps – 456ps כאשר זמן האופטימלי והמהיר ביותר הינו .388ps

.4ns : התקבלו טווח הזמנים יחיד בזמן Tr\_Q

.3.3ns – 3.518ns : התקבלו טווח הזמן האופטימלי וההיר ביותר הינו  $3.3\text{ns}$ .

.3.27ns – 3.46ns : התקבלו טווח הזמן האופטימלי וההיר ביותר הינו  $3.27\text{ns}$



T6-SRAM - תוצאות בדיקת READ עבור מצלב montecarlo מחובר ביחד עם precharge

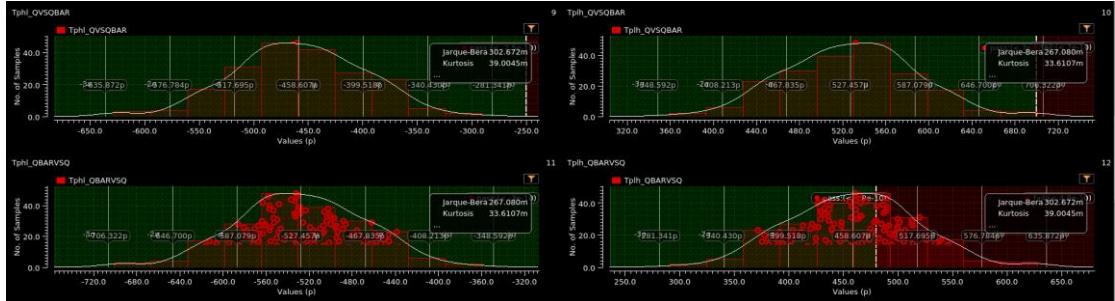
ניתן לראות לפי גרף מס 31 שעבור הזמן הבאים התקבלו התוצאות :

Tf\_Qbar : התקבלו טווח הזמן האופטימלי וההיר ביותר הינו  $416\text{ps}$  –  $445\text{ps}$ .  
 $416\text{ps}$

Tf\_Q : התקבלו טווח הזמן ייחד בזמן  $4\text{ns}$ .

Tf\_BL : התקבלו טווח הזמן ייחד בזמן  $18\text{ns}$ .

Tf\_BLB : התקבלו טווח הזמן האופטימלי וההיר ביותר הינו  $10\text{ns}$  –  $28\text{ns}$ .



T6-SRAM - - תוצאות בדיקת READ עבור מצלב montecarlo מחובר ביחד עם M

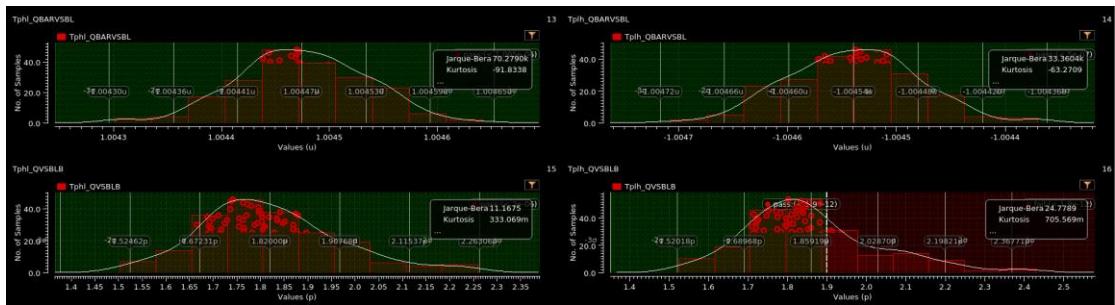
ניתן לראות לפי גרף מס 31' שעבור הזמן הבאים התקבלו התוצאות :

Tphi\_QbarvsQ : התקבלו טווח הזמן האופטימלי וההיר ביותר הינו  $370\text{ps}$  –  $550\text{ps}$ .  
 $370\text{ps}$

Tphi\_QbarvsQ : התקבלו טווח הזמן ( $-440\text{ps}$ ) – ( $620\text{ps}$ ) כאשר זמן האופטימלי וההיר ביותר הינו ( $-440\text{ps}$ ).

Tphi\_QvsQbar : התקבלו טווח הזמן ייחד בזמן  $450\text{ps}$ .

Tphi\_QvsQbar : התקבלו טווח הזמן ייחד בזמן  $520\text{ns}$ .



T6-SRAM - תוצאות בדיקת READ עבור מצב לרכיב precharge מחובר ביחיד עם montecarlo 33 graph

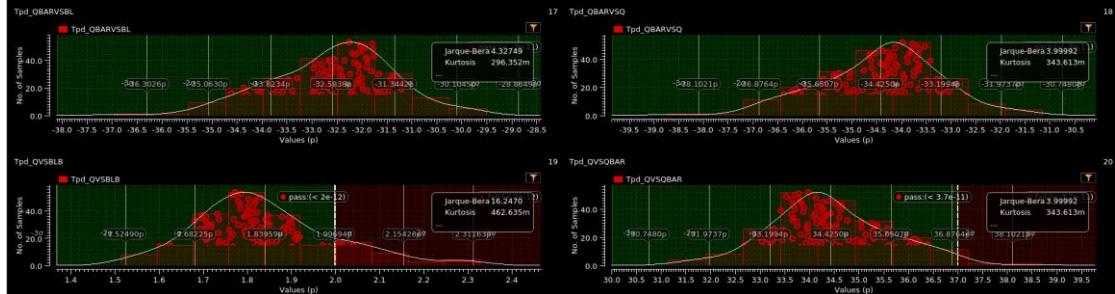
ניתן לראות לפי גרף מס 33 שעבור הזמן הבאים התקבלו התוצאות :

Tplh\_QbarvsBL : התקבלו טווח הזמן (-1.0054ns - -1.0055ns) כאשר זמן האופטימלי וההיר ביותר הינו -1.0054ns.

Tphl\_QbarvsBL : התקבלו טווח הזמן 1.0045ns – 1.00455ns כאשר זמן האופטימלי וההיר ביותר הינו 1.0045ns.

Tphl\_Qv5BLB : התקבלו טווח הזמן 1.68ps – 1.97ps כאשר זמן האופטימלי וההיר ביותר הינו 1.68ps.

Tplh\_QvsBLB : התקבלו טווח הזמן 1.98ps – 1.7ps כאשר זמן האופטימלי וההיר ביותר הינו 1.7ps.



T6-SRAM - תוצאות בדיקת READ עבור מצב לרכיב precharge מחובר ביחיד עם montecarlo 34 graph

ניתן לראות לפי גרף מס 34 שעבור הזמן הבאים התקבלו התוצאות :

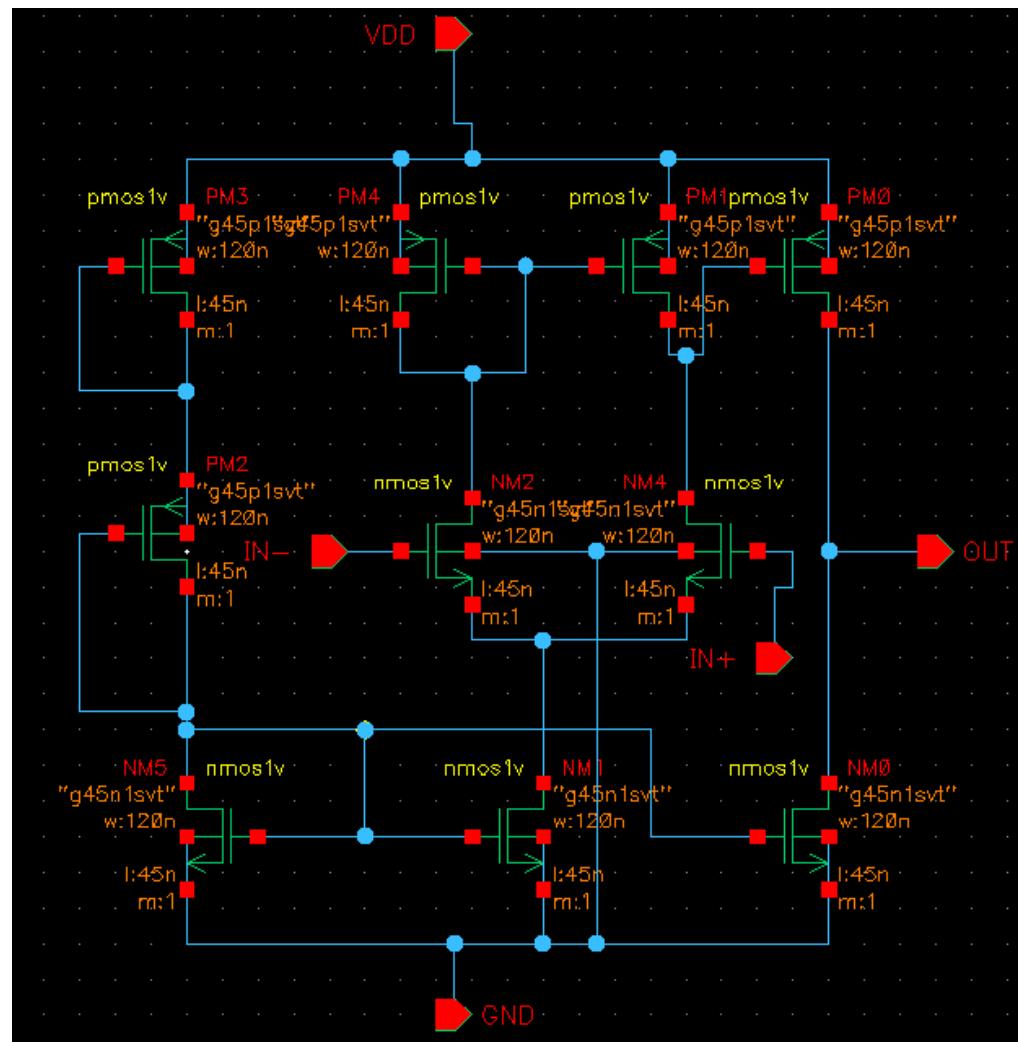
Tpd\_QbarvsBL : התקבלו טווח הזמן (-31.2ps) – (-34.5ps) כאשר זמן האופטימלי וההיר ביותר הינו -31.2ps.

Tpd\_QbarvsQ : התקבלו טווח הזמן (-33ps) – (-36ps) כאשר זמן האופטימלי וההיר ביותר הינו -33ps.

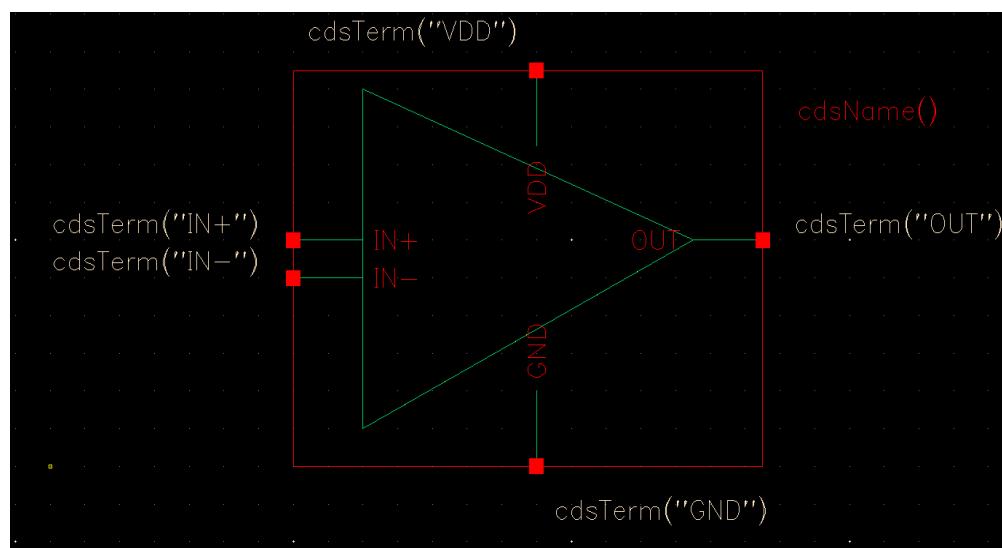
Tpd\_QvsBLB : התקבלו טווח הזמן 1.68ps – 2.08ps כאשר זמן האופטימלי וההיר ביותר הינו 1.68ps.

**Tpd\_QvsQbar** : התקבלו טווח הזמן 33ps – 36.5ps כאשר זמן האופטימלי וההיר ביותר הינו .33ps.

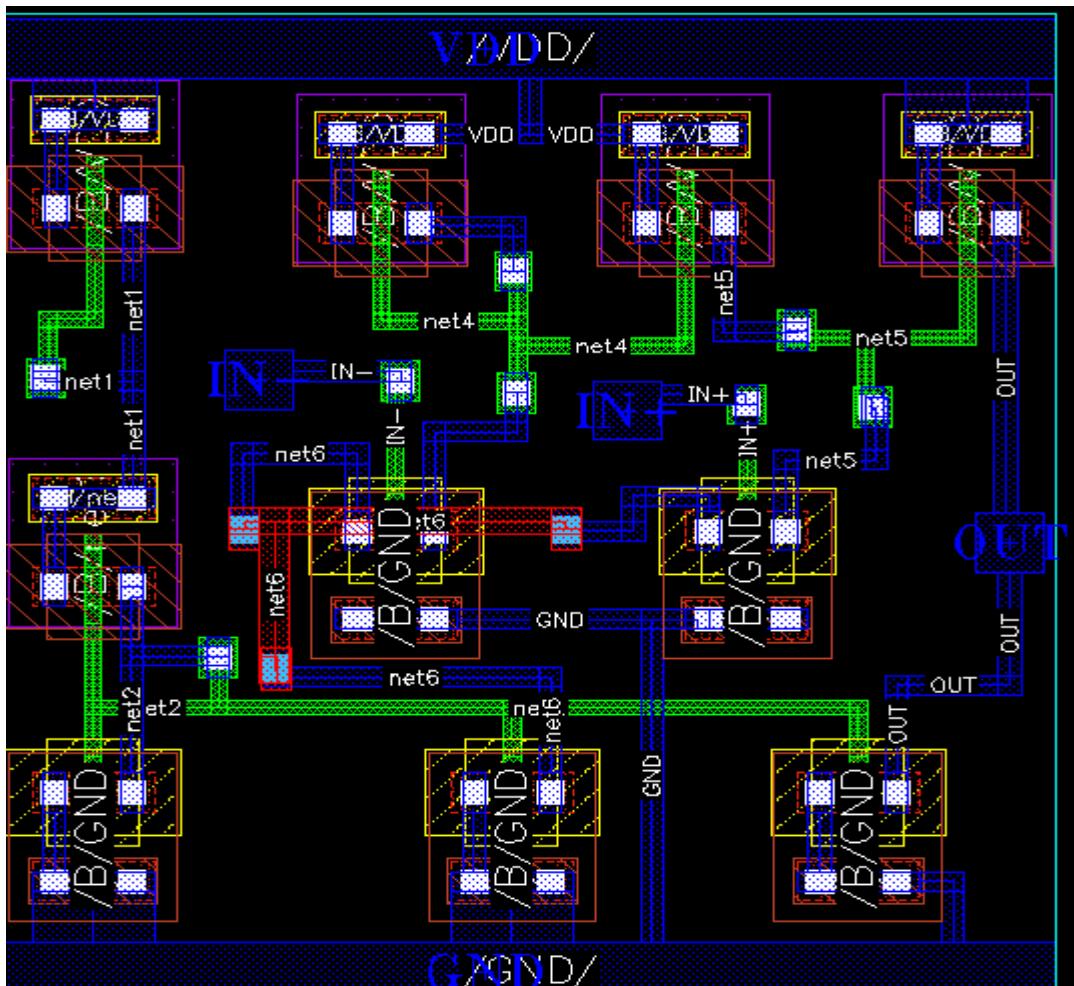
## • בנית רכיב ה-amplifier



הבר מס' 37 Figure schematic - מבנה מגבר בלבד

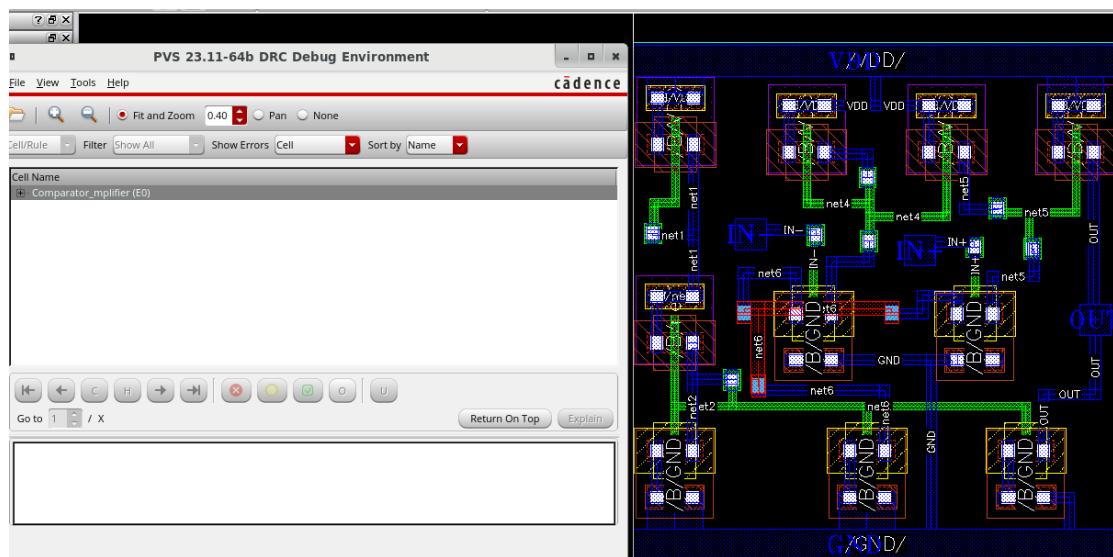


הבר מס' 38 Figure מבנה מגבר בלבד



עברו מגבר בלבד layout - 39 Figure

### בדיקת DRC לרכיב -



– בדיקת DRC למגבר בלבד – 40 Figure

על פי איור מס' 40 ניתן לראות כי בדיקת DRC לרכיב הינה תקינה.

## - בדיקת LVS לרכיב amplifier -

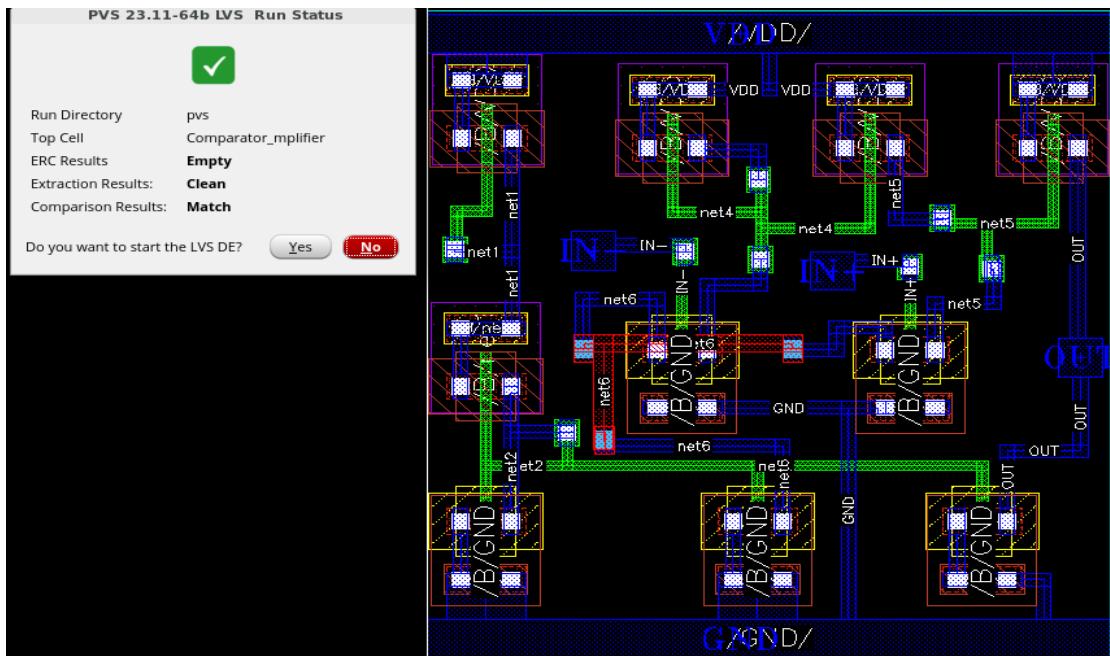


Figure 41 – בדיקת LVS למגבר בלבד

על פי איור מס' 41 ניתן לראות כי בדיקת DRC לרכיב הינה תקינה.

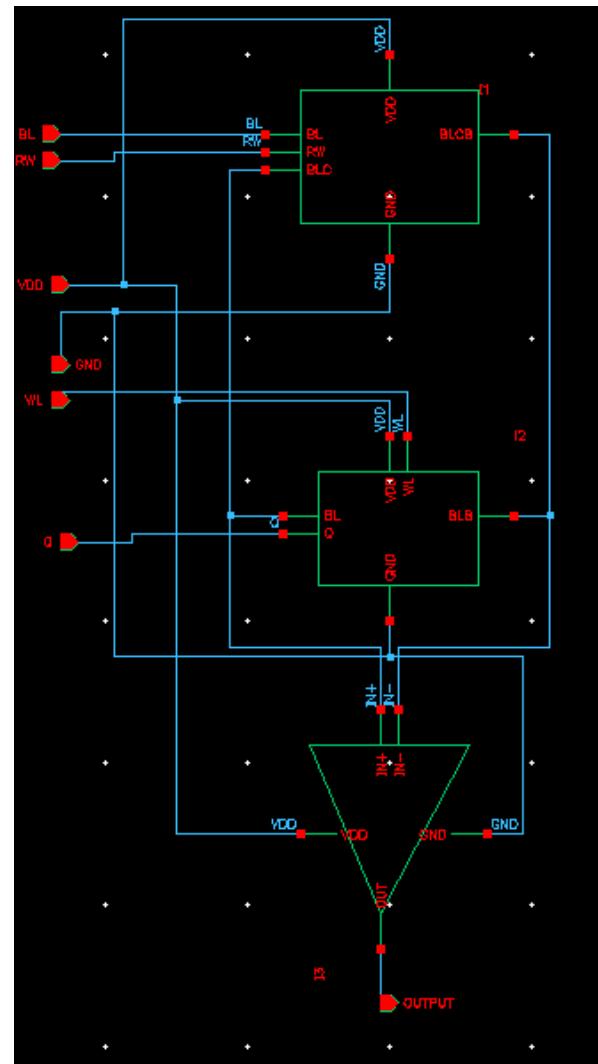


graph 35 – בדיקת תקינות המגבר

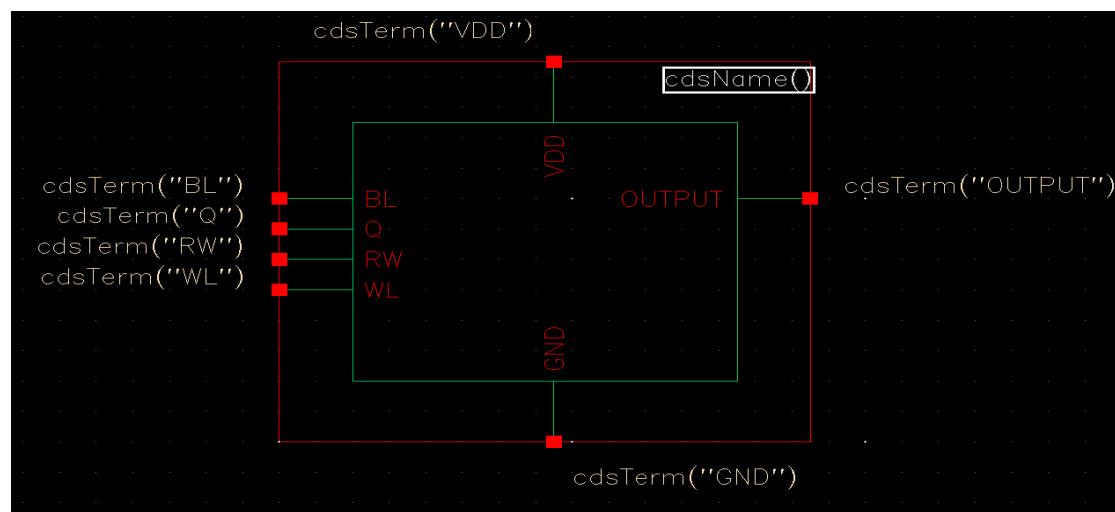
ניתן לראות כי הרכיב עובד בצורה תקינה על פי גרף מס' 35.

## • בניית רכיב המכיל את הרכיבים Pre-charge T6-SRAM ,amplifier

:charge

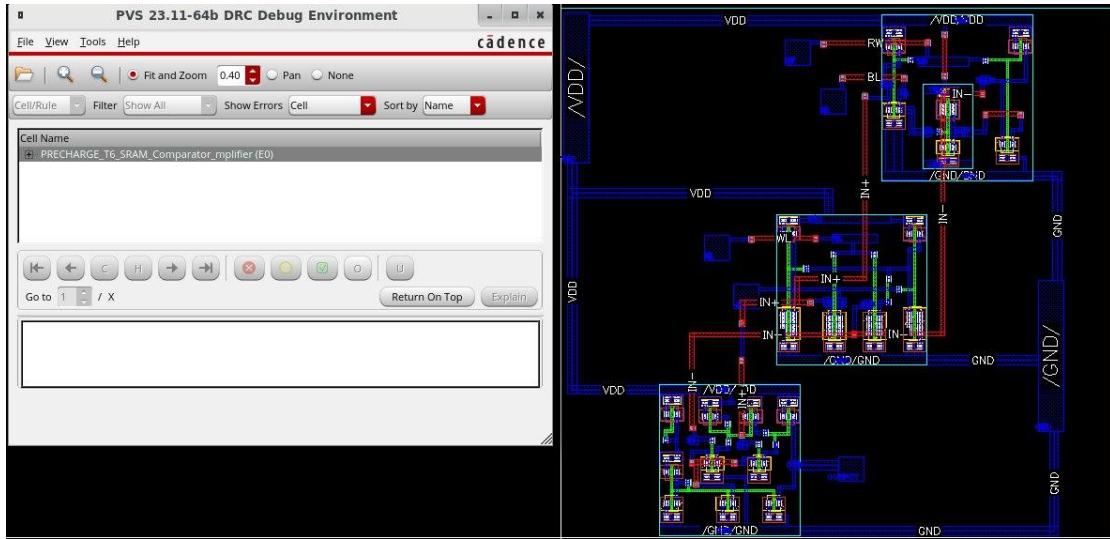


amplifier ,T6-SRAM ,pre-charge עבור schematic – 42 Figure



amplifier ,T6-SRAM ,pre-charge עבור symbol - 43 Figure

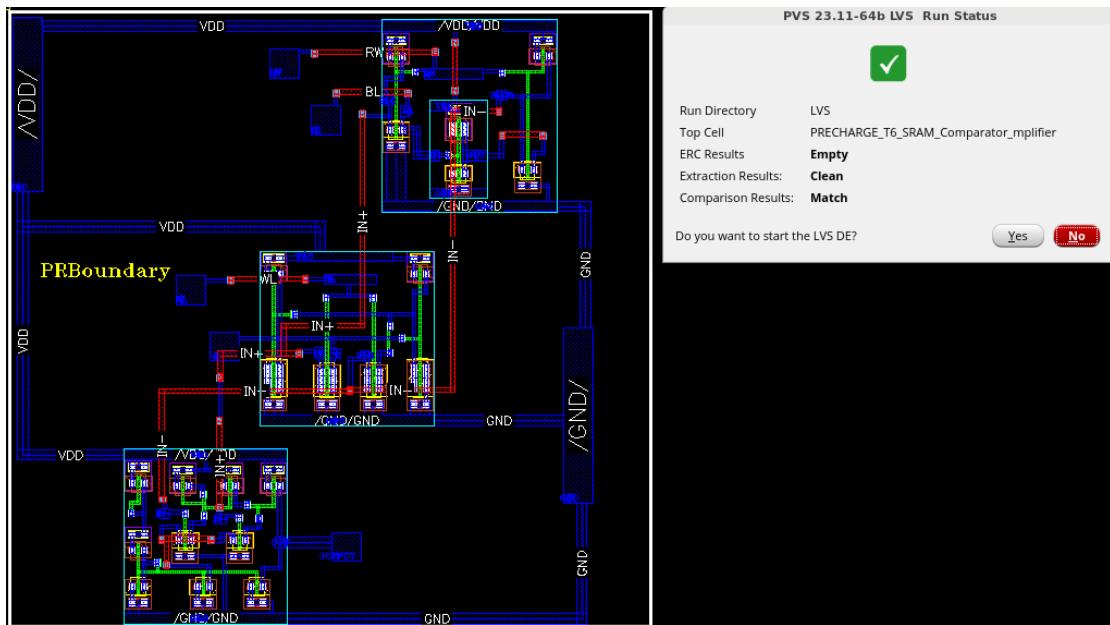
## בדיקת DRC לרכיבים Pre-charge-i amplifier, T6-SRAM -



Pre-charge-i amplifier, T6-SRAM - 44 Figure

על פי איור מס' 44 ניתן לראות כי בדיקת DRC לרכיב הינה תקינה.

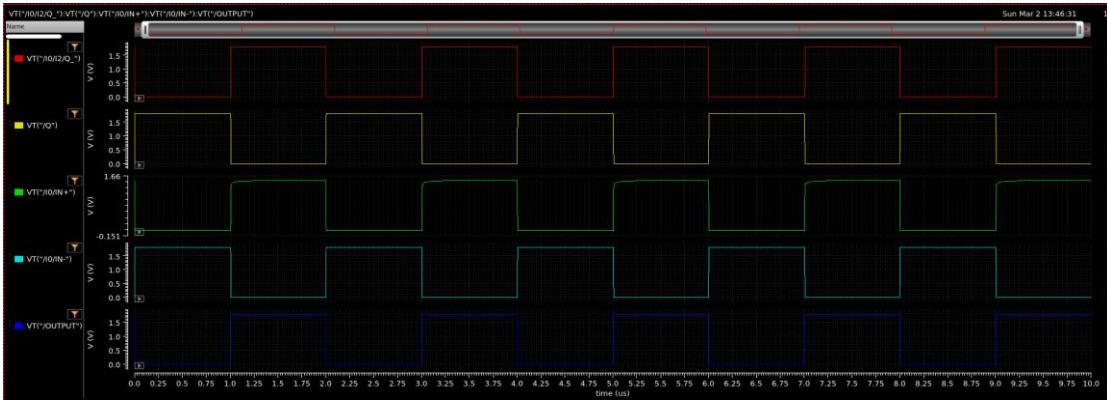
## בדיקת LVS לרכיבים Pre-charge-i amplifier, T6-SRAM -



amplifier ,T6-SRAM ,pre-charge layout - 45 Figure

על פי איור מס' 45 ניתן לראות כי בדיקת LVS לרכיב הינה תקינה.

## ▸ מצב WRITE



amplifier ,T6-SRAM ,pre-charge - ל WRITE - 36 graph

בגרף מס' 36 ניתן לראות כאשר רgel IN- מייצגת את BLB ורgel IN+ מייצגת את BL מתקובל כי IN- תואם ל-Q ו-IN+ תואם ל-QBAR.

כמו כן ערכי IN+ ו-IN- הינם הופכיים זה זה דבר המראה על תקינות במצב WRITE. יתר על כן, כאשר IN+ גדול מ IN- אז מתקובל לו במצוות מתח VDD במידה ולא, נקלט מתח GND.

| Name   | Type   | Details   | Value   | Plot | Save | Spec |
|--------|--------|---|---------|------|------|------|
| Filter | Filter | VIT('I/O/2/Q_')   |         |      |      |      |
|        | expr   | VIT('Q')  |         |      |      |      |
|        | expr   | fallTime(VIT('I/O/2/Q_') 1.8 n1 0110 90 n1 "time")  | 432.7p  |      |      |      |
|        | expr   | fallTime(VIT('Q') 1.8 n1 0110 90 n1 "time")   | 4n      |      |      |      |
|        | expr   | riseTime(VIT('I/O/2/Q_') 011.8 n1 10 90 n1 "time")  | 420.6p  |      |      |      |
|        | expr   | riseTime(VIT('Q') 011.8 n1 10 90 n1 "time")   | 4n      |      |      |      |
| tpih   | expr   | delay(?wf1 VIT('Q'))?value1 0.9 ?edge1 "rising"?nth1 1.8 ?td1 0.0 ?to1 n1 ?wf2 VIT('I/O/2/Q_') ?v...    | -457.3p |      |      |      |
| tpih   | expr   | delay(?wf1 VIT('Q'))?value1 0.9 ?edge1 "falling"?nth1 1.8 ?td1 0.0 ?to1 n1 ?wf2 VIT('I/O/2/Q_') ?v...   | 527.3p  |      |      |      |
| tpd    | expr   | (0.5 * (tph1 + tphi))   | 34.99p  |      |      |      |
| tpih1  | expr   | delay(?wf1 VIT('I/O/2/Q_'))?value1 0.9 ?edge1 "rising"?nth1 1.8 ?td1 0.0 ?to1 n1 ?wf2 VIT('Q') ?v...    | -527.3p |      |      |      |
| tpih1  | expr   | delay(?wf1 VIT('I/O/2/Q_'))?value1 0.9 ?edge1 "falling"?nth1 1.8 ?td1 0.0 ?to1 n1 ?wf2 VIT('Q') ?v...   | 457.3p  |      |      |      |
| tpd1   | expr   | (0.5 * (tph1 + tphi1))  | -34.99p |      |      |      |
|        | expr   | VIT('I/O/N+')   |         |      |      |      |
|        | expr   | VIT('I/O/N-')   |         |      |      |      |
|        | expr   | VIT('OUTPUT')   |         |      |      |      |
|        | expr   | riseTime(VIT('I/O/N+') 011.5 n1 10 90 n1 "time")  | 4.619n  |      |      |      |
|        | expr   | riseTime(VIT('I/O/N-') 011.8 n1 10 90 n1 "time")  | 4n      |      |      |      |
|        | expr   | riseTime(VIT('OUTPUT') 011.8 n1 10 90 n1 "time")  | 87.3p   |      |      |      |
|        | expr   | fallTime(VIT('I/O/N+') 1.5 n1 0110 90 n1 "time")  | 2.827n  |      |      |      |
|        | expr   | fallTime(VIT('I/O/N-') 1.8 n1 0110 90 n1 "time")  | 4n      |      |      |      |
|        | expr   | fallTime(VIT('OUTPUT') 1.8 n1 0110 90 n1 "time")  | 605.6p  |      |      |      |
| tpih2  | expr   | delay(?wf1 VTC('I/O/N'))?value1 0.9 ?edge1 "rising"?nth1 1.8 ?td1 0.0 ?to1 n1 ?wf2 VTC('I/O/N') ?v...   | 423.5p  |      |      |      |
| tpih2  | expr   | delay(?wf1 VTC('I/O/N'))?value1 0.9 ?edge1 "falling"?nth1 1.8 ?td1 0.0 ?to1 n1 ?wf2 VTC('I/O/N') ?v...  | 211.8p  |      |      |      |
| tpd2   | expr   | (0.5 * (tph12 + tphi2))   | 317.6p  |      |      |      |
| tpih3  | expr   | delay(?wf1 VTC('I/O/N'))?value1 0.75 ?edge1 "falling"?nth1 1.5 ?td1 0.0 ?to1 n1 ?wf2 VTC('I/O/N') ?v... | 1.005u  |      |      |      |
| tpih3  | expr   | delay(?wf1 VTC('I/O/N'))?value1 0.75 ?edge1 "rising"?nth1 1.5 ?td1 0.0 ?to1 n1 ?wf2 VTC('I/O/N') ?v...  | -1.004u |      |      |      |
| tpd3   | expr   | (0.5 * (tph13 + tphi3))   | 340.9p  |      |      |      |
|        | expr   | delay(?wf1 VTC('I/O/N'))?value1 0.75 ?edge1 "rising"?nth1 1.5 ?td1 0.0 ?to1 n1 ?wf2 VTC('I/O/N') ?v...  | 835.6p  |      |      |      |
|        | expr   | delay(?wf1 VTC('I/O/N'))?value1 0.75 ?edge1 "falling"?nth1 1.5 ?td1 0.0 ?to1 n1 ?wf2 VTC('I/O/N') ?v... | -831.1p |      |      |      |

amplifier ,T6-SRAM , pre-charge - ל WRITE - 27 Table

## ▪ בדיקת corners test ▪

לבדיקת corners test נבדקו המצביעים הבאים : ff,fs,sf,ss,tt. כמו כן, בוצעה בדיקה עבור המעלות : 0.55,80

| Corner | temperature | gdk045.scs | Pass/Fail | VIT('I/O/2/Q_') | VIT('Q') | TFQ_   | TRQ_   | TFQ     | TRQ    | tphi_QvsQ_ | tphi_QvsQ | tpd_QvsQ_ | tpd1_Q_vsQ | tphi1_Q_vsQ | tpd1_Q_vsQ |
|--------|-------------|------------|-----------|-----------------|----------|--------|--------|---------|--------|------------|-----------|-----------|------------|-------------|------------|
| Filter | Filter      | Filter     | Filter    | Filter          | Filter   | Filter | Filter | Filter  | Filter | Filter     | Filter    | Filter    | Filter     | Filter      | Filter     |
| nom    | 27          | mc         | pass      | 432.7p          | 420.6p   | 4n     | 4n     | -457.3p | 527.3p | 34.99p     | -527.3p   | -34.99p   |            |             |            |
| C0_0   | 0           | ff         | fail      | 514.2p          | 506.4p   | 4n     | 4n     | -531.3p | 576.8p | 22.73p     | -576.8p   | 531.3p    | -22.73p    |             |            |
| C0_1   | 55          | ff         | fail      | 562.4p          | 560.8p   | 4n     | 4n     | -524.6p | 577.4p | 26.43p     | -577.4p   | 524.6p    | -26.43p    |             |            |
| C0_2   | 80          | ff         | fail      | 592.5p          | 581.9p   | 4n     | 4n     | -524.4p | 580.9p | 28.25p     | -580.9p   | 524.4p    | -28.25p    |             |            |
| C0_3   | 0           | fs         | pass      | 403.5p          | 393.8p   | 4n     | 4n     | -566.5p | 633.4p | 33.46p     | -633.4p   | 566.5p    | -33.46p    |             |            |
| C0_4   | 55          | fs         | pass      | 451.2p          | 441p     | 4n     | 4n     | -569.2p | 644.9p | 37.66p     | -644.9p   | 569.2p    | -37.66p    |             |            |
| C0_5   | 80          | fs         | pass      | 469.3p          | 458.4p   | 4n     | 4n     | -571.7p | 650.1p | 39.24p     | -650.1p   | 571.7p    | -39.24p    |             |            |
| C0_6   | 0           | sf         | pass      | 405.5p          | 401.4p   | 4n     | 4n     | -359.2p | 425.6p | 33.21p     | -425.6p   | 359.2p    | -33.21p    |             |            |
| C0_7   | 55          | sf         | fail      | 459.5p          | 454.2p   | 4n     | 4n     | -356.2p | 428.6p | 36.17p     | -428.6p   | 356.2p    | -36.17p    |             |            |
| C0_8   | 80          | sf         | fail      | 482.8p          | 474.7p   | 4n     | 4n     | -356.6p | 431.6p | 37.48p     | -431.6p   | 356.6p    | -37.48p    |             |            |
| C0_9   | 0           | ss         | fail      | 324.4p          | 315.1p   | 4n     | 4n     | -388.8p | 477.7p | 44.44p     | -477.7p   | 388.8p    | -44.44p    |             |            |
| C0_10  | 55          | ss         | fail      | 369.4p          | 358.5p   | 4n     | 4n     | -393.5p | 491p   | 48.75p     | -491p     | 393.5p    | -48.75p    |             |            |
| C0_11  | 80          | ss         | fail      | 386.2p          | 376.8p   | 4n     | 4n     | -395.7p | 496.9p | 50.59p     | -496.9p   | 395.7p    | -50.59p    |             |            |
| C0_12  | 0           | tt         | pass      | 402.2p          | 395.4p   | 4n     | 4n     | -459.1p | 525.6p | 33.24p     | -525.6p   | 459.1p    | -33.24p    |             |            |
| C0_13  | 55          | tt         | pass      | 461.4p          | 445.8p   | 4n     | 4n     | -457.5p | 530.7p | 36.58p     | -530.7p   | 457.5p    | -36.58p    |             |            |
| C0_14  | 80          | tt         | pass      | 472.8p          | 466.2p   | 4n     | 4n     | -458p   | 534.1p | 38.05p     | -534.1p   | 458p      | -38.05p    |             |            |

| Corner | temperature | gddk045.scs | TF(OUTPUT) | TR_IN+ | TR_IN- | TR_OUT | TF_IN+ | TF_IN- | TF_OUT | tph2   | tph2   | tpd2_IN_OUT | tph3    | tph3   | tpd3_IN_vsOUT | tph4    | tph4   | tpd4_IN_IN+ |
|--------|-------------|-------------|------------|--------|--------|--------|--------|--------|--------|--------|--------|-------------|---------|--------|---------------|---------|--------|-------------|
| nom    | 27          | mc          | 4.619n     | 4n     | 87.3p  | 2.827n | 4n     | 605.6p | 423.5p | 211.8p | 317.6p | 1.005u      | -1.004u | 340.9p | 835.6p        | -831.1p | 2.259p |             |
| CD_0   | 0           | ff          | 3.676n     | 4n     | 70.95p | 2.981n | 4n     | 234.4p | 167.5p | 124.5p | 146p   | 1.005u      | -1.004u | 152p   | 835p          | -831.6p | 1.709p |             |
| CD_1   | 55          | ff          | 3.501      | 4n     | 82.72p | 3.003n | 4n     | 260.9p | 184.5p | 142.6p | 163.6p | 1.005u      | -1.004u | 169.8p | 835.6p        | -831.1p | 2.24p  |             |
| CD_2   | 80          | ff          | 3.298n     | 4n     | 86.07p | 3.002n | 4n     | 267.1p | 193.2p | 150.1p | 172p   | 1.005u      | -1.004u | 180.4p | 835.6p        | -831.6p | 3.098p |             |
| CD_3   | 0           | fs          | 4.099n     | 4n     | 87.33p | 2.996n | 4n     | 746.8p | 497.7p | 320.8p | 347.1p | 1.005u      | -1.004u | 393.6p | 835p          | -831.6p | 1.707p |             |
| CD_4   | 55          | fs          | 3.88n      | 4n     | 93.78p | 2.93n  | 4n     | 684.4p | 461.8p | 232.3p | 374p   | 1.005u      | -1.004u | 374p   | 835.5p        | -831.1p | 2.199p |             |
| CD_5   | 80          | fs          | 3.854n     | 4n     | 97.47p | 2.934n | 4n     | 677.6p | 454.1p | 236.5p | 345.3p | 1.005u      | -1.004u | 371.1p | 835.8p        | -830.9p | 2.454p |             |
| CD_6   | 0           | sf          | 7.637n     | 4n     | 83.35p | 2.733n | 4n     | 537p   | 394.8p | 194.6p | 294.7p | 1.005u      | -1.004u | 315.4p | 835.7p        | -831p   | 2.329p |             |
| CD_7   | 55          | sf          | 6.289n     | 4n     | 90.06p | 2.739n | 4n     | 521p   | 384.3p | 204.8p | 294.5p | 1.005u      | -1.004u | 313.1p | 836.4p        | -830.3p | 3.053p |             |
| CD_8   | 80          | sf          | 5.944n     | 4n     | 92.75p | 2.73n  | 4n     | 530.7p | 385.1p | 210p   | 297.5p | 1.005u      | -1.004u | 315.9p | 836.7p        | -829.9p | 3.419p |             |
| CD_9   | 0           | ss          | 16.98n     | 4n     | 150.3p | 2.654n | 4n     | 2.493n | 1.569n | 478.2p | 1.024n | 1.005u      | -1.003u | 1.135n | 836.4p        | -830.8p | 2.79p  |             |
| CD_10  | 55          | ss          | 10.97n     | 4n     | 138.7p | 2.656n | 4n     | 1.89n  | 1.209n | 416.4p | 813.9p | 1.005u      | -1.003u | 897.7p | 837.4p        | -830.1p | 3.649p |             |
| CD_11  | 80          | ss          | 9.743n     | 4n     | 138.5p | 2.655n | 4n     | 1.728n | 1.128n | 407.3p | 767.8p | 1.005u      | -1.003u | 839.8p | 837.8p        | -829.7p | 4.065p |             |
| CD_12  | 0           | tt          | 4.818n     | 4n     | 84.17p | 2.82n  | 4n     | 641.3p | 499.8p | 208.8p | 324.3p | 1.005u      | -1.004u | 350.5p | 835.3p        | -831.4p | 1.974p |             |
| CD_13  | 55          | tt          | 4.508n     | 4n     | 92.02p | 2.855n | 4n     | 602.8p | 417.5p | 214.8p | 316.1p | 1.005u      | -1.004u | 339.2p | 835.9p        | -830.7p | 2.577p |             |
| CD_14  | 80          | tt          | 4.444n     | 4n     | 94.46p | 2.831n | 4n     | 590.7p | 473p   | 226.1p | 316.6p | 1.005u      | -1.004u | 338.5p | 836.2p        | -830.4p | 2.882p |             |

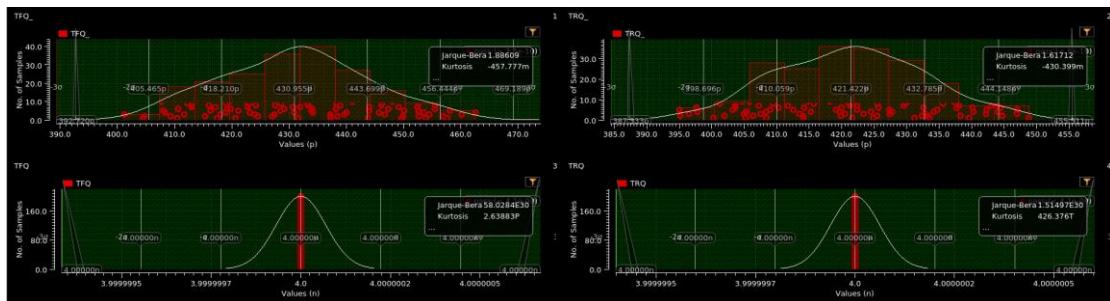
תוצאת ערכיו עבור מזב TPD WRITE - 28 Table

### בזיקת WRITE במצב Montecarlo -

טבלת תוצאות :

| Test  | Output        | Min     | Max     | Mean    | Median  | Std Dev | Spec    | Pass/Fail |
|---|---------------|---------|---------|---------|---------|---------|---------|-----------|
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TFQ_          | 324.4p  | 592.5p  | 449.4p  | 455.4p  | 67.23p  | > 350p  | near      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TRQ_          | 315.1p  | 581.9p  | 440.7p  | 443.4p  | 67.92p  | < 800p  | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TFQ           | 4n      | 4n      | 4n      | 0       | < 4.1n  | pass    |           |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TRQ           | 4n      | 4n      | 4n      | 0       | < 4.1n  | pass    |           |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph_QvsQ_     | -571.7p | -356.2p | -460.6p | -457.8p | 76.8p   | < -300p | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph1_QvsQ_    | 425.6p  | 650.1p  | 533.3p  | 529p    | 71.35p  | < 700p  | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd_QvsQ_     | 22.73p  | 50.59p  | 36.34p  | 36.38p  | 7.142p  | < 1000p | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph1_Q_vsQ    | -650.1p | -425.6p | -533.3p | -529p   | 71.35p  | < 400p  | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph1_Q_vsQ    | 356.2p  | 571.7p  | 460.6p  | 457.8p  | 76.8p   | > 300p  | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd1_Q_vsQ    | -50.59p | -22.73p | -36.34p | -36.38p | 7.142p  | < -30p  | fail      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TR_IN+        | 3.598n  | 16.98n  | 6.161n  | 4.563n  | 3.532n  | < 5n    | fail      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TR_IN-        | 4n      | 4n      | 4n      | 0       | < 5n    | pass    |           |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TR_OUT        | 70.95p  | 150.3p  | 98.15p  | 91.04p  | 22.26p  | < 200p  | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TF_IN+        | 2.654n  | 3.005n  | 2.828n  | 2.829n  | 119.7p  | > 2n    | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TF_IN-        | 4n      | 4n      | 4n      | 0       | > 3n    | pass    |           |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TF_OUT        | 234.4p  | 2.493n  | 813.3p  | 604.2p  | 622.5p  | > 500p  | fail      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph2          | 167.5p  | 1.569n  | 545.2p  | 420.5p  | 385.5p  | < 700p  | fail      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph2          | 124.5p  | 478.2p  | 242.7p  | 213.3p  | 98.24p  | < 300p  | fail      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd2_IN_OUT   | 146p    | 1.024n  | 394p    | 317.1p  | 241.6p  | < 400p  | fail      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph3          | 1.005u  | 1.005u  | 1.005u  | 1.005u  | 95.74p  | < 1.5u  | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph3          | -1.004u | -1.003u | -1.004u | -1.004u | 445.7p  | < -0.5u | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd3_IN_vsOUT | 152p    | 1.135n  | 426.6p  | 340.1p  | 270.4p  | > 300p  | fail      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph4          | 835p    | 837.8p  | 836p    | 835.8p  | 759.7f  | > 700p  | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph4          | -831.6p | -829.7p | -830.8p | -830.9p | 554.6f  | < -500p | pass      |
| lior_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd4_IN_IN+   | 1.707p  | 4.065p  | 2.613p  | 2.482p  | 648.6f  | < 30p   | pass      |

ערכים שהוזנו לבדיקת WRITE במצב montecarlo - 29 Table



תוצאת בדיקת WRITE montecarlo במצב montecarlo - 37 graph

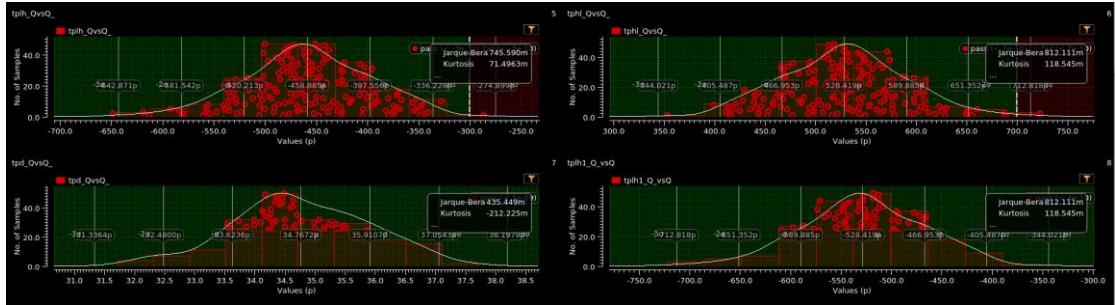
ניתן לראות לפי גרפף מס 37 שעבור הזמנים הבאים התקבלו התוצאות :

התקבלו טווח זמנים 395ps – 448ps כאשר זמן האופטימלי והמהיר ביותר הינו .395ps

התקבלו טווח זמנים 400ps – 462ps כאשר זמן האופטימלי והמהיר ביותר הינו .400ps

.4ns : התקבלו טווח הזמן ייחד בזמן Tf\_Q

.4ns : התקבלו טווח הזמן ייחד בזמן Tr\_Q



pre-charge , T6-SRAM,amplifier -ל WRITE montecarlo במצב - - - 38 graph

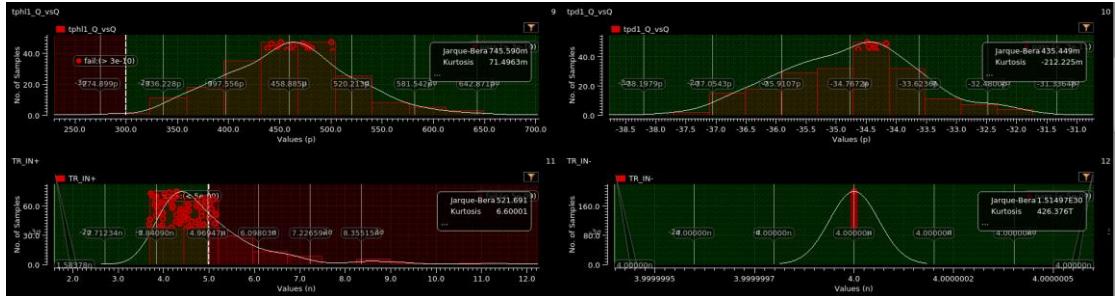
ניתן לראות לפי גרפף מס 38 שעבור הזמן הזרים הבאים התקבלו התוצאות :

Tph1\_QbarvsQ : התקבלו טווח הזמן (600ps) – (650ps) כאשר זמן האופטימלי וההמehr ביותר הינו (-600ps).

Tpd\_QvsQbar : התקבלו טווח הזמן (33.5ps – 36ps) כאשר זמן האופטימלי וההמehr ביותר הינו .33.5ps.

Tph1\_\_QvsQbar : התקבלו טווח הזמן (350ps – 720ps) כאשר זמן האופטימלי וההמehr ביותר הינו .350ps.

Tph1\_ QvsQbar : התקבלו טווח הזמן (280ps) – (650ps) כאשר זמן האופטימלי וההמehr ביותר הינו (-280ps).



pre-charge , T6-SRAM,amplifier -ל WRITE montecarlo במצב - - - 39 graph

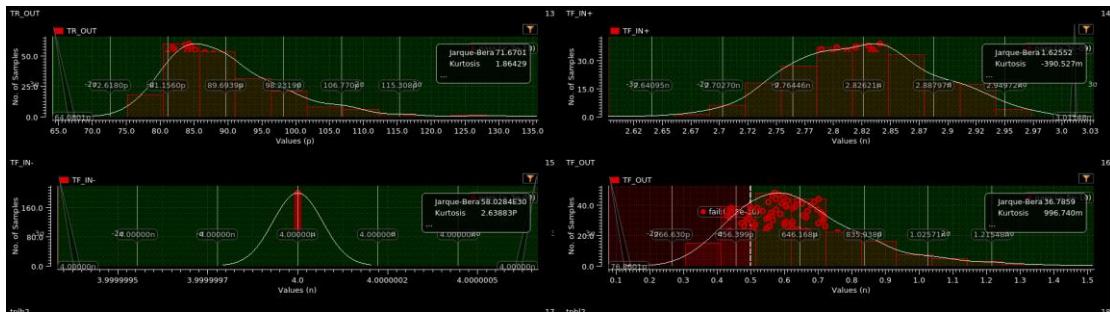
ניתן לראות לפי גרפף מס 39 שעבור הזמן הזרים הבאים התקבלו התוצאות :

Tph1\_QbarvsQ : התקבלו טווח הזמן (450ps – 500ps) כאשר זמן האופטימלי וההמehr ביותר הינו .450ps.

Tpd\_QbarvsQ : התקבלו טווח הזמן (34ps) – (35ps) כאשר זמן האופטימלי וההמehr ביותר הינו .(34ps).

Tr\_IN+ : התקבלו טווח הזמן ns 3.9 – 5.1nas כאשר זמן האופטימלי וההמehr ביותר הינו ns 3.9.

Tr\_IN- : התקבלו טווח הזמן ייחד בזמן 4ns.



תוצאת בדיקת WRITE montecarlo במצב pre-charge , T6-SRAM,amplifier - 40 graph

ניתן לראות לפי גרפף מס 40 שעבור הזמנים הבאים התקבלו התוצאות :

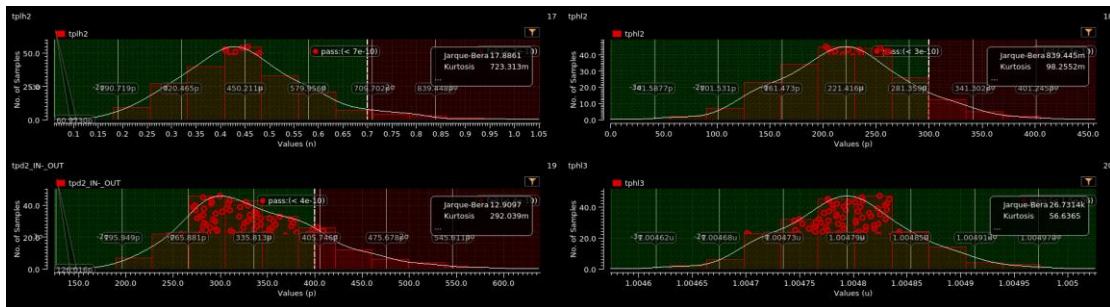
.80ps : התקבלו טווח הזמן 80ps – 88ps כאשר זמן האופטימלי וההמיר ביותר הינו 80ps.

2.77ns : התקבלו טווח הזמן 2.77ns – 2.84ns כאשר זמן האופטימלי וההמיר ביותר הינו

.4ns : התקבלו טווח הזמן היחיד בזמן 2.77ns Tf\_IN-.

0.4ns : התקבלו טווח הזמן 0.4ns – 0.75ns כאשר זמן האופטימלי וההמיר ביותר הינו

.0.4ns



תוצאת בדיקת WRITE montecarlo במצב pre-charge , T6-SRAM,amplifier - 41 graph

ניתן לראות לפי גרפף מס 41 שעבור הזמנים הבאים התקבלו התוצאות :

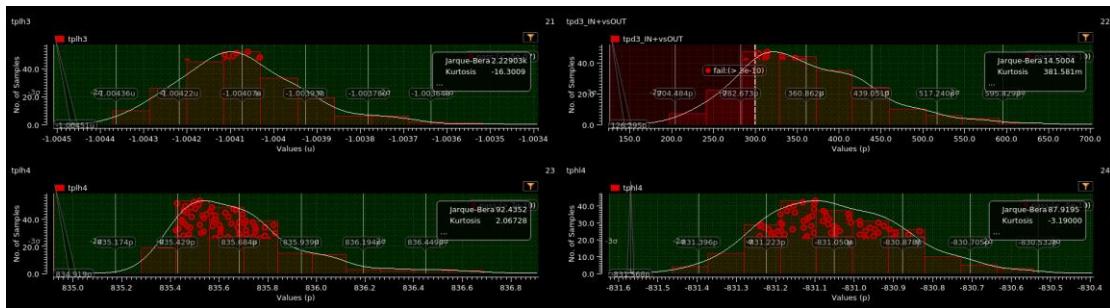
0.4ns : התקבלו טווח הזמן 0.4ns – 0.5ns כאשר זמן האופטימלי וההמיר ביותר הינו .4ns.

.200ps : התקבלו טווח הזמן 200ps – 260ps כאשר זמן האופטימלי וההמיר ביותר הינו 200ps.

1. 0047us – 1. 00485us : התקבלו טווח הזמן 1. 0047us – 1. 00485us כאשר זמן האופטימלי וההמיר ביותר

. 1. 0047us .

.250ps : התקבלו טווח הזמן 250ps – 410ps כאשר זמן האופטימלי וההמיר ביותר הינו 250ps.



42 graph - תוצאות בדיקת WRITE במצב montecarlo ב- T6-SRAM,amplifier - pre-charge ,

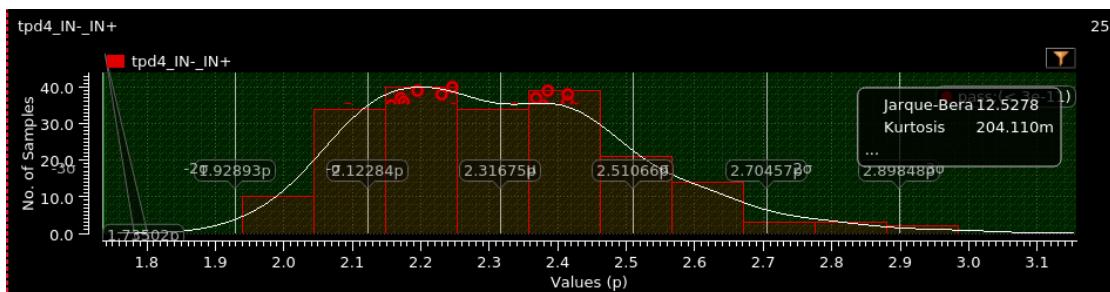
ניתן לראות לפי גרפף מס 42 שבעור הזמנים הבאים התקבלו התוצאות :

Tph3 : התקבלו טווח הזמנים (-1.0042us – -1.004us) כאשר זמן האופטימלי והמהיר ביותר הינו -.1.004us.

Tph4 : התקבלו טווח הזמנים 835.4ps – 835.8ps כאשר זמן האופטימלי והמהיר ביותר הינו .835.4ps

Tph4 : התקבלו טווח הזמנים (-835.8ps – -830ps) כאשר זמן האופטימלי והמהיר ביותר הינו -.830ps

Tpd\_IN\_OUT : התקבלו טווח הזמנים 300ps – 350ps כאשר זמן האופטימלי והמהיר ביותר הינו .300ps

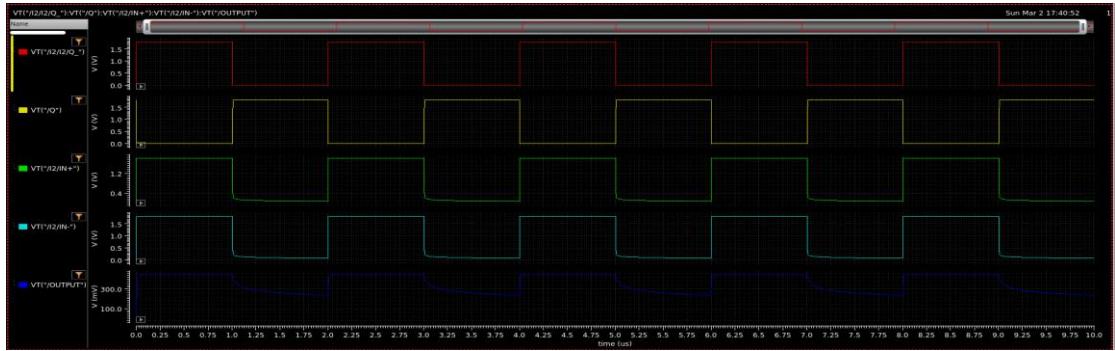


43 graph - תוצאות בדיקת WRITE במצב montecarlo ב- T6-SRAM,amplifier - pre-charge ,

ניתן לראות לפי גרפף מס 43 שבעור הזמנים הבאים התקבלו התוצאות :

Tpd\_IN\_IN+ : התקבלו טווח הזמנים 2.1ps – 2.42ps כאשר זמן האופטימלי והמהיר ביותר הינו .2.1ps

## עבור ↗ READ



amplifier, T6-SRAM , pre-charge - ↗ READ - 44 graph

בגרף מס' 44 ניתן לראות כאשר רgel IN- מיצגת את BL-IN+ מיצגת את BL-IN+ הינם זהים זה לזה, מתבצע היפוך בין דבר המראה על תקינות במצב READ. יתר על כן, כאשר IN+ גדול מ IN- אז מתקבל לו במצבו מתח VDD במידה ולא, נקלט מתח GND.

| Name       | Type   | Details  | Value   | Plot | Save | Spec    |
|------------|--------|--|---------|------|------|---------|
| Filter     | Filter | VTC("1/2/Q, -")  |         |      |      |         |
|            | expr   | VTC("Q, -")  |         |      |      |         |
| TRQ_       | expr   | riseTime(VTC("1/2/Q, -")) 1.8 ns 0 ns 10.90 ns "time"  | 1.215n  |      |      | > 1n    |
| TRQ_       | expr   | riseTime(VTC("1/2/Q, -")) 0 ns 1.8 ns 10.90 ns "time"  | 1.000n  |      |      | < 2n    |
| TFQ_       | expr   | fallTime(VTC("Q, -")) 1.8 ns 0 ns 10.90 ns "time"  | 4n      |      |      | < 4.1n  |
| TRQ_       | expr   | riseTime(VTC("Q, -")) 0 ns 1.8 ns 10.90 ns "time"  | 3n      |      |      | < 4.1n  |
| tplh_QvsQ_ | expr   | delay(?w1 VTC("Q, -") ?value1 0.9 ?edge1 "rising" ?nh1 1.8 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?... delay(?w1 VTC("Q, -") ?value1 0.9 ?edge1 "falling" ?nh1 1.8 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?...           | -902.1p |      |      | < 500p  |
| tplh_QvsQ_ | expr   | (0.5 * (tplh_QvsQ_ + tphi_QvsQ_))  | 1.055n  |      |      | < 1.1n  |
| tpd1_QvsQ_ | expr   | delay(?w1 VTC("1/2/Q, -") ?value1 0.9 ?edge1 "rising" ?nh1 1.8 ?d1 0.0 ?to11 nil ?wf2 VTC("Q, -") ?... delay(?w1 VTC("1/2/Q, -") ?value1 0.9 ?edge1 "falling" ?nh1 1.8 ?d1 0.0 ?to11 nil ?wf2 VTC("Q, -") ?...           | 76.35p  |      |      | < 120p  |
| tpd1_QvsQ_ | expr   | (0.5 * (tpd1_Q_vsQ + tphi1_Q_vsQ))   | -1.005n |      |      | < -0.9n |
| tpd1_Q_vsQ | expr   | delay(?w1 VTC("1/2/Q, -") ?value1 0.9 ?edge1 "rising" ?nh1 1.8 ?d1 0.0 ?to11 nil ?wf2 VTC("Q, -") ?... delay(?w1 VTC("1/2/Q, -") ?value1 0.9 ?edge1 "falling" ?nh1 1.8 ?d1 0.0 ?to11 nil ?wf2 VTC("Q, -") ?...           | 902.1p  |      |      | > 700p  |
| tpd1_Q_vsQ | expr   | (0.5 * (tpd1_Q_vsQ + tphi1_Q_vsQ))   | -76.35p |      |      | < -50p  |
|            | expr   | VTC("1/2/IN, -")   |         |      |      |         |
|            | expr   | VTC("2/IN, -")   |         |      |      |         |
|            | expr   | VTC("OUTPUT")  |         |      |      |         |
| TR_IN+     | expr   | delay(?w1 VTC("Q, -") ?value1 0.9 ?edge1 "rising" ?nh1 1.5 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?... delay(?w1 VTC("Q, -") ?value1 0.9 ?edge1 "falling" ?nh1 1.5 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?...           | 5.297n  |      |      | < 4n    |
| TR_IN+     | expr   | riseTime(VTC("1/2/Q, -")) 0 ns 1.5 ns 10.90 ns "time"  | 3.030n  |      |      | < 4n    |
| TR_OUT     | expr   | riseTime(VTC("OUTPUT")) 0 ns 0.44 ns 10.90 ns "time"   | 7.389n  |      |      | < 20n   |
| TE_IN+     | expr   | fallTime(VTC("1/2/IN, -")) 1.5 ns 0 ns 10.90 ns "time"   | 63.38n  |      |      | > 30n   |
| TE_IN+     | expr   | fallTime(VTC("1/2/IN, -")) 1.8 ns 0 ns 10.90 ns "time"   | 24.35n  |      |      | > 16n   |
| TR_OUT     | expr   | fallTime(VTC("1/2/IN, -")) 1.8 ns 0 ns 10.90 ns "time"   | 399.8n  |      |      | > 300n  |
| tplh4      | expr   | delay(?w1 VTC("1/2/Q, -") ?value1 0.75 ?edge1 "rising" ?nh1 1.5 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?... delay(?w1 VTC("1/2/Q, -") ?value1 0.75 ?edge1 "falling" ?nh1 1.5 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?... | 1.006u  |      |      | > 900p  |
| tplh4      | expr   | (0.5 * (tplh4 + tphi4))  | -1.006u |      |      | < -900p |
| tpd4_IN+   | expr   | delay(?w1 VTC("1/2/Q, -") ?value1 0.75 ?edge1 "rising" ?nh1 1.5 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?... delay(?w1 VTC("1/2/Q, -") ?value1 0.75 ?edge1 "falling" ?nh1 1.5 ?d1 0.0 ?to11 nil ?wf2 VTC("1/2/Q, -") ?... | 3.435f  |      |      | < 4f    |
| tpd4_IN+   | expr   | (0.5 * (tpd4_IN+ + tphi4))   | 446.5m  |      |      | < 500m  |
|            | expr   | ymin(VTC("OUTPUT"))  | 6.507n  |      |      | < 9n    |
|            | expr   | xmax(VTC("OUTPUT")) 1)   | 2.041u  |      |      | < 3u    |
|            | expr   | xmin(VTC("OUTPUT")) 1)   | 0       |      |      |         |

נתונים ותוצאת הזמן עבור מצב READ - 30 Table

## בדיקה ↗ corners test -

לבדיקה corners נבדקו המצביעים הבאים : ff,fs,ss,tt . כמו כן, בוצעה בדיקה עבור המעלות : 0,55,80

| Corner | temperature | gpdk045_scs | Pass/Fail | VTC("1/2/Q, -") | VTC("Q, -") | TRQ_ | TFQ_ | TRQ     | tplh_QvsQ_ | tphi_QvsQ_ | tpd_QvsQ_ | tphi1_Q_vsQ | tpd1_Q_vsQ |
|--------|-------------|-------------|-----------|-----------------|-------------|------|------|---------|------------|------------|-----------|-------------|------------|
| Filter | Filter      | Filter      | Filter    |                 |             |      |      |         |            |            |           |             |            |
| C0_0   | 27          | mc          |           | 1.215n          | 1.088n      | 4n   | 4n   | -902.1p | 1.055n     | 76.35p     | -1.055n   | 902.1p      | -76.35p    |
| C0_1   | 0           | ff          |           | 1.186n          | 1.123n      | 4n   | 4n   | -929p   | 1.02n      | 45.41p     | -1.02n    | 929p        | -45.41p    |
| C0_2   | 55          | ff          |           | 1.179n          | 1.113n      | 4n   | 4n   | -952p   | 1.048n     | 48.09p     | -1.048n   | 952p        | -48.09p    |
| C0_3   | 80          | ff          |           | 1.179n          | 1.104n      | 4n   | 4n   | -956p   | 1.06n      | 52.1p      | -1.06n    | 956p        | -52.1p     |
| C0_4   | 0           | fs          |           | 1.143n          | 1.022n      | 4n   | 4n   | -965.3p | 1.117n     | 75.75p     | -1.117n   | 965.3p      | -75.75p    |
| C0_5   | 55          | fs          |           | 1.133n          | 1.016n      | 4n   | 4n   | -984.1p | 1.14n      | 78p        | -1.14n    | 984.1p      | -78p       |
| C0_6   | 80          | fs          |           | 1.131n          | 1.01n       | 4n   | 4n   | -990.5p | 1.149n     | 79.41p     | -1.149n   | 990.5p      | -79.41p    |
| C0_7   | 0           | sf          |           | 1.3n            | 1.163n      | 4n   | 4n   | -821.7p | 976p       | 77.12p     | -976p     | 821.7p      | -77.12p    |
| C0_8   | 55          | sf          |           | 1.289n          | 1.156n      | 4n   | 4n   | -836.4p | 996p       | 79.78p     | -996p     | 836.4p      | -79.78p    |
| C0_9   | 80          | sf          |           | 1.287n          | 1.156n      | 4n   | 4n   | -841.6p | 1.009n     | 81.66p     | -1.009n   | 841.6p      | -81.66p    |
| C0_10  | 0           | ss          |           | 1.294n          | 1.04n       | 4n   | 4n   | -846.1p | 1.106n     | 130.1p     | -1.106n   | 846.1p      | -130.1p    |
| C0_11  | 55          | ss          |           | 1.276n          | 1.042n      | 4n   | 4n   | -863.6p | 1.114n     | 125.2p     | -1.114n   | 863.6p      | -125.2p    |
| C0_12  | 80          | ss          |           | 1.274n          | 1.048n      | 4n   | 4n   | -867.3p | 1.119n     | 125.6p     | -1.119n   | 867.3p      | -125.6p    |
| C0_13  | 0           | tt          |           | 1.221n          | 1.093n      | 4n   | 4n   | -891.9p | 1.044n     | 76.18p     | -1.044n   | 891.9p      | -76.18p    |
| C0_14  | 55          | tt          |           | 1.211n          | 1.087n      | 4n   | 4n   | -909.9p | 1.065n     | 77.77p     | -1.065n   | 909.9p      | -77.77p    |
|        | 80          | tt          |           | 1.21n           | 1.084n      | 4n   | 4n   | -914p   | 1.074n     | 79.77p     | -1.074n   | 914p        | -79.77p    |

| Corner | temperature | gdk045c.scs | J7's   | TR_IN+ | TR_IN- | TR_OUT | TF_IN+   | TF_IN- | tp4h     | tp4h   | tp4s_IN-+IN | ymin(VII)/OUTPUT") | ymin(VII)/OUTPUT") | xmax(VII)/OUTPUT") | xmax(VII)/OUTPUT") | xmin(VII)/OUTPUT") |
|--------|-------------|-------------|--------|--------|--------|--------|----------|--------|----------|--------|-------------|--------------------|--------------------|--------------------|--------------------|--------------------|
| Filter | Filter      | Filter      | Filter | Filter | Filter | Filter | Filter   | Filter | Filter   | Filter | Filter      | Filter             | Filter             | Filter             | Filter             | Filter             |
| nom    | 27          | mnc         |        | 3.297n | 3.204n | 7.389n | 63.38n   | 24.35n | 399.8n   | 1.006u | -1.006u     | 3.435f             | 446.5m             | 6.507n             | 2.041u             | 0                  |
| CD_0   | 0           | ff          |        | 3.412n | 3.355n | 4.769n | 11n      | 6.818n | eval err | 1.005u | -1.006u     | -5.81f             | 414.2m             | 404.3p             | 6.016u             | 0                  |
| Q_0.1  | 55          | ff          |        | 3.403n | 3.403n | 6.629n | 64.62n   | 5.186n | eval err | 1.006u | -1.006u     | -1.005u            | 436.5m             | 434.5p             | 18.46n             | 0                  |
| Q_0.2  | 80          | ff          |        | 3.517n | 3.471n | 7.559n | 63.559n  | 2.559n | eval err | 1.005u | -1.005u     | -1.158f            | 401m               | 81.96p             | 70.55n             | 0                  |
| Q_0.3  | 0           | fs          |        | 3.409n | 3.058n | 7.694n | 493.4n   | 133.2n | eval err | 1.006u | -1.006u     | -48.03             | 493.5m             | 32.41n             | 4.038u             | 0                  |
| Q_0.4  | 55          | fs          |        | 3.263n | 3.139n | 6.568n | 100.7n   | 71.51n | 698.6n   | 1.006u | -1.006u     | 54.23f             | 435.3m             | 63.28p             | 41.99n             | 0                  |
| Q_0.5  | 80          | fs          |        | 3.39n  | 3.185n | 9.226n | 60.64n   | 25.16n | 420.3n   | 1.006u | -1.006u     | 57.66f             | 427.8m             | 172.8p             | 44.27n             | 0                  |
| Q_0.6  | 0           | sf          |        | 3.321n | 3.262n | 6.775n | 35.34n   | 14.65n | 281.1n   | 1.006u | -1.006u     | 9.861f             | 452.1m             | 9.13n              | 36.16n             | 0                  |
| Q_0.7  | 55          | sf          |        | 3.363n | 3.332n | 7.608n | 13.85n   | 8.011n | 98.36n   | 1.006u | -1.006u     | 15.9f              | 433.9m             | 32.51p             | 2.033u             | 0                  |
| Q_0.8  | 80          | sf          |        | 3.402n | 3.36n  | 8.002n | 10.43n   | 6.789n | 68.25n   | 1.006u | -1.006u     | 12.55f             | 427.7m             | 6.346p             | 6.032u             | 0                  |
| Q_0.9  | 0           | ss          |        | 3.199n | 2.949n | 19.79n | eval err | 762.9n | eval err | 1.006u | -1.006u     | 41.45f             | 491.8m             | 1.192z             | 161.6n             | 0                  |
| Q_0.10 | 55          | ss          |        | 3.335n | 3.037n | 17.22n | 436n     | 145.3n | eval err | 1.006u | -1.006u     | 27.22f             | 469.7m             | 91.25zn            | 110.8n             | 0                  |
| CO_11  | 80          | ss          |        | 3.246n | 3.057n | 16.66n | 222.7n   | 83.69n | eval err | 1.006u | -1.006u     | 35.94f             | 461.9m             | 14.38n             | 101n               | 0                  |
| Q_0.12 | 0           | tt          |        | 3.306n | 3.16n  | 7.074n | 127.7n   | 41.97n | 824.5n   | 1.006u | -1.006u     | 9.12f              | 457.6m             | 79.39n             | 2.044u             | 0                  |
| CO_13  | 55          | tt          |        | 3.321n | 3.227n | 7.962n | 35.89n   | 15.97n | 222.5n   | 1.006u | -1.006u     | 6.501f             | 437m               | 692p               | 6.036u             | 0                  |
| Q_0.14 | 80          | tt          |        | 3.337n | 3.254n | 8.377n | 23.53n   | 10.1n  | 142.4n   | 1.006u | -1.006u     | 7.516f             | 430.1m             | 137.8p             | 37.3n              | 0                  |

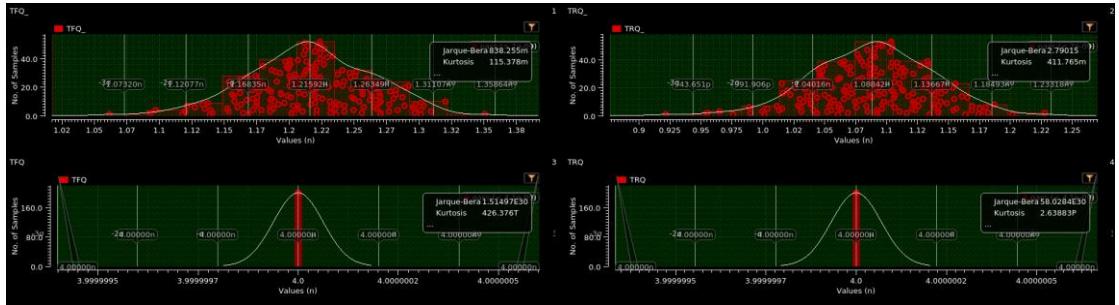
31 Table - READ מצב ערבן TPD עברו pre-charge , T6-SRAM,amplifier - 7

## בדיקה READ במצב Montecarlo

טבלת תוצאות:

| Test  | Output                | Min     | Max     | Mean    | Median  | Std Dev | Spec    | Pass/Fail |
|---|-----------------------|---------|---------|---------|---------|---------|---------|-----------|
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TFQ_                  | 1.131n  | 1.3n    | 1.22n   | 1.213n  | 57.64p  | > 1n    | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TRQ_                  | 1.01n   | 1.163n  | 1.084n  | 1.088n  | 49p     | < 2n    | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TFQ                   | 4n      | 4n      | 4n      | 4n      | 0       | < 4.1n  | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TRQ                   | 4n      | 4n      | 4n      | 4n      | 0       | < 4.1n  | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tphl_QvsQ_            | -990.5p | -821.7p | -904.5p | -906p   | 53.12p  | < 500p  | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tphl_QvsQ_            | 976p    | 1.149n  | 1.068n  | 1.063n  | 50.95p  | < 1.1n  | near      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd_QvsQ_             | 45.41p  | 130.1p  | 81.77p  | 77.88p  | 24.56p  | < 120p  | near      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph1_Q_vsQ            | -1.149n | -976p   | -1.068n | -1.063n | 50.95p  | < -0.9n | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tph1_Q_vsQ            | 821.7p  | 990.5p  | 904.5p  | 906p    | 53.12p  | > 700p  | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd1_Q_vsQ            | -130.1p | -45.41p | -81.77p | -77.88p | 24.56p  | < -50p  | near      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TR_IN+                | 3.246n  | 3.993n  | 3.412n  | 3.363n  | 167.3p  | < 4n    | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TR_IN-                | 2.949n  | 3.471n  | 3.219n  | 3.216n  | 146.8p  | < 4n    | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TR_OUT                | 4.769n  | 19.79n  | 9.433n  | 7.828n  | 4.229n  | < 20n   | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TF_IN+                | 5.586n  | 493.4n  | 109.8n  | 35.89n  | 150.6n  | > 30n   | fail      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TF_IN-                | 4.829n  | 762.9n  | 83.02n  | 20.16n  | 180.8n  | > 16n   | fail      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | TF_OUT                | 68.25n  | 824.5n  | 350.6n  | 281.1n  | 249.6n  | > 60n   | fail      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tphl4                 | 1.006u  | 1.006u  | 1.006u  | 1.006u  | 2.148p  | > 900p  | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tphl4                 | -1.006u | -1.006u | -1.006u | -1.006u | 2.124p  | < -900p | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | tpd4_IN_IN+           | -57.66f | 41.45f  | -164.9a | 7.008f  | 28.6f   | < 40f   | near      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | ymax(VT."/OUTPUT")    | 401m    | 491.8m  | 440.7m  | 436.4m  | 23.41m  | < 500m  | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | ymin(VT."/OUTPUT")    | 6.346p  | 1.192u  | 89.31n  | 662.4p  | 286n    | < 90n   | fail      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | xmax(VT."/OUTPUT") 1) | 18.06n  | 6.036u  | 1.801u  | 136.2n  | 2.318u  | < 7u    | pass      |
| llor_PRECHARGE_T6_SRAM_Comparator_mplifier_tb_1 | xmin(VT."/OUTPUT") 1) | 0       | 0       | 0       | 0       | 0       |         |           |

– נתונים שהוזנו עבור בדיקות montecarlo במאובטן READ - 32 Table pre-charge , T6-SRAM,amplifier



pre-charge , T6-SRAM,amplifier - $\downarrow$  READ במצב montecarlo - 45 graph

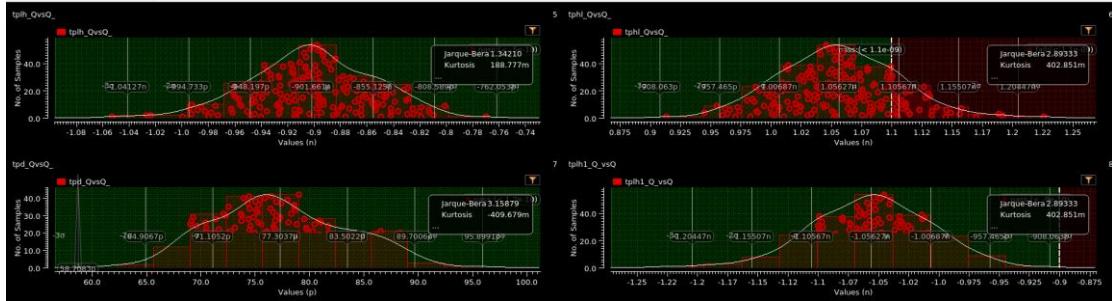
ניתן לראות לפי גרפ' מס 45 שעבור הזמנים הבאים התקבלו התוצאות:

התקבלו טווח הזמן  $1.06\text{ns} - 1.35\text{ns}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $1.06\text{ns}$

התקבלו טווח הזמן  $0.92\text{ns} - 1.22\text{ns}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $0.92\text{ns}$ .

התקבלו טווח הזמן ייחד בזמן  $4\text{ns}$  : Tf\_Q

התקבלו טווח הזמן ייחד בזמן  $4\text{ns}$  : Tr\_Q



pre-charge , T6-SRAM,amplifier -ל READ montecarlo במצב 46 graph

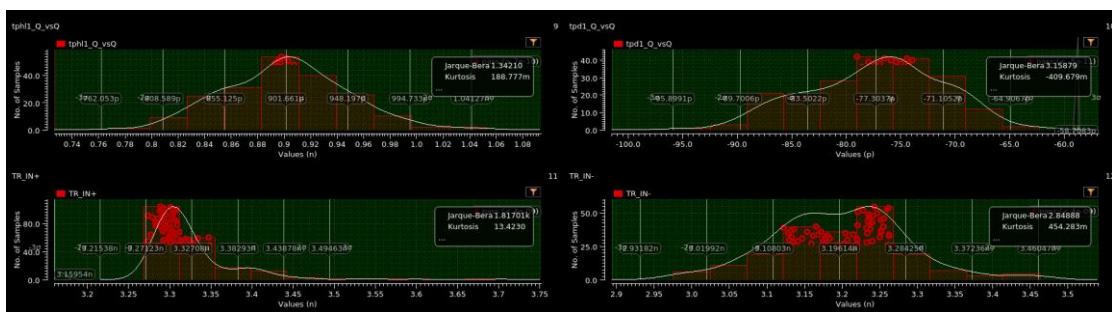
ניתן לראות לפי גרף מס 46 שעבור הזמן הבאים התקבלו התוצאות :

התקבלו טווח הזמן  $-1\text{ns} - 1.1\text{ns}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $(-1\text{ns})$ .

התקבלו טווח הזמן  $70\text{ps} - 87\text{ps}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $.70\text{ps}$ .

התקבלו טווח הזמן  $0.92\text{ns} - 1.22\text{ns}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $0.92\text{ns}$ .

התקבלו טווח הזמן  $-0.77\text{ns} - -1.06\text{ns}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $(-0.77\text{ns})$ .



pre-charge , T6-SRAM,amplifier -ל READ montecarlo במצב 47 graph

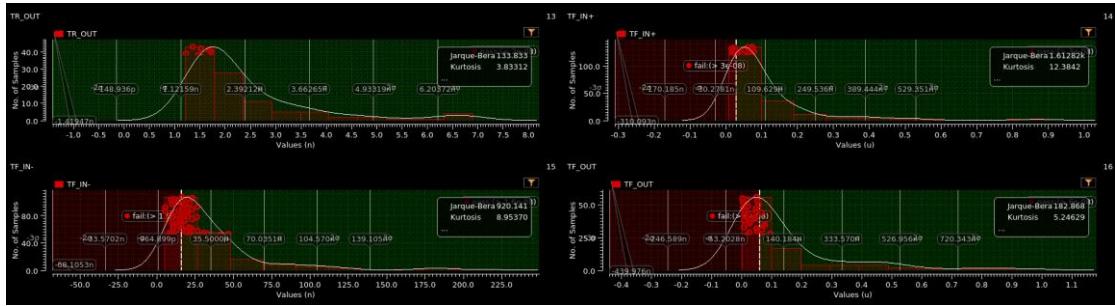
ניתן לראות לפי גרף מס 47 שעבור הזמן הבאים התקבלו התוצאות :

התקבלו טווח הזמן  $0.89\text{ns} - 0.91\text{ns}$  כאשר זמן האופטימלי והמהיר ביותר הינו  $0.89\text{ns}$ .

תתקבלו טווח הזמן (80ps – 73ps) כאשר זמן האופטימלי וההיר ביותר הינו (-73ps).

התקבלו טווח הזמן ns – 3.35ns כאשר זמן האופטימלי וההיר ביותר הינו .3.25ns.

התקבלו טווח הזמן ns – 3.25ns כאשר זמן האופטימלי וההיר ביותר הינו .3.13ns.



48 graph - תוצאות בדיקת montecarlo במאב pre-charge , T6-SRAM,amplifier -ל READ

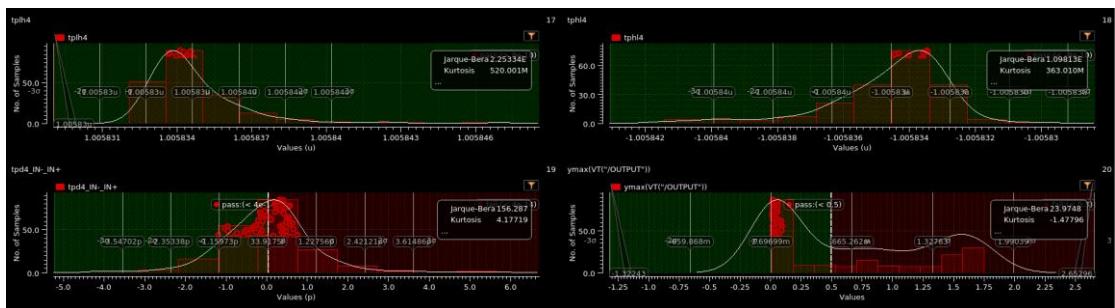
ניתן לראות לפי גרפף מס 48 שעבור הזמן הבאים התקבלו התוצאות :

התקבלו טווח הזמן ns – 1.7ns כאשר זמן האופטימלי וההיר ביותר הינו .1.2ns.

התקבלו טווח הזמן us – 0.1us כאשר זמן האופטימלי וההיר ביותר הינו 0.

התקבלו טווח הזמן ns – 50ns כאשר זמן האופטימלי וההיר ביותר הינו 0.

התקבלו טווח הזמן ns – 0.1us כאשר זמן האופטימלי וההיר ביותר הינו 0.



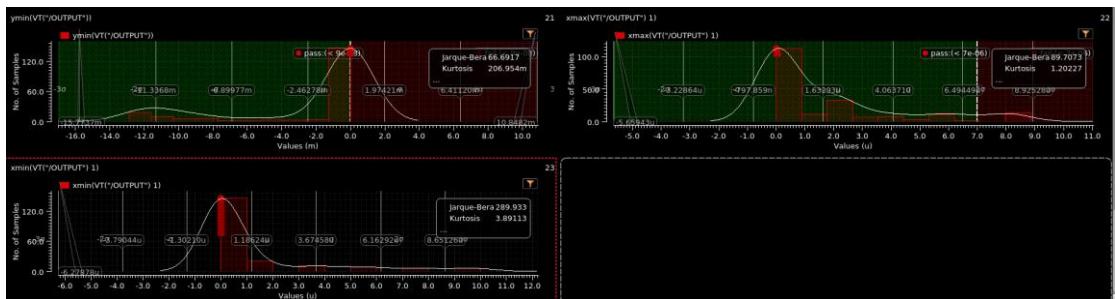
49 graph - תוצאות בדיקת montecarlo במאב pre-charge , T6-SRAM,amplifier -ל READ

ניתן לראות לפי גרפף מס 50 שעבור הזמן הבאים התקבלו התוצאות :

תתקבלו טווח הזמן ns – 1.005835ns כאשר זמן האופטימלי וההיר ביותר הינו 1. 005834ns.

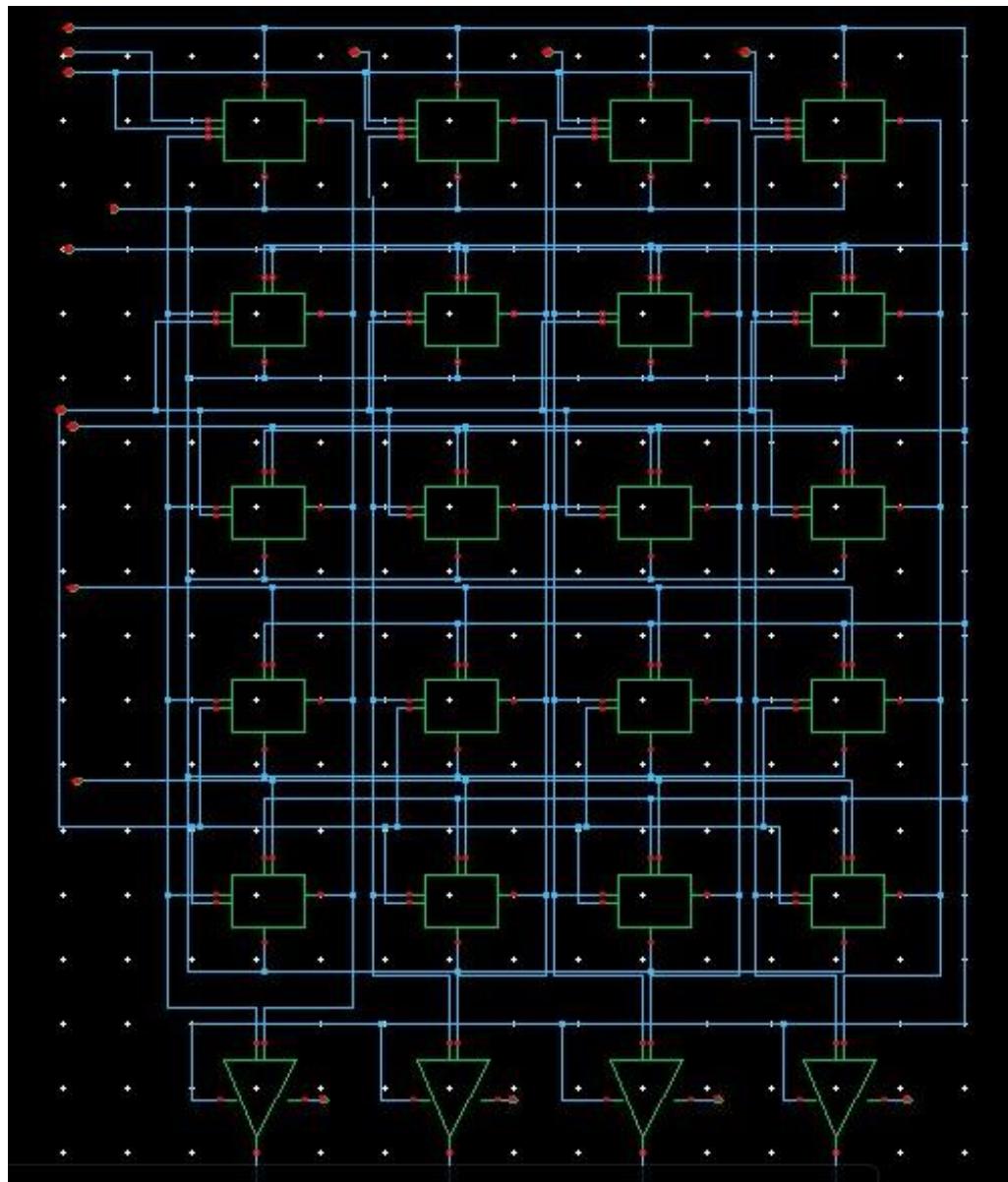
תתקבלו טווח הזמן ns – (-1. 005834ns) – (-1.005835ns) כאשר זמן האופטימלי וההיר ביותר הינו (-1. 005834ns).

התקבלו טווח הזמן הזרמי – 0.8ps – 1ps : Tpd\_IN-IN+  
הינו 0 .

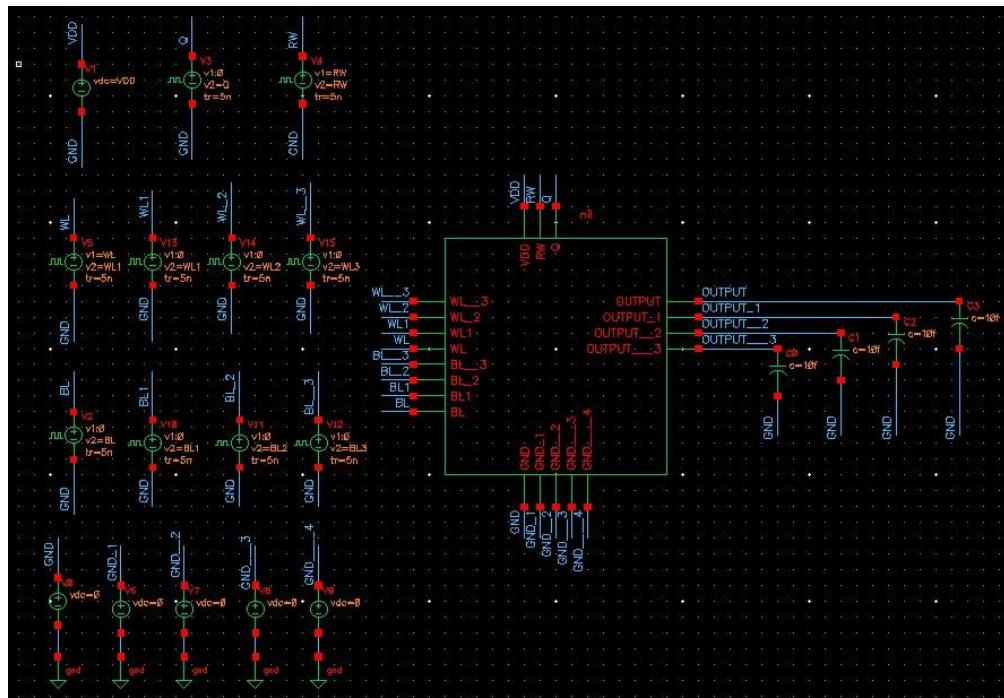


תוצאת בדיקת READ montecarlo - 50 graph  
pre-charge , T6-SRAM,amplifier -ל

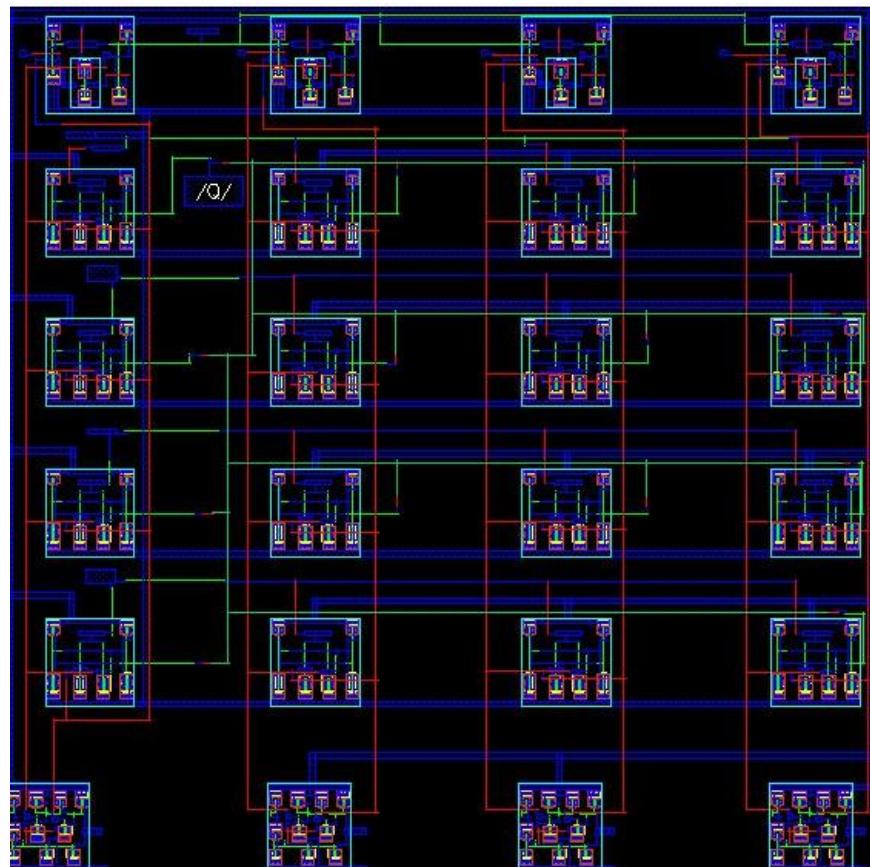
- הרכיבת רכיבים 4 Pre-charge ו-amplifier, T6-SRAM



עבור pre-charge , T6-SRAM x4 ,amplifier schematic – 46 Figure



הערות עבורי pre-charge , T6-SRAM x4 ,amplifier symbol - 47 Figure



הערות עבורי pre-charge , T6-SRAM x4 ,amplifier layout - 48 Figure

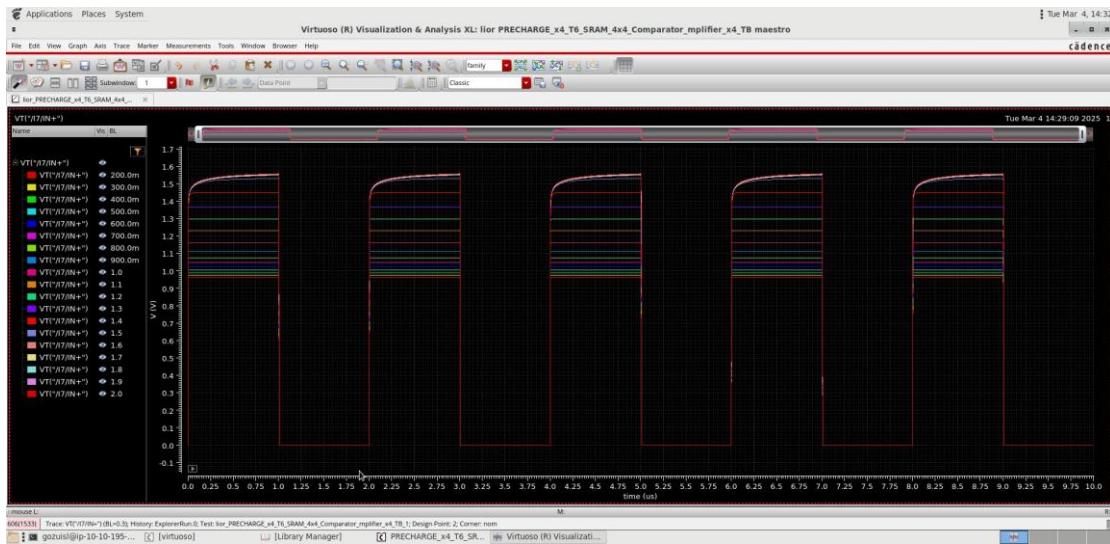
## • בדיקת רכיבים מחוברים יחד T6-SRAM x4

:charge

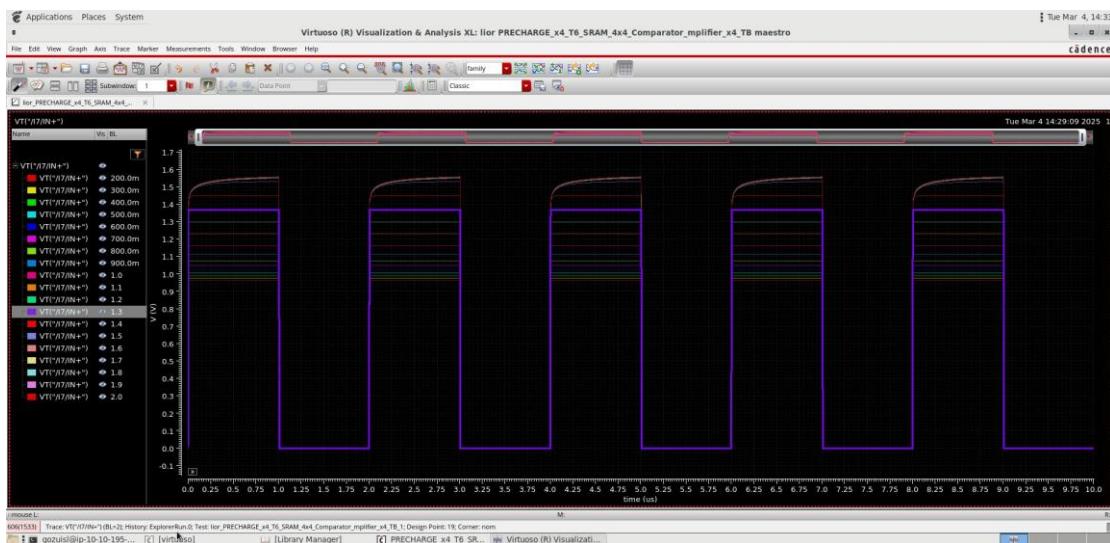
► מצב WRITE:

- בדיקת טווח מתחים:

בבדיקה זו בוצע בדיקת טווח מתחים מ-0.2V עד -2V בקפיצות של 0.1V.



– בדיקת טווחים במאכ"ב WRITE עבור pre-charge , T6-SRAM x4 ,amplifier 51 graph



– תוצאות הטווח האופטימלי במאכ"ב WRITE עבור pre-charge , T6-SRAM x4 ,amplifier 52 graph

כפי שניתן לראות בגרף מס' 52 התקבלו מספר מתחים שונים, כאשר המתח 1.3V הוא המתח האופטימי ביותר (צורת הגל העוברת בזרה חלקה ללא עיוותים) כי ניתן לראות שלאחר מתח זה מתחילה צורת עיוות בגל הריבועי המהווה רעשים באוט.

בבדיקה עבור עמודה אחת של הרכיב השלם המיצגת את שאר העמודות של רכיב זה. התוצאות המתקבלות בכל העמודות זהות זו לזו על כן בוצע בדיקה רק על עמודה ראשונה.

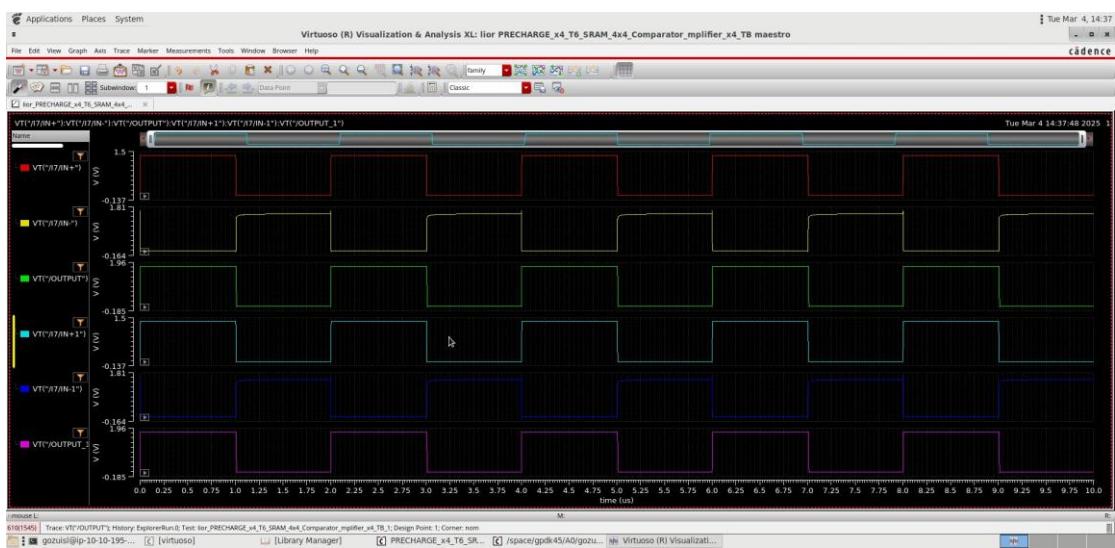


pre-charge , T6-SRAM x4 ,amplifier - מצב WRITE ברכיבים 53 graph

ניתן לראות בגרף מס' 53 כאשר רגל IN- מיצגת את BLB ורגל IN+ מיצגת את BL מתkelig כי IN- תואם ל-Q-ו-IN+ ותואם ל-QBAR.

כמו כן על רכבי IN+ ו-IN- הינם הופכים זה לזה דבר המראה על תקינות במצב WRITE.

לאחר שנמצא המתח האופטימלי עבור הרכיב השלם (1.3V), הוזן המתח למעגל.





54 graph - עבור מצב V1.3 במצב WRITE ברכיבים T6-SRAM x4,amplifier

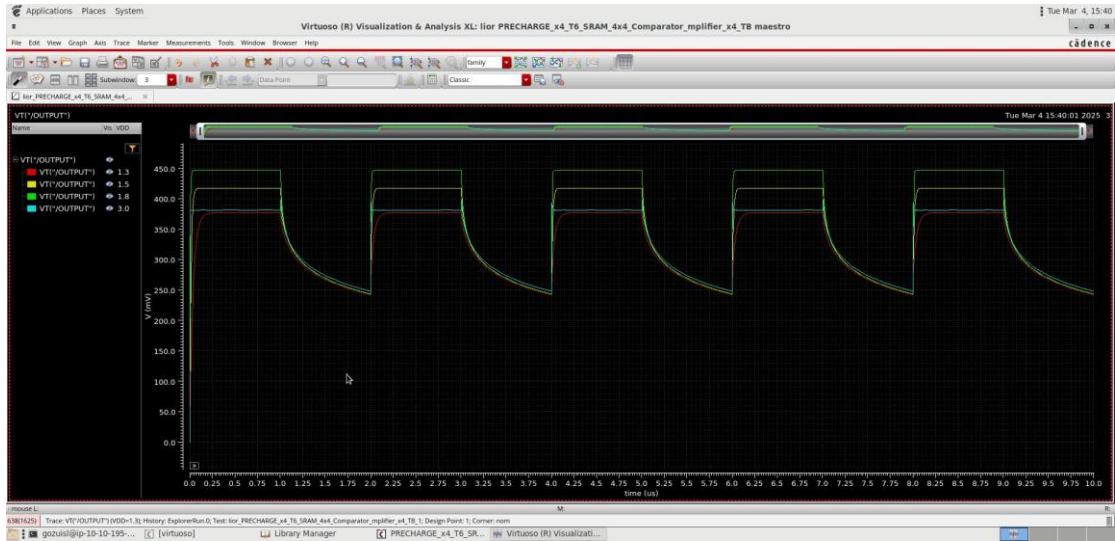
ניתן לראות בגרף מס' 54 כאשר רgel IN- מייצגת את BLB ורgel IN+ מייצגת את BL.

כמו כן ערכי IN+ ו-IN- הינם הופכיים זה לזו דבר המראה על תקינות במצב WRITE. יתר על כן, כאשר IN+ גדול מ IN- אז מתקיים מצב VDD במידה ולא, נקלט מתח GND.

## ► מצב : READ

### - בדיקת טווח מתחים:

בבדיקה זו בוצע בדיקת מתחים : 1.3V, 1.5V, 1.8V ו-3V.

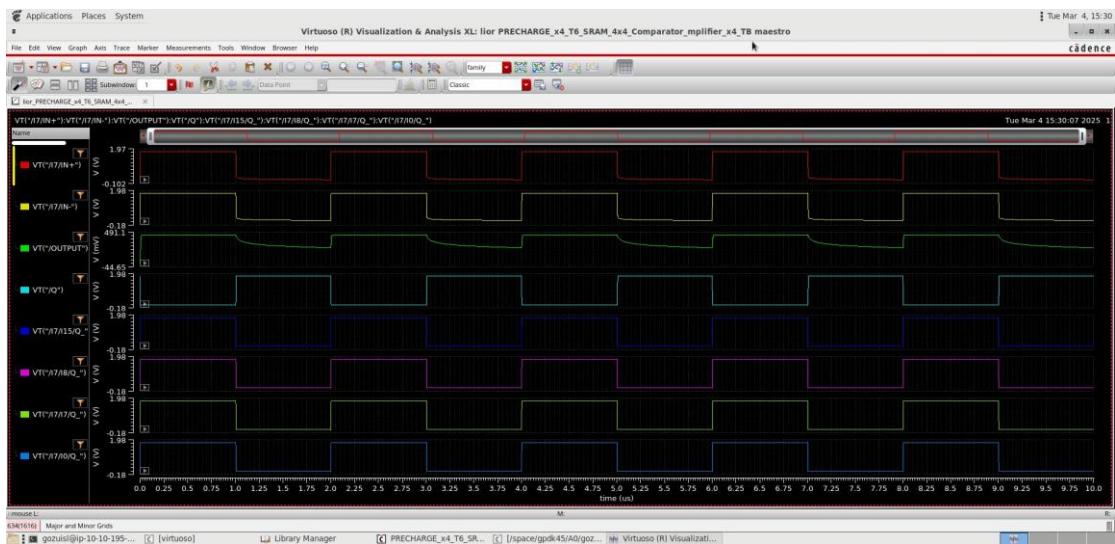


55 graph – תוצאות הטעון במצב READ ברכיבים T6-SRAM x4,amplifier – עבור מצב READ



pre-charge , T6-SRAM x4 ,amplifier READ ברכיבים 56 graph

בבדיקה זו טווח המתחים השפיעו רק על מוצא ה-amplifier וכפי שניתן לראות בגרף מס' 56 התקבלו מספר מתחים שונים, כאשר במתח 1.3V מתקבל המוגבר פריקת מתח הכי מהירה וזהו המתח האופטימלי עבור בדיקה זו.

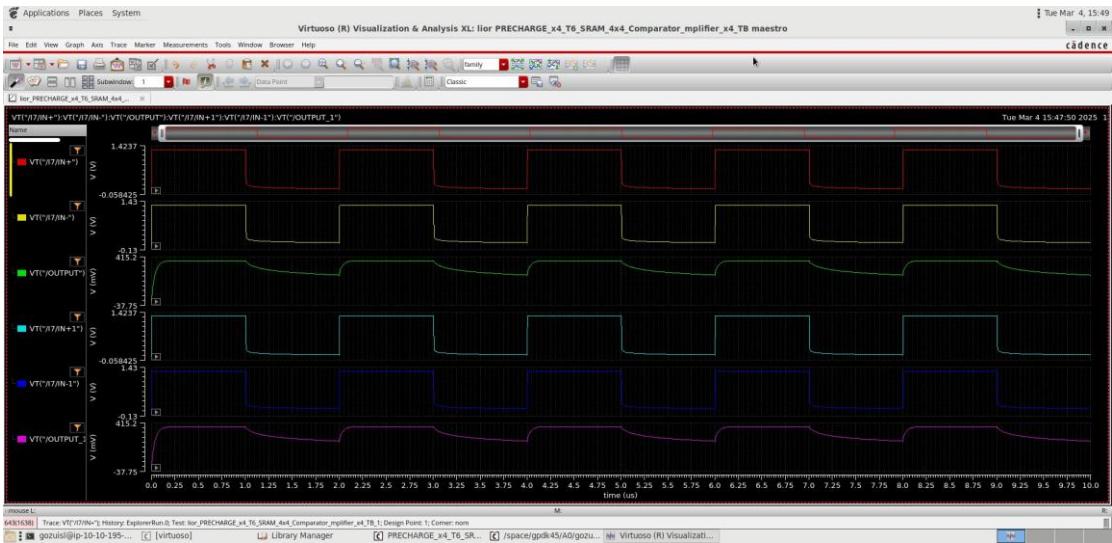


pre-charge , T6-SRAM x4 ,amplifier READ ברכיבים 57 graph

בגרף מס' 57 ניתן לראות כי בוצעה בדיקה עבור עמודה אחת של הרכיב השלים המיצגת את שאר העמודות של רכיב זה. התוצאות המתקבלות בכל העמודות זהות זו לזו על כן בוצע בדיקה רק על עמודה ראשונה. בגרף-IN- מיצגת את BLB ורגל-IN+ מיצגת את BL.

כמו כן ערכי IN+ ו-IN- הינם זה לזה ובנוסף מתבצע הייפוך מצבים בים Q ו-QBAR דבר המראה על תקינות במצב READ.

לאחר שנמצא המתח האופטימלי עבור הרכיב השלם (3V), הוזן המתח למעגל.



58 graph - תוצאות הפרויקט במצב READ ברכיבים pre-charge , T6-SRAM x4 ,amplifier



59 graph - תוצאות הפרויקט במצב READ ברכיבים pre-charge , T6-SRAM x4 ,amplifier

ניתן לראות בגרפים מס' 59 ו-58 כאשר רgel IN- מייצגת את BLB ורgel IN+ מייצגת את BL.

וכמו כן ערכי IN+ ו-IN- הינם זה לזה דבר המראה על תקינות מצב READ, אולם ישנו מצבים בהם יש זליגות קטנות של מתחים הגורמות לשוני בין הרגליות הלא ניתנות לעין מזוינה. במצב בו אחת מהרגליות יותר גדולה מהרגלית השניה מעבר המתח עבור דרך הרגלית הגדולה יותר.

## סיכום ומסקנות

אחד האתגרים המרכזיים בפרויקט היה ללמידה ולהשתגל לתוכנה חדשה תוך פיתוח עיצובים מתקדמים. נדרש הכיר את סביבת העבודה, את חוקי הטכנולוגיה GPDK45, את עקרונות התכנון של פריסות VLSI וכן לשלוט במגוון תכונות כגון עדכו רכיבים וקשרים, חיבור ועוד, על מנת לעמוד בדרישות המחייבות של התכנון ה-VLSI-בנוסף, ביצוע בדיקות אimotoות לפני ייצור-Ze) validation silicon (validation) ומעשיים.

אתגר משמעותי נוסף היה התכנון ה-T6-SRAM. בתחילת, השתמשתי בكونפיגורציה סטנדרטית של תא הזיכרון, טרנזיסטורים ו- (Sense Amplifier) אך במהלך הסימולציות נתקلت בייבואות יכיבות ובתנודות לא רצויות באזוטות בזמן פעולות הקריאה והכתיבה. השגיאה נבעה ומשינויים לא סינכרוניים במתוך הקריאה, שהשפיעו על פעולה Precharge, Sense Amplifier, -, מהימנות הנtones המאוחסנים. כמו כן, הבחןתי בירידה בדיק האזוטות, מה שהוביל לקריאות שגויות ולפגיעה באמינות הנtones המאוחסנים.

על מנת לפתור את הבעיה, ביצעת אופטימיזציה לבנייה ה-T6-SRAM, תוך כיונו יחס הטרנזיסטורים, שיפור מגנו Precharge-והתאמת פרמטרי ה-Sense Amplifier לשיפור רגשות הקריאה ומצום עיוותים באזוטות. בנוסף, שינויתי את תצורת הקריאה כדי להבטיח שהמעבר בין המצלבים השונים יתבצע באופן מתוזמן ומדויק יותר. חלק מהיפורים, בעלייה להפחית זיגוג הזרם, דבר שהוביל לשיפור יציבות התא, הגדלת דיק הקריאה, שיפור מהירות התגובה והבטחת תפעול אמין של המערכת לאורך זמן.

האתגר המרכזי בפרויקט היה לתכנן את המוגלים תוך שימוש במספר הטרנזיסטורים המינימלי, במטרה להקטין את גודל השבב ולהפחית את המורכבות. זאת, תוך יישום טכניקות כגון חיבור ישיר בין טרנזיסטורים החולקים אותו קשר צפוני. תהליך זה דרש חשבה הנדסית מעמיקה, ביצוע אופטימיזציות חוזרות וניסיונות רבים, עד להגעה לתוצאה האופטימלית.

## ביבליוגרפיה:

<https://github.com/VardhanSuroshi/Memory-Design-And-Testing>

<https://enicslabs.com/academic-courses/digital-integrated-circuits-english>

[https://en.wikipedia.org/wiki/Static\\_random-access\\_memory](https://en.wikipedia.org/wiki/Static_random-access_memory)