

## 特点

- 采用 ARM920T™ ARM® Thumb® 处理器
  - 200 MIPS，频率 180 MHz，内存管理单元
  - 16 千字节数据高速缓存、16 千字节指令高速缓存、写缓冲器
  - 包括调试通信通道的在线仿真器
  - 中级实施嵌入式跟踪宏单元™（仅限 256 球 BGA 封装）
- 低功耗：VDDCORE 正常模式下 24.4 mA，待机模式下 520 μA
- 附加嵌入式存储器
  - 16K 字节 SRAM 和 128K 字节 ROM
- 外部总线接口（EBI）
  - 支持 SDRAM、静态存储器、突发闪存、与 CompactFlash® 和 NAND 闪存/智能媒体的无胶连接®
- 增强性能的系统外设
  - 增强型时钟发生器和电源管理控制器
  - 两个片上振荡器和两个 PLL
  - 极慢时钟工作模式和软件功率优化功能
  - 四个可编程外部时钟信号
  - 系统定时器，包括周期性中断、看门狗和第二计数器
  - 带闹铃中断功能的实时时钟
  - 调试单元、两线制 UART 和调试通信通道支持
  - 高级中断控制器，具有 8 级优先级、可单独屏蔽的向量中断源、假中断保护功能
  - 七个外部中断源和一个快速中断源
  - 四个 32 位 PIO 控制器，每条线路最多 122 个可编程 I/O 线路、输入变化中断和开漏功能
  - 20 通道外设 DMA 控制器 (PDC)
- 以太网 MAC 10/100 Base-T
  - 独立媒体接口（MII）或精简独立媒体接口（RMII）
  - 集成 28 字节 FIFO 和专用 DMA 接收和发送通道
- USB 2.0 全速（每秒 12 Mbits）主机双端口
  - 双片载收发器（208 引线 PQFP 封装上仅有单端口）
  - 集成 FIFO 和专用 DMA 通道
- USB 2.0 全速（每秒 12 Mb）设备端口
  - 片上收发器，2 字节可配置集成 FIFO
- 多媒体卡接口（MCI）
  - 自动协议控制和快速自动数据传输
  - 兼容 MMC 和 SD 存储卡，最多支持两张 SD 存储卡
- 三个同步串行控制器 (SSC)
  - 每个接收器和发射器都有独立的时钟和帧同步信号
  - I²S 模拟接口支持，时分复用支持
  - 高速连续数据流功能，32 位数据传输
- 四个通用同步/异步接收器/发送器（USART）
  - 支持 ISO7816 T0/T1 智能卡
  - 硬件握手
  - 支持 RS485，IrDA®，高达 115 Kbps
  - USART1 上的完整调制解调器控制线
- 主/从串行外设接口 (SPI)
  - 8 至 16 位可编程数据长度，4 个外部外设芯片选择



## 基于 ARM920T

## 微控制器

## AT91RM9200

注：本文件为摘要文件。完整文档可在 Atmel 网站  
[www.atmel.com](http://www.atmel.com) 上获取。

- 两个 3 通道、16 位定时器/计数器 (TC)
  - 三个外部时钟输入，每个通道两个多功能输入/输出引脚
  - 双 PWM 发生、捕获/波形模式、上/下功能
- 双线接口 (TWI)
  - 支持主模式，支持所有 2 线 Atmel EEPROM
- IEEE® 1149.1 JTAG 对所有数字引脚进行边界扫描
- 电源
  - VDDCORE、VDDOSC 和 VDDPLL 为 1.65V 至 1.95V
  - VDDIOP (外设 I/O) 和 VDDIOM (内存 I/O) 电压为 3.0V 至 3.6V
- 采用 208 引脚绿色 PQFP 或 256 球符合 RoHS 规范的 BGA 封装

## 1. 说明

AT91RM9200 是围绕 ARM920T ARM Thumb 处理器构建的完整片上系统。它集成了丰富的系统和应用外设以及标准接口，可为各种计算密集型应用提供单芯片解决方案，这些应用要求以最低的功耗和最低的成本实现最大的功能。

AT91RM9200 集成了高速片上 SRAM 工作区和低延迟外部总线接口 (EBI)，可无缝连接到应用所需的任何片外内存配置和内存映射外设。EBI 集成了用于同步 DRAM (SDRAM)、突发闪存和静态存储器的控制器，并具有促进 NAND 闪存/智能媒体和紧凑型闪存接口的专用电路。

高级中断控制器 (AIC) 可提供多个定向、优先级的中断源，并缩短转入中断处理程序所需的时间，从而提高 ARM920T 处理器的中断处理性能。

外设 DMA 控制器 (PDC) 为所有串行外设提供 DMA 通道，使它们能够在无需处理器干预的情况下向片内外存储器传输数据。AT91RM9200 采用了新一代 PDC，包括双指针，大大简化了缓冲器链。

这套并行 I/O (PIO) 控制器将外设输入/输出线与通用数据 I/O 多路复用，实现了设备配置的最大灵活性。每条线路都包含输入变化中断、漏极开路功能和可编程上拉电阻。

电源管理控制器 (PMC) 通过在软件控制下有选择地启用/禁用处理器和各种外设，将系统功耗保持在最低水平。它使用增强型时钟发生器提供多种时钟信号，包括慢速时钟 (32 kHz)，以优化功耗和性能。

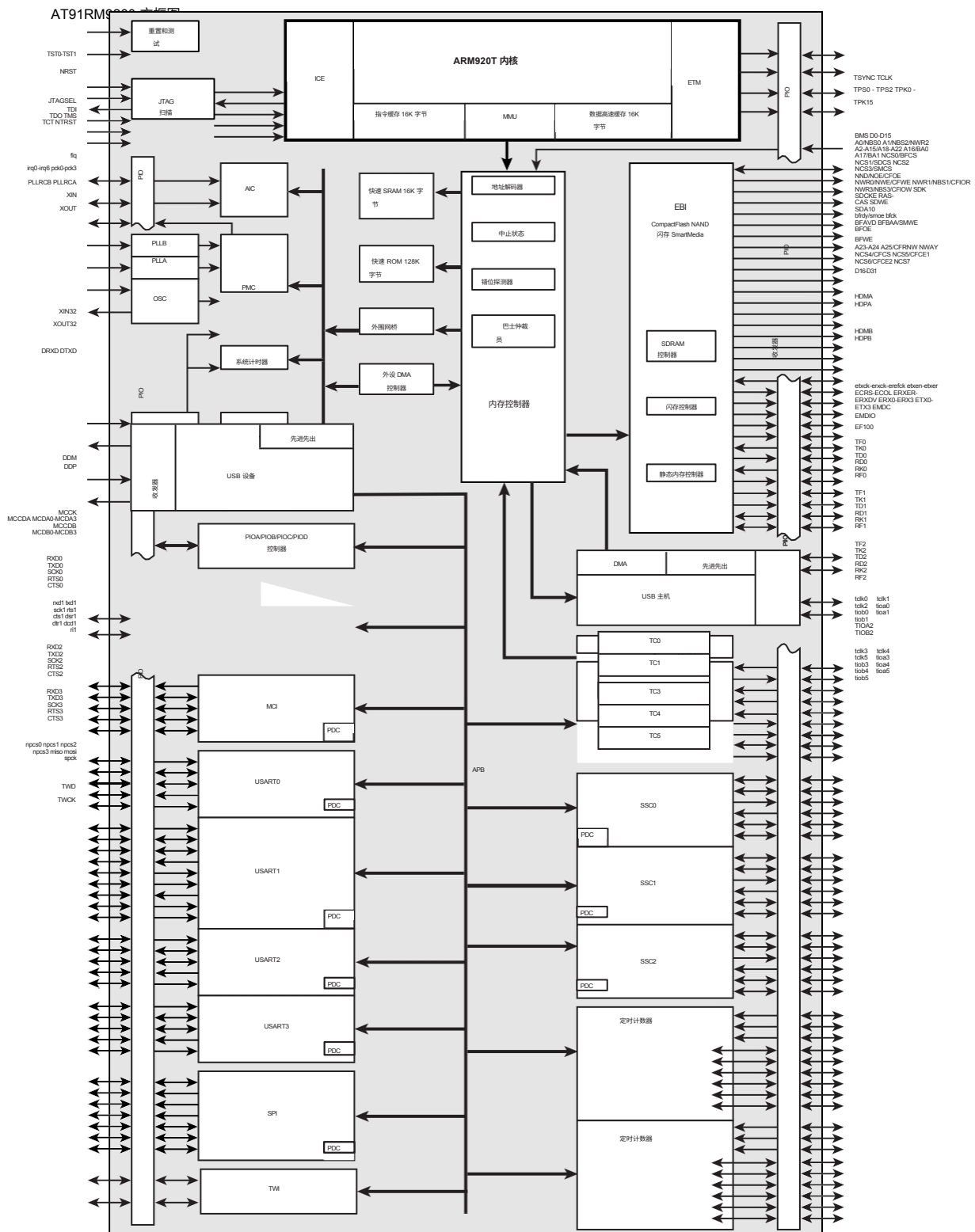
AT91RM9200 集成了各种标准接口，包括 USB 2.0 全速主机和设备以及以太网 10/100 Base-T 媒体访问控制器 (MAC)，可连接各种外部外围设备和广泛使用的网络层。此外，它还提供了一系列符合多个行业标准的外围设备，如音频、电信、闪存卡、红外和智能卡应用中使用的外围设备。

AT91RM9200 集成了多种调试功能，包括 JTAG-ICE、专用 UART 调试通道 (DBGU) 和嵌入式实时跟踪，从而使产品更加完善。这使得所有应用的开发和调试成为可能，尤其是那些有实时限制的应用。

## 2. 方框图

粗体箭头 (  ) 表示主从关系。

图 2-1.



### 3. 信号描述

表 3-1. 按外设分列的信号说明

引脚名称	功能	类型	活跃级	评论
电源				
VDDIOM	内存输入/输出线 电源	电源		3.0V 至 3.6V
VDDIOP	外设输入/输出线 电源	电源		3.0V 至 3.6V
VDDPLL	振荡器和 PLL 电源	电源		1.65V 至 1.95V
VDDCORE	核心芯片电源	电源		1.65V 至 1.95V
VDDOSC	振荡器电源	电源		1.65V 至 1.95V
接地	地面	地面		
GNDPLL	PLL 接地	地面		
GNDOSC	振荡器接地	地面		
时钟、振荡器和 PLL				
XIN	主晶体输入	输入		
XOUT	主晶体输出	输出		
XIN32	32KHz 晶体输入	输入		
XOUT32	32KHz 晶体输出	输出		
PLLRC A	PLL A 过滤器	输入		
PLLRC B	PLL B 滤波器	输入		
PCK0 - PCK3	可编程时钟输出	输出		
ICE 和 JTAG				
TCK	测试时钟	输入		施密特触发器
TDI	测试数据输入	输入		内部上拉, 施密特触发器
运输署	测试数据输出	输出		三州
TMS	测试模式选择	输入		内部上拉, 施密特触发器
NTRST	测试复位信号	输入	低	内部上拉, 施密特触发器
JTAGSEL	JTAG 选择	输入		施密特触发器
ETM™				
TSYNC	跟踪同步信号	输出		
TCLK	跟踪时钟	输出		
TPS0 - TPS2	跟踪 ARM 管线状态	输出		
TPK0 - TPK15	跟踪数据包端口	输出		
重置/测试				
NRST	微控制器复位	输入	低	无片载上拉、施密特触发器
TST0 - TST1	测试模式选择	输入		必须将其置低才能正常运行, 施密特触发器

表 3-1. 按外设分列的信号说明

引脚名称	功能	类型	活跃级	评论
内存控制器				
BMS	启动模式选择	输入		
调试单元				
DRXD	调试接收数据	输入		调试接收数据
DTXD	调试传输数据	输出		调试传输数据
AIC				
IRQ0 - IRQ6	外部中断输入	输入		
FIQ	快速中断输入	输入		
PIO				
PA0 - PA31	并行 IO 控制器 A	输入/输出		复位时为上拉输入
PB0 - PB29	并行 IO 控制器 B	输入/输出		复位时为上拉输入
PC0 - PC31	并行 IO 控制器 C	输入/输出		复位时为上拉输入
PD0 - PD27	并行 IO 控制器 D	输入/输出		复位时为上拉输入
EBI				
D0 - D31	数据总线	输入/输出		复位时为上拉输入
A0 - A25	地址总线	输出		重置时为 0
SMC				
NCS0 - NCS7	芯片选择线路	输出	低	重置时为 1
NWR0 - NWR3	写入信号	输出	低	重置时为 1
NOE	输出启用	输出	低	重置时为 1
NRD	阅读信号	输出	低	重置时为 1
NUB	上字节选择	输出	低	重置时为 1
NLB	低字节选择	输出	低	重置时为 1
西北欧	写入启用	输出	低	重置时为 1
NWAIT	等待信号	输入	低	
NBS0 - NBS3	字节屏蔽信号	输出	低	重置时为 1
支持 CompactFlash 的 EBI				
CFCE1 - CFCE2	启用 CompactFlash 芯片	输出	低	
CFOE	启用 CompactFlash 输出	输出	低	
CFWE	闪存写入启用	输出	低	
CFIOR	闪存 IO 读取	输出	低	
CFIOW	CompactFlash IO 写入	输出	低	
CFRNW	CompactFlash 读而不写	输出		
CFCS	CompactFlash 芯片选择	输出	低	

表 3-1. 外设信号描述

引脚名称	功能	类型	活跃级	评论
支持 NAND 闪存/智能媒体的 EBI				
SMCS	NAND 闪存/智能媒体芯片选择	输出	低	
SMOE	NAND 闪存/智能媒体输出启用	输出	低	
SMWE	NAND 闪存/SmartMedia 写入启用	输出	低	
SDRAM 控制器				
SDCK	SDRAM 时钟	输出		
SDCKE	SDRAM 时钟启用	输出	高	
SDCS	SDRAM 控制器芯片选择	输出	低	
BA0 - BA1	银行选择	输出		
SDWE	SDRAM 写入使能	输出	低	
RAS - CAS	行和列信号	输出	低	
SDA10	SDRAM 地址 10 线路	输出		
闪存控制器				
BFCCK	突发闪光时钟	输出		
BFCSS	突发闪存芯片选择	输出	低	
BFAVD	突发闪存地址有效	输出	低	
BFBAA	突发闪存地址前进	输出	低	
BFOE	突发闪存输出启用	输出	低	
BFRDY	突发闪光灯就绪	输入	高	
BFWE	突发闪存写入启用	输出	低	
多媒体卡接口				
MCCK	多媒体卡时钟	输出		
MCCDA	多媒体卡 A 命令	输入/输出		
MCDA0 - MCDA3	多媒体卡 A 数据	输入/输出		
MCCDB	多媒体卡 B 命令	输入/输出		
MCDB0 - MCDB3	多媒体卡 B 数据	输入/输出		
USART				
SCK0 - SCK3	串行时钟	输入/输出		
TXD0 - TXD3	传输数据	输出		
RXD0 - RXD3	接收数据	输入		
RTS0 - RTS3	准备发送	输出		
CTS0 - CTS3	清除发送	输入		
DSR1	数据集就绪	输入		
DTR1	数据终端就绪	输出		
DCD1	数据载波检测	输入		
RI1	环形指示灯	输入		

表 3-1. 按外设分列的信号说明

引脚名称	功能	类型	活跃级	评论
USB 设备端口				
分时多工	USB 设备端口数据	模拟		
DDP	USB 设备端口数据 +	模拟		
USB 主机端口				
HDMA	USB 主机端口 A 数据	模拟		
HDP A	USB 主机端口 A 数据 +	模拟		
HDM B	USB 主机端口 B 数据	模拟		
HDP B	USB 主机端口 B 数据 +	模拟		
以太网 MAC				
EREFCK	参考时钟	输入		仅限 RMII
ETXCK	传输时钟	输入		仅 MII
ERXCK	接收时钟	输入		仅 MII
ETXEN	传输启用	输出		
ETX0 - ETX3	传输数据	输出		ETX0 - ETX1 仅在 RMII 中使用
ETXER	传输编码错误	输出		仅 MII
ERXD V	接收数据有效	输入		仅 MII
ECRS D V	载波检测和数据有效	输入		仅限 RMII
ERX0 - ERX3	接收数据	输入		ERX0 - ERX1 仅在 RMII 中
ERXER	接收错误	输入		
ECRS	载波感应	输入		仅 MII
ECOL	检测到碰撞	输入		仅 MII
EMDC	管理数据时钟	输出		
EMDIO	管理数据输入/输出	输入/输出		
EF100	强制 100 Mbits/秒。	输出	高	仅限 RMII
同步串行控制器				
TD0 - TD2	传输数据	输出		
RD0 - RD2	接收数据	输入		
TK0 - TK2	传输时钟	输入/输出		
RK0 - RK2	接收时钟	输入/输出		
TF0 - TF2	传输帧同步	输入/输出		
RF0 - RF2	接收帧同步	输入/输出		
计时器/计数器				
TCLK0 - TCLK5	外部时钟输入	输入		
TIOA0 - TIOA5	输入/输出线 A	输入/输出		
TIOB0 - TIOB5	输入/输出线 B	输入/输出		

表 3-1. 外设信号描述

引脚名称	功能	类型	活跃级	评论
SPI				
MISO	主进从出	输入/输出		
MOSI	主设备输出 从设备输入	输入/输出		
SPCK	SPI 串行时钟	输入/输出		
NPCS0	SPI 外设芯片选择 0	输入/输出	低	
NPCS1 - NPCS3	SPI 外设芯片选择	输出	低	
双线接口				
TWD	两线串行数据	输入/输出		
TWCK	两线串行时钟	输入/输出		

## 4. 封装和引脚

AT91RM9200 有两种封装：

- 208 引脚 PQFP，31.2 x 31.2 毫米，0.5 毫米间距
- 256 球 BGA，15 x 15 毫米，球间距 0.8 毫米

与 208 引线 PQFP 封装相比，256-ball BGA 封装的产品功能有所扩展。只有 256 球 BGA 封装才具有的功能包括

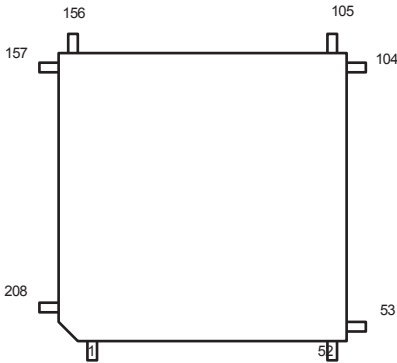
- 并行输入/输出控制器 D
- ETM 端口，输出在 PIO 控制器 D 上多路复用
- 第二个 USB Host 收发器，从而打开嵌入式 USB Host 的集线器功能。

### 4.1 208 引脚 PQFP 封装概述

图 1-1 显示了 208 引脚 PQFP 封装的方向。

详细的机械说明见产品数据表中的 "AT91RM9200 机械特性" 部分。

图 4-1. 208 引脚 PQFP 封装（俯视图）





## 4.2 208 引脚 PQFP 封装引脚说明

表 4-1. 208 引脚 PQFP 封装的 AT91RM9200 引脚布局

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
1	PC24	37	VDDPLL	73	PA27	109	TMS
2	PC25	38	PLLRCB	74	PA28	110	NTRST
3	PC26	39	GNDPLL	75	VDDIOP	111	VDDIOP
4	PC27	40	VDDIOP	76	接地	112	接地
5	PC28	41	接地	77	PA29	113	TST0
6	PC29	42	PA0	78	PA30	114	TST1
7	VDDIOM	43	PA1	79	PA31/BMS	115	NRST
8	接地	44	PA2	80	PB0	116	VDDCORE
9	PC30	45	PA3	81	PB1	117	接地
10	PC31	46	PA4	82	PB2	118	PB23
11	PC10	47	PA5	83	PB3	119	PB24
12	PC11	48	PA6	84	PB4	120	PB25
13	PC12	49	PA7	85	PB5	121	PB26
14	PC13	50	PA8	86	PB6	122	PB27
15	PC14	51	PA9	87	PB7	123	PB28
16	PC15	52	PA10	88	PB8	124	PB29
17	PC0	53	PA11	89	PB9	125	HDMA
18	PC1	54	PA12	90	PB10	126	HDPA
19	VDDCORE	55	PA13	91	PB11	127	分时多工
20	接地	56	VDDIOP	92	PB12	128	DDP
21	PC2	57	接地	93	VDDIOP	129	VDDIOP
22	PC3	58	PA14	94	接地	130	接地
23	PC4	59	PA15	95	PB13	131	VDDIOM
24	PC5	60	PA16	96	PB14	132	接地
25	PC6	61	PA17	97	PB15	133	A0/NBS0
26	VDDIOM	62	VDDCORE	98	PB16	134	A1/NBS2/NWR2
27	接地	63	接地	99	PB17	135	A2
28	VDDPLL	64	PA18	100	PB18	136	A3
29	PLLRCB	65	PA19	101	PB19	137	A4
30	GNDPLL	66	PA20	102	PB20	138	A5
31	XOUT	67	PA21	103	PB21	139	A6
32	XIN	68	PA22	104	PB22	140	A7
33	VDDOSC	69	PA23	105	JTAGSEL	141	A8
34	GNDOSC	70	PA24	106	TDI	142	A9
35	XOUT32	71	PA25	107	运输署	143	A10
36	XIN32	72	PA26	108	TCK	144	SDA10

表 4-1. 208 引脚 PQFP 封装的 AT91RM9200 引脚布局 (续)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
145	A11	161	PC7	177	中科院	193	D10
146	VDDIOM	162	PC8	178	SDWE	194	D11
147	接地	163	PC9	179	D0	195	D12
148	A12	164	VDDIOM	180	D1	196	D13
149	A13	165	接地	181	D2	197	D14
150	A14	166	NCS0/BFCS	182	D3	198	D15
151	A15	167	NCS1/SDCS	183	VDDIOM	199	VDDIOM
152	VDDCORE	168	NCS2	184	接地	200	接地
153	接地	169	NCS3/SMCS	185	D4	201	PC16
154	A16/BA0	170	NRD/NOE/CF0E	186	D5	202	PC17
155	A17/BA1	171	NWR0/NWE/CFWE	187	D6	203	PC18
156	A18	172	NWR1/NBS1/CFI0R	188	VDDCORE	204	PC19
157	A19	173	NWR3/NBS3/CFI0W	189	接地	205	PC20
158	A20	174	SDCK	190	D7	206	PC21
159	A21	175	SDCKE	191	D8	207	PC22
160	A22	176	RAS	192	D9	208	PC23

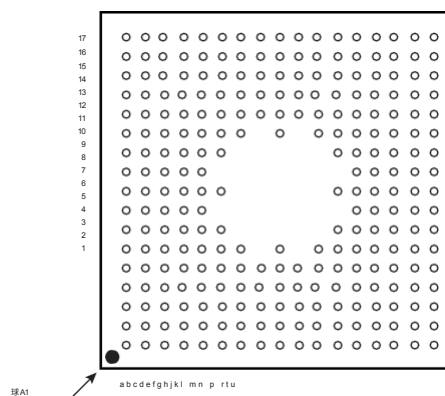
注 1.阴影单元定义由 VDDIOM 供电的引脚。

## 4.3 256 球 BGA 封装外形图

图 4-2 显示了 256 球 LFBGA 封装的方向。

详细的机械说明见产品数据表中的 "AT91RM9200 机械特性" 部分。

图 4-2. 256 球 LFBGA 封装 (俯视图)



## 4.4 256 球 BGA 封装引脚

表 4-2. 256 球 BGA 封装的 AT91RM9200 引脚布局

引脚	信号名称	引脚	信号名称	引脚	信号名称	引脚	信号名称
A1	TDI	C3	PD14	E5	TCK	G14	PA1
A2	JTAGSEL	C4	PB22	E6	接地	G15	PA2
A3	PB20	C5	PB19	E7	PB15	G16	PA3
A4	PB17	C6	PD10	E8	接地	G17	XIN32
A5	PD11	C7	PB13	E9	PB7	H1	PD23
A6	PD8	C8	PB12	E10	PB3	H2	PD20
A7	VDDIOP	C9	PB6	E11	PA29	H3	PD22
A8	PB9	C10	PB1	E12	PA26	H4	PD21
A9	PB4	C11	接地	E13	PA25	H5	VDDIOP
A10	PA31/BMS	C12	PA20	E14	PA9	H13	VDDPLL
A11	VDDIOP	C13	PA18	E15	PA6	H14	VDDIOP
A12	PA23	C14	VDDCORE	E16	PD3	H15	GNDPLL
A13	PA19	C15	接地	E17	PD0	H16	接地
A14	接地	C16	PA8	F1	PD16	H17	XOUT32
A15	PA14	C17	PD5	F2	接地	J1	PD25
A16	VDDIOP	D1	TST1	F3	PB23	J2	PD27
A17	PA13	D2	VDDIOP	F4	PB25	J3	PD24
B1	运输署	D3	VDDIOP	F5	PB24	J4	PD26
B2	PD13	D4	接地	F6	VDDCORE	J5	PB28
B3	PB18	D5	VDDIOP	F7	PB16	J6	PB29
B4	PB21	D6	PD7	F9	PB11	J12	接地
B5	PD12	D7	PB14	F11	PA30	J13	GNDOSC
B6	PD9	D8	VDDIOP	F12	PA28	J14	VDDOSC
B7	接地	D9	PB8	F13	PA4	J15	VDDPLL
B8	PB10	D10	PB2	F14	PD2	J16	GNDPLL
B9	PB5	D11	接地	F15	PD1	J17	XIN
B10	PB0	D12	PA22	F16	PA5	K1	HDPA
B11	VDDIOP	D13	PA21	F17	PLLRCB	K2	分时多工
B12	PA24	D14	PA16	G1	PD19	K3	HDMA
B13	PA17	D15	PA10	G2	PD17	K4	VDDIOP
B14	PA15	D16	PD6	G3	接地	K5	DDP
B15	PA11	D17	PD4	G4	PB26	K13	PC5
B16	PA12	E1	NRST	G5	PD18	K14	PC4
B17	PA7	E2	NTRST	G6	PB27	K15	PC6
C1	TMS	E3	接地	G12	PA27	K16	VDDIOM
C2	PD15	E4	TST0	G13	PA0	K17	XOUT

表 4-2. 256 球 BGA 封装的 AT91RM9200 引脚布局 (续)

引脚	信号名称	引脚	信号名称	引脚	信号名称	引脚	信号名称
L1	接地	N2	A5	P13	D15	T7	NWR1/NBS1/ CFIOR
L2	HDPB	N3	A9	P14	PC26	T8	SDWE
L3	HDMB	N4	A4	P15	PC27	T9	接地
L4	A6	N5	A14	P16	VDDIOM	T10	VDDCORE
L5	接地	N6	SDA10	P17	接地	T11	D9
L6	VDDIOP	N7	A8	R1	接地	T12	D12
L12	PC10	N8	A21	R2	接地	T13	接地
L13	PC15	N9	NRD/NOE/CFOE	R3	A18	T14	PC19
L14	PC2	N10	RAS	R4	A20	T15	PC21
L15	PC3	N11	D2	R5	PC8	T16	PC23
L16	VDDCORE	N12	接地	R6	VDDIOM	T17	PC25
L17	PLLRC	N13	PC28	R7	NCS3/SMCS	U1	VDDCORE
M1	VDDIOM	N14	PC31	R8	NWR3/NBS3/ CFIOW	U2	接地
M2	接地	N15	PC30	R9	D0	U3	A16/BA0
M3	A3	N16	PC11	R10	VDDIOM	U4	A19
M4	A1/NBS2/NWR2	N17	PC12	R11	D8	U5	接地
M5	A10	P1	A7	R12	D13	U6	NCS0/BFCS
M6	A2	P2	A13	R13	PC17	U7	SDCK
M7	接地	P3	A12	R14	VDDIOM	U8	中科院
M9	NCS1/SDCS	P4	VDDIOM	R15	PC24	U9	D3
M11	D4	P5	A11	R16	PC29	U10	D6
M12	接地	P6	A22	R17	VDDIOM	U11	D7
M13	PC13	P7	PC9	T1	A15	U12	D11
M14	PC1	P8	NWR0/NWE/CFWE	T2	VDDCORE	U13	D14
M15	PC0	P9	SDCKE	T3	A17/BA1	U14	PC16
M16	接地	P10	D1	T4	PC7	U15	PC18
M17	PC14	P11	D5	T5	VDDIOM	U16	PC20
N1	A0/NBS0	P12	D10	T6	NCS2	U17	PC22

注 1.阴影单元定义由 VDDIOM 供电的球。

## 5. 电源考虑因素

### 5.1 电源

AT91RM9200 有五种电源引脚：

- VDDCORE 引脚。它们为内核供电，包括处理器、存储器和外设；电压范围为 1.65V 至 1.95V，标称电压为 1.8V。
- VDDIOM 引脚。这些引脚为外部总线接口 I/O 线路供电；电压范围为 3.0V 至 3.6V，标称电压为 3.0V、3V 或 3.3V。
- VDDIOP 引脚。它们为外设 I/O 线路和 USB 收发器供电；电压范围为 3.0V 至 3.6V，标称电压为 3V 或 3.3V。
- VDDPLL 引脚。它们为 PLL 单元供电；电压范围为 1.65V 至 1.95V，标称电压为 1.8V。
- VDDOSC 引脚。它们为两个振荡器供电；电压范围为 1.65V 至 1.95V，标称电压为 1.8V。

第 9 页的表 4-1 和第 11 页的表 4-2 列出了双电源 VDDIOM 和 VDDIOP。这些电源使用户能够以不同的方式为设备供电，以便与存储器和外围设备连接。

除 VDDPLL 和 VDDOSC 引脚外，接地引脚与所有电源通用。对于这些引脚，分别提供 GNDPLL 和 GNDOSC。

### 5.2 耗电量

在 25°C 时，AT91RM9200 在 VDDCORE 上消耗的静态电流约为 500  $\mu$ A。对于动态功耗，AT91RM9200 在 VDDCORE 上消耗的最大电流为 25 mA。在典型条件（1.8V、25°C）下以最大速度运行，处理器运行全性能算法。

## 6. 输入/输出注意事项

### 6.1 JTAG 端口引脚

TMS 和 TDI 是施密特触发器输入端，集成了 15 k $\Omega$ m（典型值）的内部上拉电阻。TCK 是施密特触发器输入端，不带内部上拉电阻。

TDO 是三态输出。JTAGSEL 引脚在高电平时用于选择 JTAG 边界扫描。NTRST 引脚用于初始化 EmbeddedICE™ TAP 控制器。

### 6.2 测试引脚

TST0 和 TST1 引脚为高电平时用于生产测试。由于这两个引脚没有集成下拉电阻器，因此在正常运行时必须将其置低。高电平驱动该线路会导致不可预知的结果。

### 6.3 复位引脚

NRST 是施密特触发器，不带上拉电阻。NRST 信号插入边界扫描。

## 6.4 PIO 控制器 A、B、C 和 D 线路

所有 I/O 线路 PA0 至 PA31、PB0 至 PB29、PC0 至 PC31 和 PD0 至 PD27 都集成了一个典型值为 15 kOhm 的可编程上拉电阻。通过 PIO 控制器可对每条 I/O 线路的上拉电阻器进行独立编程。

复位后，所有 I/O 线路默认为输入，并启用上拉电阻，但与外部总线接口信号复用的线路除外，这些线路必须在复位时作为外设启用。这在 PIO 控制器复用表的“复位状态”栏中有明确说明。

## 7. 处理器和架构

### 7.1 ARM920T 处理器

- ARM9TDMI™ - 基于 ARM 架构 v4T
- 两个指令集
  - ARM 高性能 32 位指令集
  - Thumb 高代码密度 16 位指令集
- 5 级管道结构：
  - 指令取指 (F)
  - 指令解码 (D)
  - 执行 (E)
  - 数据存储器 (M)
  - 寄存器写入 (W)
- 16 字节数据高速缓存、16 字节指令高速缓存
  - 虚拟寻址 64 路关联高速缓存
  - 每行 8 个字
  - 写入和回写操作
  - 伪随机或循环替换
  - 低功耗 CAM RAM 实现
- 写入缓冲区
  - 16 字数据缓冲器
  - 4 地址地址缓冲器
  - 软件控制排水
- 标准 ARMv4 内存管理单元 (MMU)
  - 科室访问权限
  - 可为四分之一的页面分别指定大型页面和小型页面的访问权限
  - 16 个嵌入式域
  - 64 条指令 TLB 和 64 条数据 TLB 用于指令和数据的 8 位、16 位、32 位

数据总线

### 7.2 调试和测试

- 集成嵌入式 ICE

- 调试单元
  - 双引脚 UART
  - 调试通信通道
  - 芯片 ID 寄存器
- 嵌入式跟踪宏单元：ETM9™ Rev2a
  - 中层实施
  - 半速率时钟模式
  - 四对地址比较器
  - 两个数据比较器
  - 八个内存映射解码器输入端
  - 两个计数器
  - 一个编曲器
  - 一个 18 字节 FIFO
- 对所有数字引脚进行 IEEE1149.1 JTAG 边界扫描

### 7.3 启动计划

- 存储在 ROM 产品中的默认启动程序
- 将应用程序从外部存储介质下载到内部 SRAM 并运行
- 下载代码大小取决于嵌入式 SRAM 大小
- 自动检测有效申请
- 启动加载程序支持多种非易失性存储器
  - SPI 数据闪存® 连接在 SPI NPCS0 上
  - 双线 EEPROM
  - NCS0 上的 8 位并行存储器
- 在外部 NVM 中未检测到有效程序的情况下使用启动上传程序，并支持多种通信介质
- DBGU 上的串行通信 (XModem 协议)
- USB 设备端口 (DFU 协议)

### 7.4 嵌入式软件服务

- 符合 ATPCS 标准
- 符合 AINSI/ISO 标准 C
- 以 ARM/Thumb 交互方式编译
- ROM 输入服务
- Tempo、Xmodem 和 DataFlash 服务
- CRC 表和正弦表

### 7.5 内存控制器

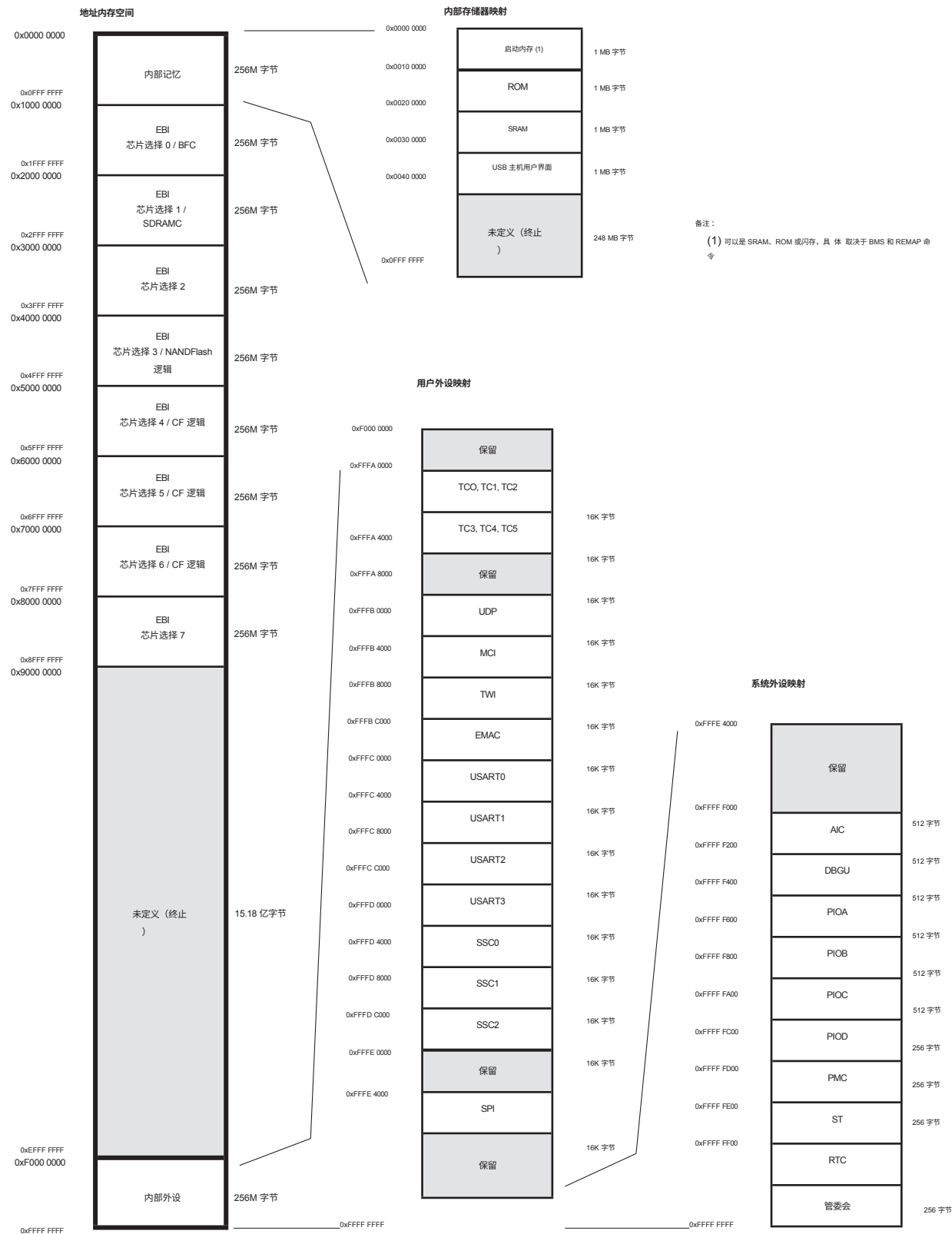
- 可编程总线仲裁器可处理四个主站
  - 内部总线由 ARM920T、PDC、USB 主机端口和以太网 MAC 主控器共享
  - 每个主站的优先级在 0 到 7 之间

- 地址解码器提供以下选择
  - 八个外部 256-Mbyte 内存区
  - 四个内部 1-Mbyte 内存区
  - 一个 256-Mbyte 嵌入式外设区
- 启动模式选择选项
  - 非易失性启动存储器可为内部或外部存储器
  - 通过复位时采样的 BMS 引脚进行选择
- 中止状态寄存器
  - 保存源、类型和导致中止的访问的所有参数
- 错位探测器
  - 对所有数据访问进行对齐检查
  - 对齐错误时中止生成
- 重置命令
  - 提供内部 SRAM 的重映射，以取代启动 NVM



8. 回忆

图 8-1. AT91RM9200 内存映射



第一级地址解码由内存控制器执行，即通过高级系统总线（ASB）的附加功能来实现。

解码将 4G 字节的地址空间分成 16 个区域，每个区域 256M 字节。区域 1 至 8 被定向到 EBI，EBI 将这些区域与外部芯片选择 NC0 至 NCS7 相关联。区域 0 保留给内部存储器寻址，第二级解码提供 100 万字节的内部存储器区域。区域 15 预留给外设，并提供高级外设总线 (APB) 的访问权限。

其他区域是未使用的，在这些区域内执行访问会向请求访问的主控程序发出中止指令。

## 8.1 嵌入式存储器

### 8.1.1 内部存储器映射

#### 8.1.1.1 内部 RAM

AT91RM9200 集成了高速、16 字节内部 SRAM。复位后，在执行重映射命令之前，SRAM 只能在地址 0x20 0000 处访问。重新映射后，SRAM 也可在地址 0x0 下访问。

#### 8.1.1.2 内部 ROM

AT91RM9200 集成了 128KB 内部 ROM。在任何时候，ROM 都映射到地址 0x10 0000。复位后，如果 BMS 在复位期间被高电平绑定，也可在地址 0x0 和重映射 Command 之前访问 ROM。

#### 8.1.1.3 USB 主机端口

AT91RM9200 集成了 USB 主机端口开放式主机控制器接口（OHCI）。该接口的调节器可在 ASB 总线上直接访问，并像标准内部存储器一样映射到地址 0x30 0000。

## 9. 系统外设

完整的内存图如第 17 页图 8-1 所示。

### 9.1 重置控制器

- 分别提供两条复位输入线（NRST 和 NTRST）：
- 初始化用户界面寄存器（在每个外设的用户界面中定义），以及
  - 对启动时所需的信号进行采样
  - 强制处理器从零地址获取下一条指令
- 初始化嵌入式 ICE TAP 控制器

### 9.2 高级中断控制器

- 控制 ARM 处理器的中断线路（nIRQ 和 nFIQ）
- 32 个可单独屏蔽和定向的中断源
  - 源 0 保留给快速中断输入 (FIQ)
  - 源 1 预留给系统外设 (ST、RTC、PMC、DBGU...)
  - 源 2 至源 31 控制 30 个嵌入式外设中断或外部中断
  - 可编程边缘触发或电平敏感内部信号源
  - 可编程正/负边缘触发或高/低电平敏感外部信号源
- 8 级优先控制器
  - 驱动处理器的正常中断
  - 处理中断源 1 至 31 的优先级
  - 高优先级中断可在低优先级中断服务期间提供服务
- 矢量
  - 优化中断服务例程分支和执行
  - 每个中断源一个 32 位矢量寄存器
  - 中断矢量寄存器读取相应的当前中断矢量
- 保护模式
  - 防止自动操作，方便调试
- 一般中断屏蔽
  - 在不触发中断的情况下提供处理器同步事件

### 9.3 电源管理控制器

- 优化整个系统的功耗
- 嵌入和控制：
  - 一个主振荡器和一个慢时钟振荡器（32.768Hz）
  - 两个锁相环 (PLL) 和除法器
  - 时钟预分频器
- 提供：
  - 处理器时钟 PCK

- 主时钟 MCK
- 分别用于 USB 主机端口和 USB 设备端口的 USB 时钟 UHPCK 和 UDPCK
- 在 USB 设备挂起条件下可编程自动关闭 PLL
- 多达三十个外设时钟
- 四个可编程时钟输出 PCK0 至 PCK3
- 四种运行模式：
  - 正常模式、空闲模式、慢时钟模式、待机模式

## 9.4 调试单元

- 便于调试 Atmel 基于 ARM 的系统的系统外设
- 由以下功能组成
  - 双引脚 UART
  - 支持调试通信通道 (DCC)
  - 芯片 ID 寄存器
- 双引脚 UART
  - 实现的功能与标准 Atmel USART 100% 兼容
  - 独立的接收器和发射器，共用一个可编程波特率发生器
  - 偶数、奇数、标记或空间奇偶校验生成
  - 奇偶校验、成帧和超限错误检测
  - 自动回波、本地环回和远程环回通道模式
  - 中断产生
  - 支持连接接收器和发射器的两个 PDC 通道
- 调试通信通道支持
  - 提供来自 ARM 处理器的 COMMRX 和 COMMTX 信号的可见性
  - 中断产生
- 芯片 ID 寄存器
  - 识别设备修订版、嵌入式存储器的大小、外设集

## 9.5 PIO 控制器

- 多达 32 个可编程输入/输出线
- 可通过设置/清除寄存器进行完全编程
- 每条输入/输出线可复用两个外设功能
- 每条 I/O 线路（无论是分配给外设还是用作通用 I/O）
  - 输入变化中断
  - 故障过滤器
  - 多驱动选项可在开放式排水沟中行驶
  - 每条 I/O 线路上的可编程上拉功能
  - 引脚数据状态寄存器，随时提供引脚电平的可见性

- 同步输出，一次写入可设置和清除多条 I/O 线路

## 10. 用户外设

### 10.1 用户界面

用户外设映射在地址空间的上部 256M 字节，介于地址 0xFFFFA 0000 和 0xFFFFE 3FFF 之间。每个外设都有一个 16 字节的地址空间。

完整的内存图见第 17 页图 8-1。

### 10.2 外设标识符

AT91RM9200 内置多种外设。表 10-1 定义了 AT91RM9200 的外设标识符。使用高级中断控制器控制外设中断和使用电源管理控制器控制外设时钟时，都需要外设标识符。

表 10-1. 外围设备标识符

外设 ID	外设助记符	外设名称	外部中断
0	AIC	高级中断控制器	FIQ
1	SYSIRQ		
2	PIOA	并行输入/输出控制器 A	
3	PIOB	并行输入/输出控制器 B	
4	PIOC	并行输入/输出控制器 C	
5	PIOD	并行输入/输出控制器 D	
6	US0	USART 0	
7	美国1	USART 1	
8	美国2	USART 2	
9	美国3	USART 3	
10	MCI	多媒体卡接口	
11	UDP	USB 设备端口	
12	TWI	双线接口	
13	SPI	串行外设接口	
14	SSC0	同步串行控制器 0	
15	SSC1	同步串行控制器 1	
16	SSC2	同步串行控制器 2	
17	TC0	定时/计数器 0	
18	TC1	定时器/计数器 1	
19	TC2	定时器/计数器 2	
20	TC3	定时器/计数器 3	
21	TC4	定时器/计数器 4	
22	TC5	定时器/计数器 5	
23	超高压	USB 主机端口	

表 10-1. 外设标识符 (续)

外设 ID	外设助记符	外设名称	外部中断
24	EMAC	以太网 MAC	
25	AIC	高级中断控制器	IRQ0
26	AIC	高级中断控制器	IRQ1
27	AIC	高级中断控制器	IRQ2
28	AIC	高级中断控制器	IRQ3
29	AIC	高级中断控制器	IRQ4
30	AIC	高级中断控制器	IRQ5
31	AIC	高级中断控制器	IRQ6

### 10.3 PIO 线路上的外设复用

AT91RM9200 具有四个 PIO 控制器:

- PIOA 和 PIOB, 多路复用外设组的 I/O 线路
- PIOC 引脚可复用数据总线第 16 至 31 位和若干外部总线接口控制信号。使用 PIOC 引脚可增加可用的通用 I/O 线路数量, 但无法访问 32 位内存。
- PIOD 仅提供 256 球 BGA 封装选项, 可复用外设组和 ETM 端口的输出

每个 PIO 控制器最多可控制 32 条线路。以下段落中的表格定义了外围设备 A 和 B 的 I/O 线路在 PIO 控制器 A、B、C 和 D 上的复用方式。"功能"和"注释"两列是为用户自己的注释插入的; 它们可用于跟踪引脚在应用中的定义方式。

复位状态"一栏显示 PIO 线路是在 I/O 模式下复位还是在外设模式下复位。如果等于 "I/O", 则 PIO 线路以输入方式复位, 并启用上拉功能, 这样一旦 NRST 引脚被断言, 设备就会保持静态。因此, 寄存器 PIO\_PSR (外设状态寄存器) 中与 PIO 线路相对应的位复位为低。

如果信号名称出现在 "复位状态" 栏中, 则 PIO 线路将被赋予该功能, PIO\_PSR 中的相应位将复位为高电平。这种情况适用于控制存储器 (地址线或芯片选择) 的引脚, 这些引脚要求在 NRST 上升时立即驱动。请注意, 在这种情况下, 上拉电阻也会启用。

请参见第 23 页的表 10-2。、第 24 页表 10-3 第 25 页的表 10-4 第 26 页、和的表 10-5 第 26 页。

### 10.3.1 PIO 控制器 A 的多路复用 表 10-2. PIO 控制器 A

上的复用

PIO 控制器 A				应用用途	
输入/输出线	外围设备 A	外围设备 B	重置状态	功能	评论
PA0	MISO	PCK3	输入/输出		
PA1	MOSI	PCK0	输入/输出		
PA2	SPCK	IRQ4	输入/输出		
PA3	NPCS0	IRQ5	输入/输出		
PA4	NPCS1	PCK1	输入/输出		
PA5	NPCS2	TXD3	输入/输出		
PA6	NPCS3	RXD3	输入/输出		
PA7	ETXCK/EREFC	PCK2	输入/输出		
PA8	ETXEN	MCCDB	输入/输出		
PA9	ETX0	MCDB0	输入/输出		
PA10	ETX1	MCDB1	输入/输出		
PA11	ECRS/ECRS	MCDB2	输入/输出		
PA12	ERX0	MCDB3	输入/输出		
PA13	ERX1	TCLK0	输入/输出		
PA14	ERXER	TCLK1	输入/输出		
PA15	EMDC	TCLK2	输入/输出		
PA16	EMDIO	IRQ6	输入/输出		
PA17	TXD0	TIOA0	输入/输出		
PA18	RXD0	TIOB0	输入/输出		
PA19	SCK0	TIOA1	输入/输出		
PA20	CTS0	TIOB1	输入/输出		
PA21	RTS0	TIOA2	输入/输出		
PA22	RXD2	TIOB2	输入/输出		
PA23	TXD2	IRQ3	输入/输出		
PA24	SCK2	PCK1	输入/输出		
PA25	TWD	IRQ2	输入/输出		
PA26	TWCK	IRQ1	输入/输出		
PA27	MCCK	TCLK3	输入/输出		
PA28	MCCDA	TCLK4	输入/输出		
PA29	MCD	TCLK5	输入/输出		
PA30	DRXD	CTS2	输入/输出		
PA31	DTXD	RTS2	输入/输出		

### 10.3.2 PIO 控制器 B 的多路复用 表 10-3. PIO 控制器 B

上的复用

PIO 控制器 B				应用用途	
输入/输出线	外围设备 A	外围设备 B	重置状态	功能	评论
PB0	TF0	RTS3	输入/输出		
PB1	TK0	CTS3	输入/输出		
PB2	TD0	SCK3	输入/输出		
PB3	RD0	MCDA1	输入/输出		
PB4	RK0	MCDA2	输入/输出		
PB5	RF0	MCDA3	输入/输出		
PB6	TF1	TIOA3	输入/输出		
PB7	TK1	TIOB3	输入/输出		
PB8	TD1	TIOA4	输入/输出		
PB9	RD1	TIOB4	输入/输出		
PB10	RK1	TIOA5	输入/输出		
PB11	RF1	TIOB5	输入/输出		
PB12	TF2	ETX2	输入/输出		
PB13	TK2	ETX3	输入/输出		
PB14	TD2	ETXER	输入/输出		
PB15	RD2	ERX2	输入/输出		
PB16	RK2	ERX3	输入/输出		
PB17	射频 2	ERXDV	输入/输出		
PB18	RI1	ECOL	输入/输出		
PB19	DTR1	ERXCK	输入/输出		
PB20	TXD1		输入/输出		
PB21	RXD1		输入/输出		
PB22	SCK1		输入/输出		
PB23	DCD1		输入/输出		
PB24	CTS1		输入/输出		
PB25	DSR1	EF100	输入/输出		
PB26	RTS1		输入/输出		
PB27	PCK0		输入/输出		
PB28	FIQ		输入/输出		
PB29	IRQ0		输入/输出		



### 10.3.3 PIO 控制器 C 复用

PIO 控制器 C 没有多路复用功能，只使用外设 A 线路。在 PIO 控制器 C 上选择外设 B 没有任何影响。

表 10-4. PIO 控制器 C 上的复用

PIO 控制器 C				应用用途	
输入/输出线	外围设备 A	外围设备 B	重置状态	功能	评论
PC0	BFCK		输入/输出		
PC1	BFRDY/SMOE		输入/输出		
PC2	BFAVD		输入/输出		
PC3	BFBA/SMWE		输入/输出		
PC4	BFOE		输入/输出		
PC5	BFWE		输入/输出		
PC6	NWAIT		输入/输出		
PC7	A23		A23		
PC8	A24		A24		
PC9	A25/CFRNW		A25		
PC10	NCS4/CFCS		NCS4		
PC11	NCS5/CFCE1		NCS5		
PC12	NCS6/CFCE2		NCS6		
PC13	NCS7		NCS7		
PC14			输入/输出		
PC15			输入/输出		
PC16	D16		输入/输出		
PC17	D17		输入/输出		
PC18	D18		输入/输出		
PC19	D19		输入/输出		
PC20	D20		输入/输出		
PC21	D21		输入/输出		
PC22	D22		输入/输出		
PC23	D23		输入/输出		
PC24	D24		输入/输出		
PC25	D25		输入/输出		
PC26	D26		输入/输出		
PC27	D27		输入/输出		
PC28	D28		输入/输出		
PC29	D29		输入/输出		
PC30	D30		输入/输出		
PC31	D31		输入/输出		

### 10.3.4 PIO 控制器 D 复用

PIO 控制器 D 复用外设 A 连接上的纯输出信号，特别是来自外设 B 连接上 EMAC MII 接口和 ETM 端口的信号。

PIO 控制器 D 仅在 AT91RM9200 的 256 球 BGA 封装选项中提供。

表 10-5. PIO 控制器 D 上的复用

PIO 控制器 D				应用用途	
输入/输出线	外围设备 A	外围设备 B	重置状态	功能	评论
PD0	ETX0		输入/输出		
PD1	ETX1		输入/输出		
PD2	ETX2		输入/输出		
PD3	ETX3		输入/输出		
PD4	ETXEN		输入/输出		
PD5	ETXER		输入/输出		
PD6	DTXD		输入/输出		
PD7	PCK0	TSYNC	输入/输出		
PD8	PCK1	TCLK	输入/输出		
PD9	PCK2	TPS0	输入/输出		
PD10	PCK3	TPS1	输入/输出		
PD11		TPS2	输入/输出		
PD12		TPK0	输入/输出		
PD13		TPK1	输入/输出		
PD14		TPK2	输入/输出		
PD15	TD0	TPK3	输入/输出		
PD16	TD1	TPK4	输入/输出		
PD17	TD2	TPK5	输入/输出		
PD18	NPCS1	TPK6	输入/输出		
PD19	NPCS2	TPK7	输入/输出		
PD20	NPCS3	TPK8	输入/输出		
PD21	RTS0	TPK9	输入/输出		
PD22	RTS1	TPK10	输入/输出		
PD23	RTS2	TPK11	输入/输出		
PD24	RTS3	TPK12	输入/输出		
PD25	DTR1	TPK13	输入/输出		
PD26		TPK14	输入/输出		
PD27		TPK15	输入/输出		

### 10.3.5 系统中断

系统中断是来自中断信号的接线-OR:

- 内存控制器
- 调试单元
- 系统计时器
- 实时时钟
- 电源管理控制器

这些外设的时钟无法控制，外设 ID 1 只能在高级中断控制器内使用。

### 10.3.6 外部中断

所有外部中断信号，即快速中断信号 FIQ 或中断信号 IRQ0 至 IRQ6，都使用专用的外设 ID。不过，这些外设 ID 没有时钟控制功能。

## 10.4 外部总线接口

- 集成三个外部内存控制器：
  - 静态内存控制器
  - SDRAM 控制器
  - 闪存控制器
- 支持 NAND 闪存/SmartMedia 和 CompactFlash 的附加逻辑
- 优化的外部总线
  - 16 或 32 位数据总线
  - 最高 26 位地址总线，最多可寻址 64 MB
  - 最多 8 个芯片选择，每个芯片选择保留给 8 个内存区之一
  - 优化引脚复用，减少外部存储器的延迟
- 可配置芯片选择分配：
  - NCS0 上的突发闪存控制器或静态存储器控制器
  - NCS1 上的 SDRAM 控制器或静态存储器控制器
  - NCS3 上的静态存储器控制器，可选 NAND 闪存/智能媒体支持
  - NCS4 - NCS6 上的静态存储器控制器，可选 CompactFlash 支持
  - NCS7 上的静态存储器控制器

## 10.5 静态内存控制器

- 外部内存映射，512 字节地址空间
- 最多 8 条芯片选择线
- 8 位或 16 位数据总线
- 重新映射启动内存
- 支持多种接入模式
  - 字节写入或字节选择行
  - 每个存储体有两种不同的读取协议
- 多设备适应性

- 符合 LCD 模块
- 可编程设置时间 读/写
- 可编程保持时间 读/写
- 多重等待状态管理
  - 可编程等待状态生成
  - 外部等待请求
  - 可编程数据浮动时间

## 10.6 SDRAM 控制器

- 支持多种配置
  - 2K、4K、8K 行地址内存部件
  - 具有两个或四个内部组的 SDRAM
  - 具有 16 或 32 位数据通道的 SDRAM
- 编程设施
  - 字、半字、字节访问
  - 达到内存边界时自动分页
  - 多银行乒乓球接入
  - 软件指定的定时参数
  - 自动刷新操作，刷新率可编程
- 节能功能
  - 支持自刷新和低功耗模式
- 错误检测
  - 刷新错误中断
- SDRAM 由软件开机初始化
- 延时设置为两个时钟（不支持 CAS 延时 1、3）
- 未使用自动预充电命令

## 10.7 闪存控制器

- 支持多种接入模式
  - 异步或突发模式字节、半字或字读取访问
  - 异步模式半字写入访问
- 适应不同的设备速度等级
  - 可编程闪存突发时钟速率
  - 可编程数据访问时间
  - 输出启用后的可编程延迟
- 适应不同的设备访问协议和总线接口
  - 两种突发读取协议：时钟控制地址超前或信号控制地址超前
  - 多路复用或独立的地址和数据总线
  - 支持连续突发和页面模式访问

## 10.8 外设 DMA 控制器 (PDC)

- 生成与 DBGU、USART、SSC、SPI 和 MCI 等外设之间的传输
- 二十个频道
- 从存储器到外设的传输需要一个主时钟周期
- 从外设传输到存储器需要两个主时钟周期

## 10.9 系统计时器

- 单周期间隔定时器，16 位可编程计数器
- 一个看门狗定时器，16 位可编程计数器
- 一个实时定时器，20 位自由运行计数器
- 事件发生时产生中断

## 10.10 实时时钟

- 低功耗
- 完全异步设计
- 二百年历
- 可编程周期性中断
- 警报和更新并行负载
- 控制警报和更新 时间/日历数据输入

## 10.11 USB 主机端口

- 符合开放式人机交互 1.0 版规范
- 符合 USB V2.0 全速和低速规范
- 支持低速 1.5 Mbps 和全速 12 Mbps USB 设备
- 集成了两个下游 USB 端口的根集线器
- 两个嵌入式 USB 收发器
- 支持电源管理
- 在内存控制器上作为主控器运行

## 10.12 USB 设备端口

- 符合 USB V2.0 全速标准，每秒 12 Mbps
- 嵌入式 USB V2.0 全速收发器
- 用于终端的嵌入式双端口 RAM
- 暂停/恢复逻辑
- 用于等时和批量端点的乒乓模式（两个内存库
- 六个通用端点
  - 端点 0、端点 3：8 字节，无乒乓模式
  - 端点 1、端点 2：64 字节，乒乓模式
  - 端点 4、端点 5：256 字节，乒乓模式

## 10.13 以太网 MAC



- 与 IEEE 标准 802.3 兼容

- 每秒 10 和 100 Mbits 的数据吞吐能力
- 全双工和半双工操作
- 连接物理层的 MII 或 RMII 接口
- 地址、状态和控制寄存器的寄存器接口
- DMA 接口，在内存控制器上作为主站运行
- 产生中断以发出接收和发送完成信号
- 28 字节发送和 28 字节接收 FIFO
- 在传输的帧上自动生成帧头和 CRC
- 地址检查逻辑可识别四个 48 位地址
- 支持混杂模式，将所有有效帧复制到内存中
- 通过 MDIO 接口支持物理层管理

## 10.14 串行外设接口

- 支持与串行外部设备通信
  - 四个芯片选择器支持外部解码器，可与多达 15 个外设进行通信
  - 串行存储器，如 DataFlash 和 3 线 EEPROM
  - 串行外设，如 ADC、DAC、LCD 控制器、CAN 控制器和传感器
  - 外部协处理器
- 主或从串行外设总线接口
  - 每个芯片选择 8 至 16 位可编程数据长度
  - 每个芯片选择可编程相位和极性
  - 连续传输之间以及每个芯片选择的时钟和数据之间的可编程传输延迟
  - 连续传输之间的可编程延迟
  - 可选模式故障检测
- 与 PDC 通道连接可优化数据传输
  - 一个通道用于接收器，一个通道用于发射器
  - 下一个缓冲区支持

## 10.15 双线接口

- 与标准双线串行存储器兼容
- 一个、两个或三个字节的从站地址
- 顺序读/写操作

## 10.16 USART

- 可编程波特率发生器
- 5 至 9 位全双工同步或异步串行通信
  - 异步模式下 1、1.5 或 2 个停止位，同步模式下 1 或 2 个停止位
  - 奇偶校验生成和错误检测
  - 成帧错误检测、超限错误检测

- MSB 优先或 LSB 优先
- 可选的断线生成和检测
- 按 8 或按 16 超采样接收器频率
- 可选硬件握手 RTS-CTS
- 可选调制解调器信号管理 DTR-DSR-DCD-RI
- 接收器超时和发射器超时保护
- 带地址生成和检测功能的可选多点传送模式
- 带驱动器控制信号的 RS485
- ISO7816、T= 0 或 T= 1 与智能卡连接的协议
  - NACK 处理、带重复和迭代限制的错误计数器
- IrDA 调制和解调
  - 通信速度高达 115.2 Kbps
- 测试模式
  - 远程环回、本地环回、自动回波
- 连接两个外设 DMA 控制器 (PDC) 通道
  - 提供缓冲区传输，无需处理器干预

USART 描述了允许管理调制解调器信号 DTR、DSR、DCD 和 RI 的功能。有关详情，请参阅第 435 页上的“调制解调器模式”。

在 AT91RM9200 中，只有 USART1 实现了这些信号，即 DTR1、DSR1、DCD1 和 RI1。

USART0、USART2 和 USART3 并不实现所有调制解调器信号。这些 USART 只实现了 RTS 和 CTS（分别为 RTS0 和 CTS0、RTS2 和 CTS2、RTS3 和 CTS3），用于其他功能。

因此，将 USART0、USART2 或 USART3 编程为调制解调器模式可能会导致无法预料的结果。在这些 USART 中，与调制解调器模式有关的命令不起作用，与调制解调器信号状态有关的状态位也不会被激活。

## 10.17 串行同步控制器

- 提供音频和电信应用中使用的串行同步通信链路
- 包含一个独立的接收器和发射器以及一个共用时钟分频器
- 与两个 PDC 通道连接，减少处理器开销
- 提供可配置的帧同步和数据长度
- 可对接收器和发射器进行编程，使其自动启动或在检测到帧同步信号上的不同事件时启动
- 接收器和发射器包括一个数据信号、一个时钟信号和一个帧同步信号

## 10.18 定时计数器

- 三个 16 位定时计数器通道
- 功能广泛，包括
  - 频率测量
  - 事件计数



- 间隔测量
  - 脉冲发生
  - 延迟时间
  - 脉冲宽度调制
  - 上/下功能
  - 每个通道都可由用户配置，并包含
    - 三个外部时钟输入
    - 五个内部时钟输入
    - 两个多功能输入/输出信号
  - 内部中断信号
  - 两个全局寄存器，作用于所有三个 TC 通道
  - 定时计数器 0 至 5 有五个通用时钟输入端 TIMER\_CLOCK1 至 TIMER\_CLOCK5。在 AT91RM9200 中，这些时钟输入分别与主时钟 (MCK)、慢时钟 (SLCK) 和主时钟的分频相连。有关详情，请参阅第 488 页上的 "时钟控制"。
- 表 10-6 列出了定时计数器时钟输入与 AT91RM9200 中时钟的对应关系。每个定时计数器 0 至 5 显示相同的配置。

表 10-6. 定时计数器时钟分配

TC 时钟输入	时钟
TIMER_CLOCK1	MCK/2
TIMER_CLOCK2	MCK/8
TIMER_CLOCK3	MCK/32
TIMER_CLOCK4	MCK/128
TIMER_CLOCK5	SLCK

10.19 多媒体卡接口

- 与 2.2 版多媒体卡规范兼容
- 与 1.0 版 SD 存储卡规范兼容
- 卡时钟速率最高为主时钟除以 2
- 嵌入式电源管理可在不使用时降低时钟频率
- 支持两个插槽
  - 一个插槽，可容纳一个多媒体卡总线（最多 30 张卡）或一个 SD 存储卡
- 支持数据流、数据块和多数数据块数据读写
- 连接外设 DMA 控制器 (PDC) 通道
  - 尽量减少处理器对大型缓冲区传输的干预



## 11. 包装图纸

图 11-1.208 引线 PQFP 封装图

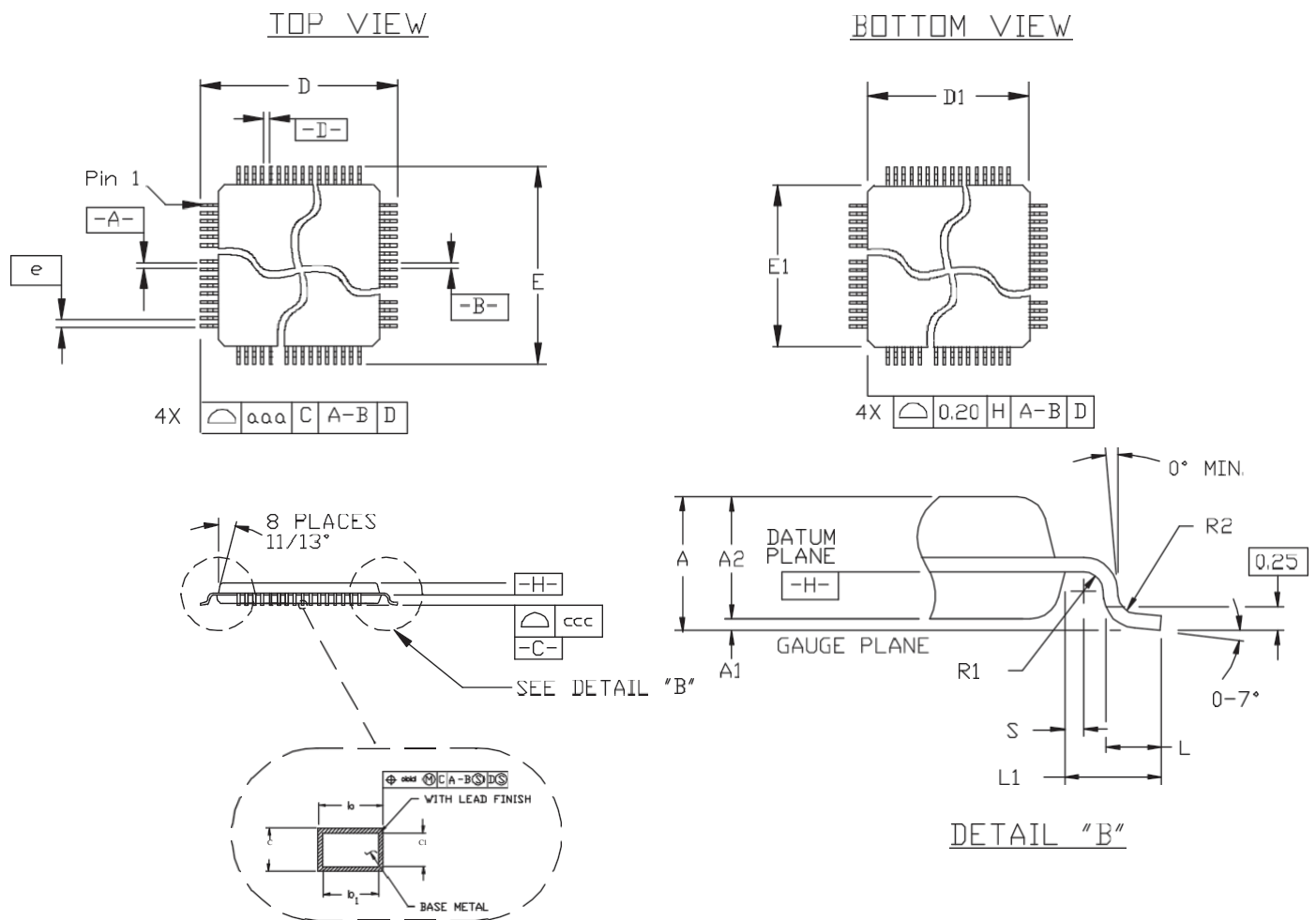
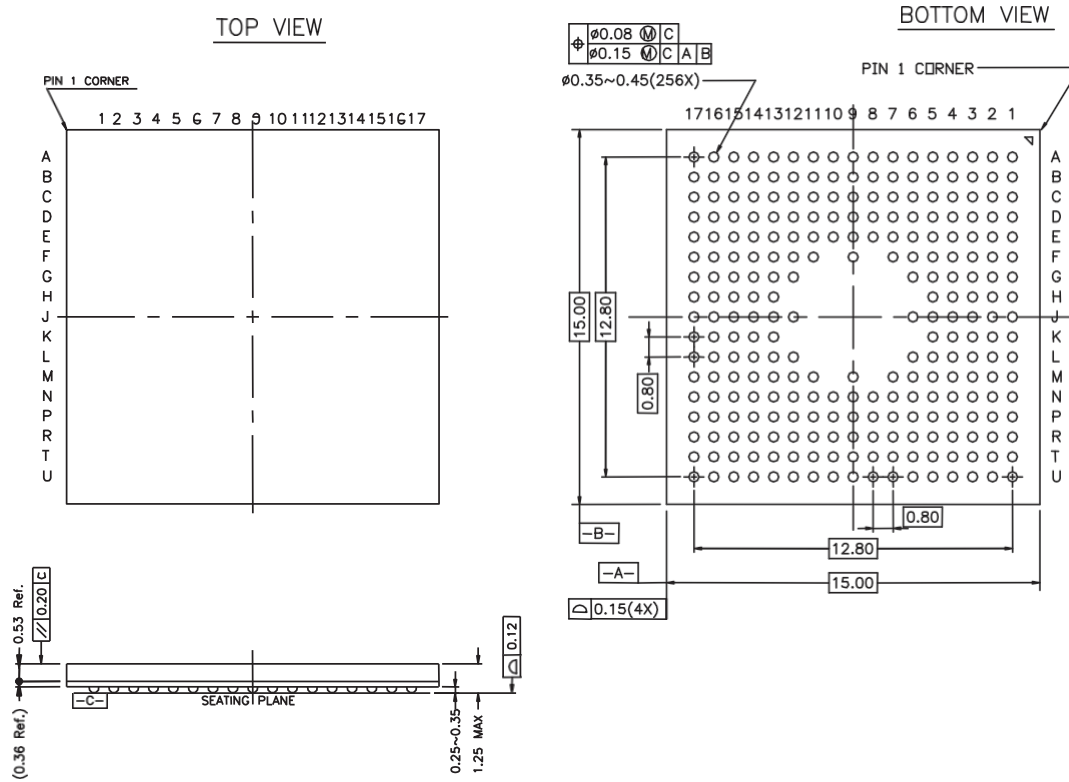


表 11-1. 208 引线 PQFP 封装尺寸 (单位: 毫米)

符号	最小	名称	最大	符号	最小	名称	最大
c	0.11		0.23	b1	0.17	0.20	0.23
c1	0.11	0.15	0.19	ddd	0.10		
L	0.65	0.88	1.03	形状和位置公差			
L1	1.60 REF			aaa		0.25	
R2	0.13		0.3	ccc			0.1
R1	0.13			BSC			
S	0.4			D		31.20	
A	4.10			D1		28.00	
A1	0.25		0.50	E		31.20	
A2	3.20	3.40	3.60	E1		28.00	
b	0.17		0.27	e		0.50	

图 11-2.256 球 BGA 封装图



## 12. AT91RM9200 订购信息

表 12-1. 订购信息

订购代码	包装	包装类型	工作温度范围
AT91RM9200-QU-002	PQFP 208	绿色	工业 (-40·C 至 85·C)
AT91RM9200-CJ-002	BGA 256	符合 RoHS 标准	

### 13. 修订历史

文件修订本	资料来源	评论
Lit°1768A		• 获得资格的日期: 2001 年 5 月
Lit°1768B		• 获得资格的日期: 2001 年 9 月
Lit°1768C		• 获得资格的日期: 2001 年 11 月
Lit°1768D		• 获得资格的日期: 2002 年 3 月 5 日
Lit°1768E		• 获得资格的日期: 2002 年 7 月 12 日
Lit°1768F		• 获得资格的日期: 2003 年 2 月 5 日
文件修订本	资料来源	评论
1768GS	评论	• 获得资格的日期: 03 年 9 月 4 日
		• 第 2 页; 已添加说明。
		• 第 3 页; 更新了图 1 "框图", 删除了 "多主内存控制器"。
		• 第 4 页; 已添加关键功能部分。更新了所有关键区块的说明
		• 第 17 页; 已为 "PIO 线路上的外设多路复用" 部分添加文本。
		• 第 18 页; 扩展表 3, PIO 控制器 A 上的多路复用。
		• 第 19 页: 扩展表 4, PIO 控制器 B 上的多路复用。
		• 第 20 页; 扩展表 5, PIO 控制器 C 上的多路复用。
		• 第 21 页; 扩展表 6, PIO 控制器 D 上的多路复用。
		• 第 27 页; 更新了表 8 外设标识符, 外设标识符 1 说明。
		• 第 28 页; 已添加 "产品内存映射" 部分。
		• 第 30 页; 更新并更正了图 6 "系统外设映射"。
		• 第 31 页; 更新并更正了图 7 "用户外设映射"。
文件修订本	资料来源	评论
1768HS	CSRs/Review	• 合格日期: 不合格/内部网 2005 年 1 月 27 日
		• 全球; 在企业模板中重新格式化。
		• 全局; 外设数据控制器 (PDC) 更名为外设 DMA 控制器。
	CSR 04-066	• 第 1 页; 功能: USART 硬件握手。已删除软件握手。
	CSR 03-209	• 第 3 页; 图 1: 框图中添加了 NWAIT 引脚。
	CSR 03-244	• 第 14 页; 表 1.208 引脚 PQFP 封装的 AT91RM9200 引脚布局, 引脚 28、30、37 和 39 名称已更改
	CSR 04-315	• 第 23 页; 表 7.引脚说明、ICE 和 JTAG 说明, 除 TDO 外, 所有信号的注释中均添加了 "内部上拉"。
	CSR 03-209	• 第 24 页; 表 7.引脚说明, 增加了 NWAIT 引脚。
文件修订本	资料来源	评论
1768IS		更正了第 1 页上的功耗值。
	CSR 05-348	在 第 24 页的表 4-7 "引脚说明列表" 中, 为引脚 JTAGSEL、TDI、TCK、TMS、NTRST、TST0、TST1 和 NRST 增加了施密特触发器。

# 修订历史 (续)

文件编号	评论	变更申请编号
1768JS	重新格式化第 8 节。第 17 页 "存储器"。在第 17 页插入新图图 8-1，显示整个产品内存图。	
	添加了第 11 节。第 33 页，"包装图纸"。	
1768KS	更新了 "功能 "和第 8 页的第 4 节 "封装和引脚"，增加了封装选项的详细信息。第 8 页 "封装和引脚"，增加了封装选项的详细信息。	
	更新了表 40-1 "订购信息" (第 661 页)。	
1768LS	第 12 节中。"AT91RM9200 删除了订购代码 AT91RM9200-CI-002订购信息" (第35页	6423
1768MS	第 17 页图 8-1 中 USART3 0xFFECC000 更改为 0xFFFFCC000	5067











## 总部

**Atmel Corporation** 2325 Orchard  
Parkway San Jose, CA 95131  
USA  
电话: 1(408) 441-0311  
传真: 1 (408) 487-2600

## 国际

### 爱特梅尔亚洲

19 楼 1-5 和 16 单元  
观塘道 418 号千禧城 5 座东亚银行大厦  
香港九龙观塘  
电话: (852) 2245-6100  
传真: (852) 2722-1369

### 爱特梅尔欧洲公司

勒-克雷布斯  
8, Rue Jean-Pierre Timbaud BP 309  
78054 Saint-Quentin-en-Yvelines  
Cedex  
法国  
电话: (33) 1-30-60-70-00  
传真: (33) 1-30-60-71-11

### 爱特梅尔日本公司

Tonetsu Shinkawa Bldg.  
104-0033 日本东京都中央区  
电话: (81) 3-3523-3551  
传真: (81) 3-3523-7581

## 产品联系方式

### 网站

[www.atmel.com](http://www.atmel.com)  
[www.atmel.com/AT91SAM](http://www.atmel.com/AT91SAM)

### 技术支持 AT91SAM 支持 Atmel

技术支持

### 销售联系人

[www.atmel.com/contacts/](http://www.atmel.com/contacts/)

### 文献申请

[www.atmel.com/literature](http://www.atmel.com/literature)

免责声明: 本文档中的信息与 Atmel 产品有关。本文档或与 Atmel 产品的销售有关的信息不授予任何明示或默示、禁止反言或其他形式的知识产权许可。除位于爱特梅尔网站上的爱特梅尔销售条款和条件中规定的情况外, 爱特梅尔不承担任何责任, 并拒绝提供与其产品有关的任何明示、默示或法定保证, 包括但不限于适销性、特定用途适用性或非侵权的默示保证。在任何情况下, 对于因使用或无法使用本文档而造成的任何直接、间接、后果性、惩罚性、特殊或意外损害 (包括但不限于利润损失、业务中断或信息丢失等损害), ATMEL 概不负责, 即使 ATMEL 已被告知发生此类损害的可能性。Atmel 不对本文档内容的准确性或完整性不作任何陈述或保证, 并保留随时更改规格和产品说明的权利, 恕不另行通知。Atmel 不承诺更新此处包含的信息。除非另有明确规定, 否则 Atmel 产品不适合也不得用于汽车应用。Atmel 的产品不打算、未授权或未保证用作旨在支持或维持生命的应用中的组件。



©2009 爱特梅尔公司。保留所有权利。Atmel®、Atmel 徽标及其组合 DataFlash® 和其他均为 Atmel Corporation 或其子公司的注册商标或商标。ARM®、Thumb® 和 ARMPowered® 徽标及其它均为 ARM Ltd. 的注册商标或商标。其他术语和产品名称可能是其他公司的商标。

1768MS-ATARM-09-Jul-09