

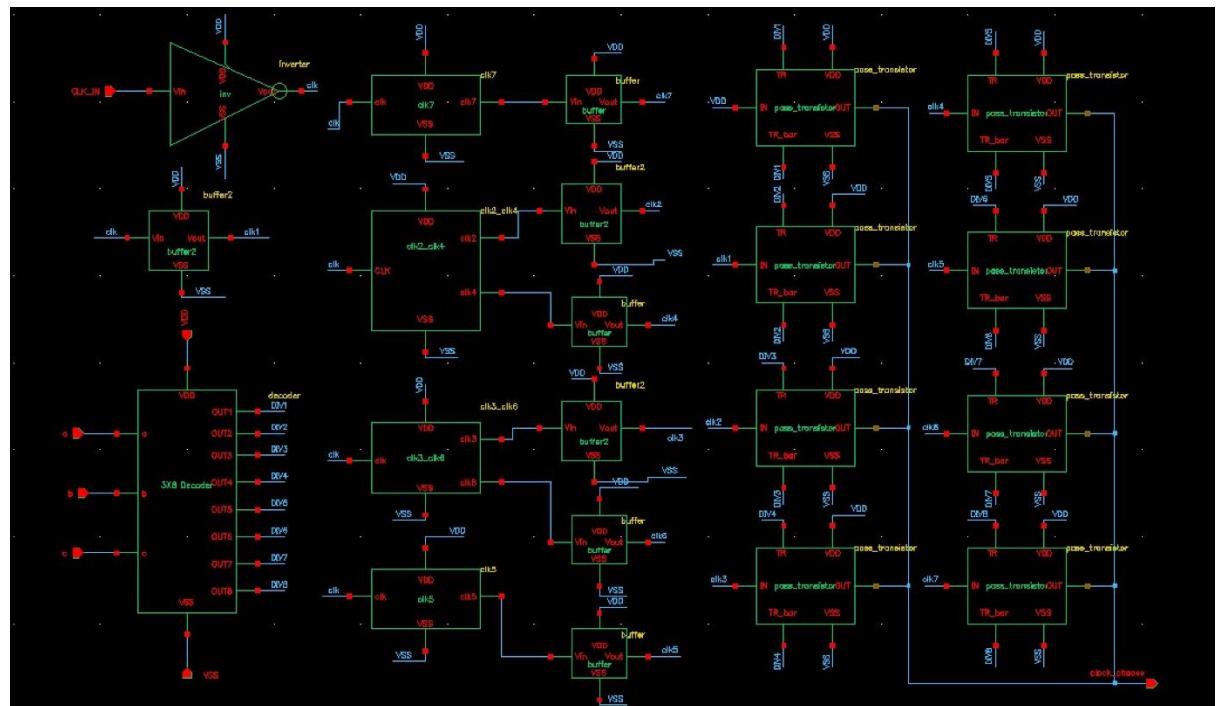
# Introduction to Integrated Circuit Design

## Final Project

106061173 李嶧豐 106011101 柳奕丞

### A. Block Diagram

#### 1. Top View of Frequency Divider:



Input:

CLK\_IN (除頻前 clock signal), a, b, c (除頻數控制訊號)

VDD, VSS

Output:

Clock\_choose (除頻後 clock signal)

我們設計的頻器主要由下列三項元件組成：3X8 Decoder, MUX, 和 clock divider。

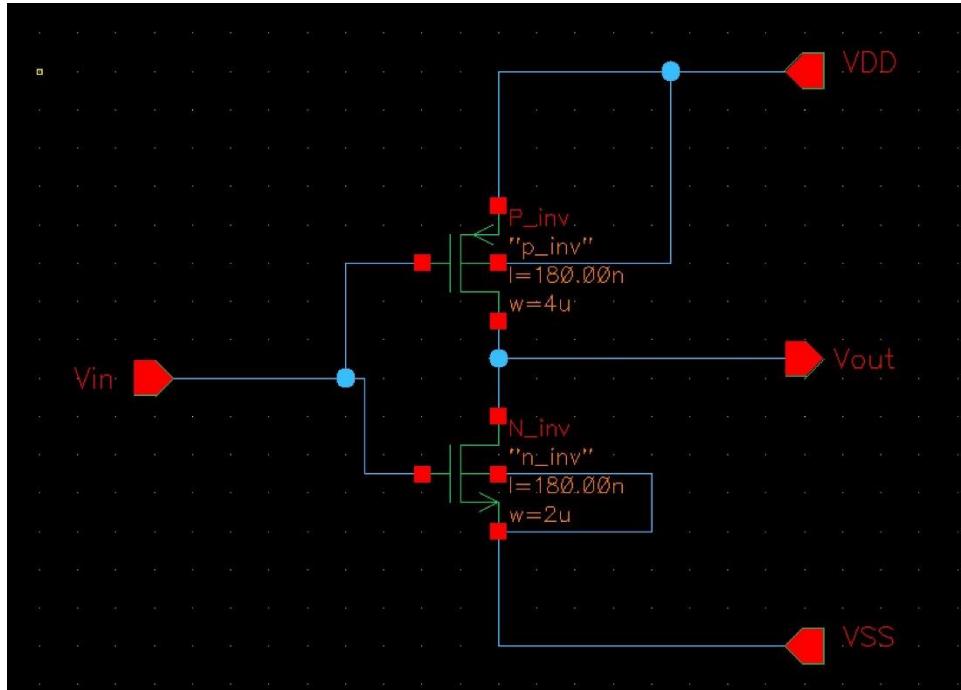
除頻器進行流程：

一開始，除頻數的訊號 a, b, c 由 Decoder 進入，控制 MUX 的開啟，而同時待除頻的 clock 訊號，CLK\_IN，會經過 Inverter 後再進入 Clock Divider 進行除頻，Clock Divider 有四個，分別產生除以 24、36、5、7 倍的 clock (取名為 clk#\_clk#)

後，再經過 buffer 推 output 端的電容，Clock Divider 除頻完畢後的八個訊號最後由 MUX 選擇輸出。

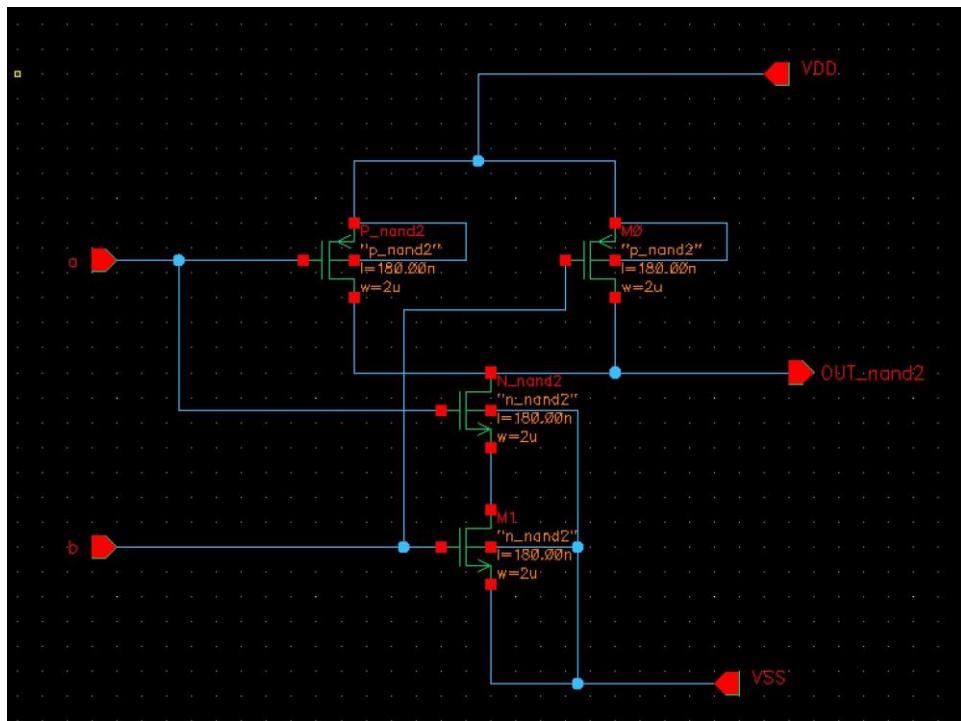
## 2.Basic Element of Circuit in transistor level :

- Inverter



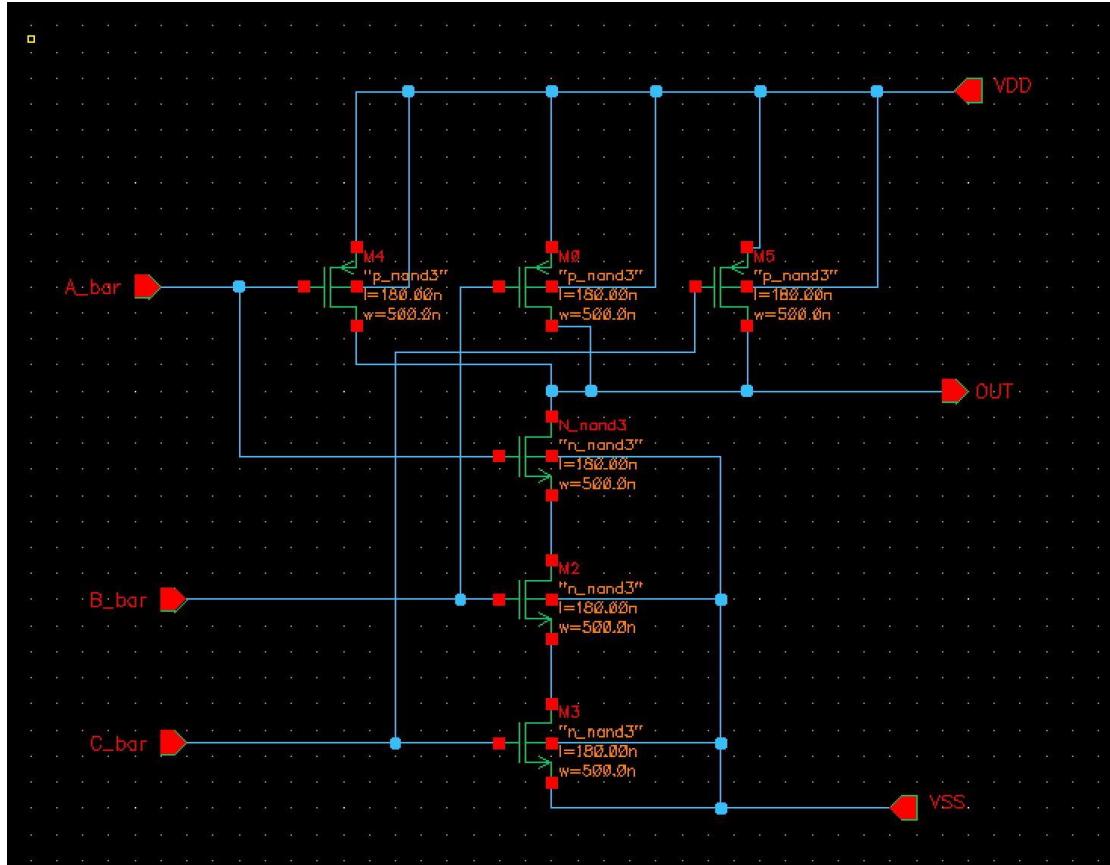
inverter 的主要目的是增加對後面 Clock Divider 的 Driving Capability 。

- NAND2



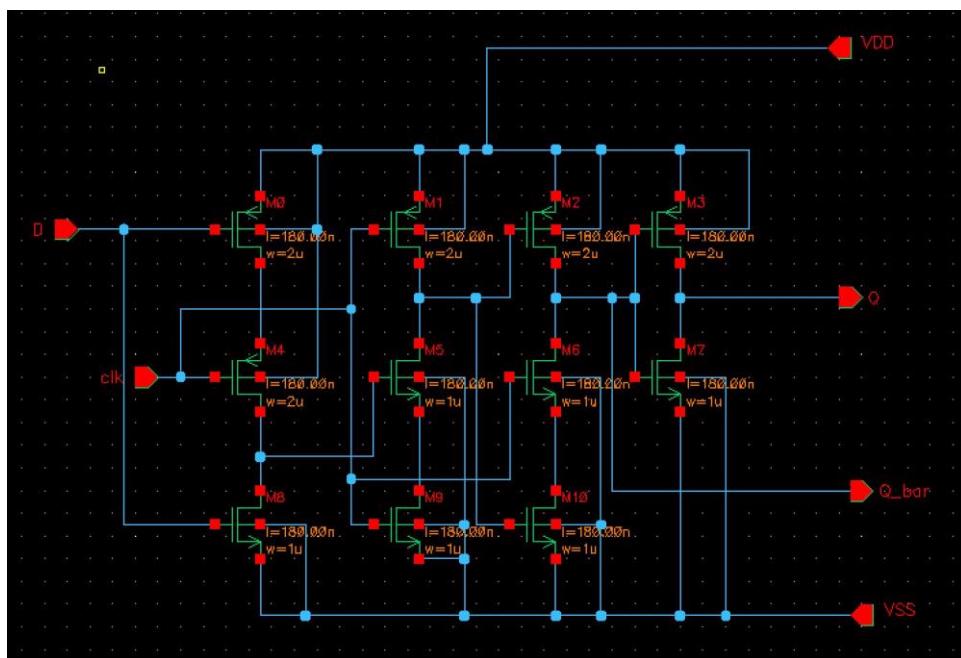
NAND2 的主要目的是用來產生 Decoder 的邏輯，以及處理 clock 訊號的除頻。

- NAND3



NAND3 在此用於 decoder 中，對輸入的控制信號進行運算並輸出。

- TSPC D FlipFlop:



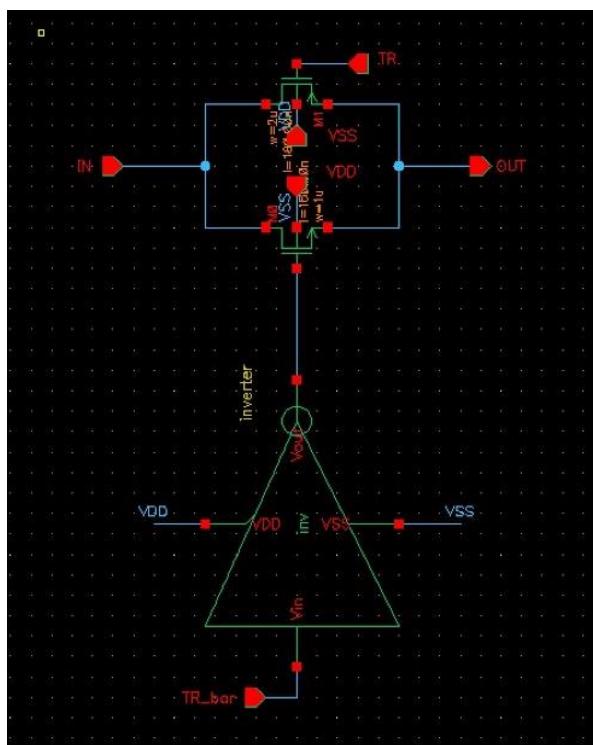
Truth Table :

D	CLK	Q(n+1)
X	0	Q(n)
0	posedge	0
1	posedge	1

Flip Flop 為 Clock Divider 的核心，主要是利用 Q、Q\_bar、NAND2 的操作對 input 的訊號進行除頻。

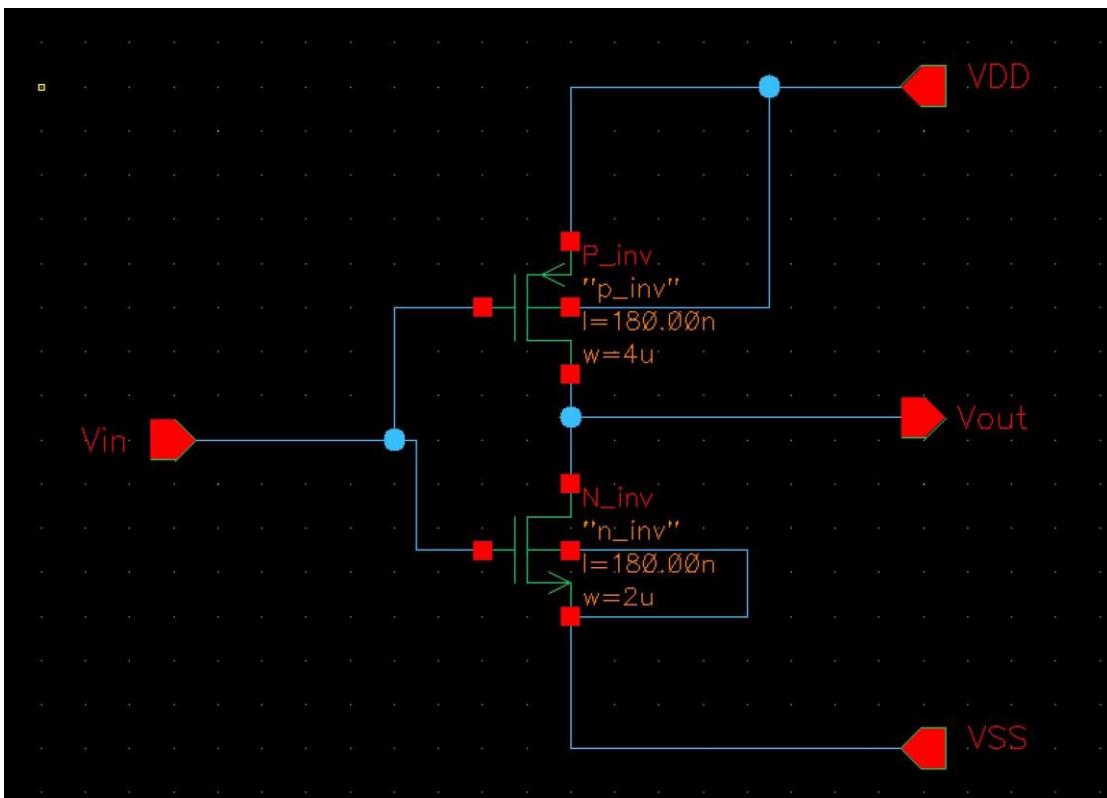
此 Flip Flop 的架構是從網路上找來的，這種 FF 需要的 Transistor 較傳統的 FF 少了許多 ( $18T \rightarrow 11T$ )，為了減少 layout 面積，我們選擇這種架構。

- Pass transistor



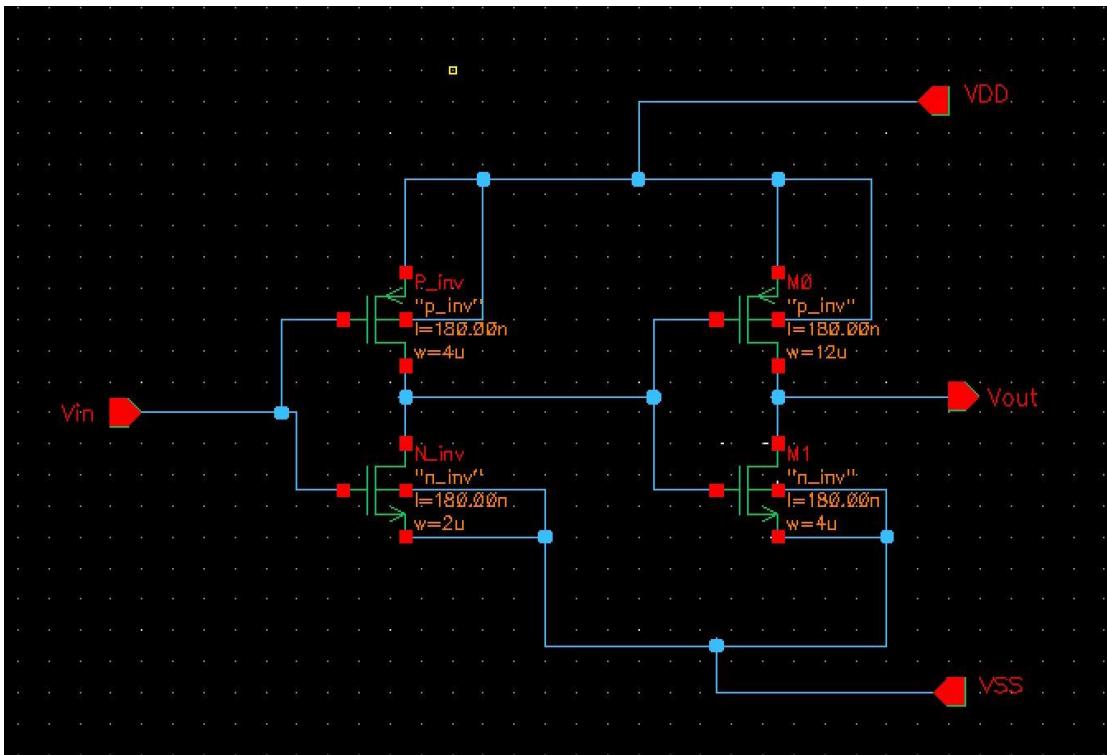
Pass transistor 在此電路中是搭配 Decoder 的輸出訊號，當作 MUX 來使用。

- Buffer1



Buffer1 的結構和單位 inverter 的結構相同，只是主要目的是推動掛在 output 端的電容，希望有效提升整體執行最高頻率。這種 buffer 只用在除四倍以上的頻率。

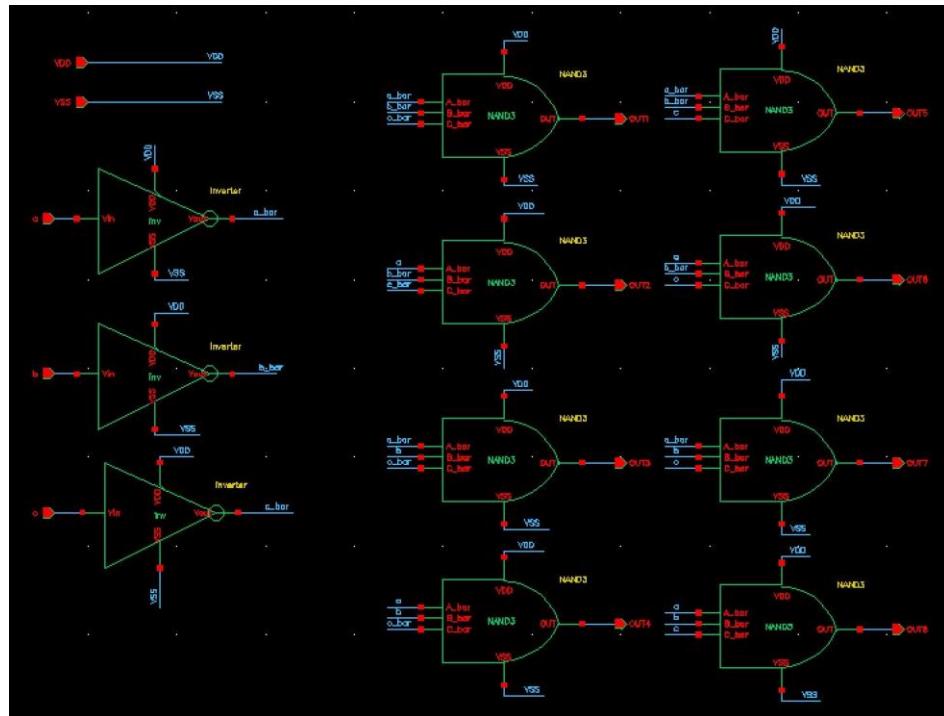
- Buffer2



Buffer2 和 Buffer1 最大的不同在於使用兩個 inverter，且用 size 較大的 inverter 去推動後面的電容。當初會加上這種 buffer 是因為觀察 clk1, clk2, clk3 在波型上的偏差較大，因此使用這種 buffer 希望改善波型表現。

### 3.Sub-Block Diagram

- 3X8 Decoder

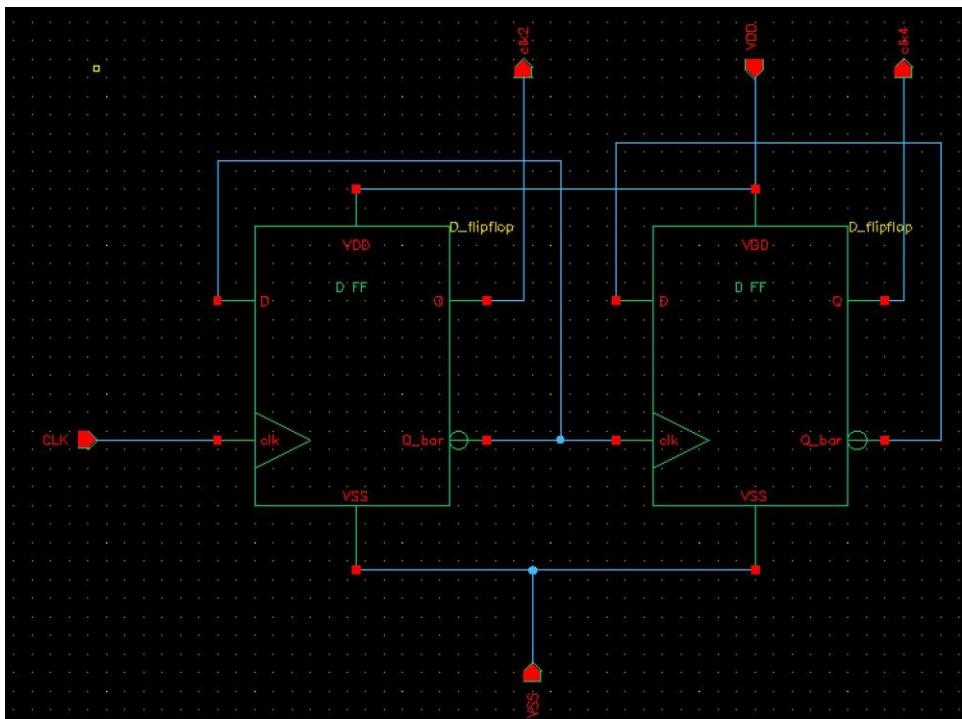


Truth Table :

c	b	a	OUT 8	OUT 7	OUT 6	OUT 5	OUT 4	OUT 3	OUT 2	OUT 1
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

3X8 Decoder 主要是產生控制 MUX 的訊號，由 Inverter 和 NAND3 組成，input 數值對應之 output bit 會被設成 0 (不是 1 ! )。

- clk2\_clk4



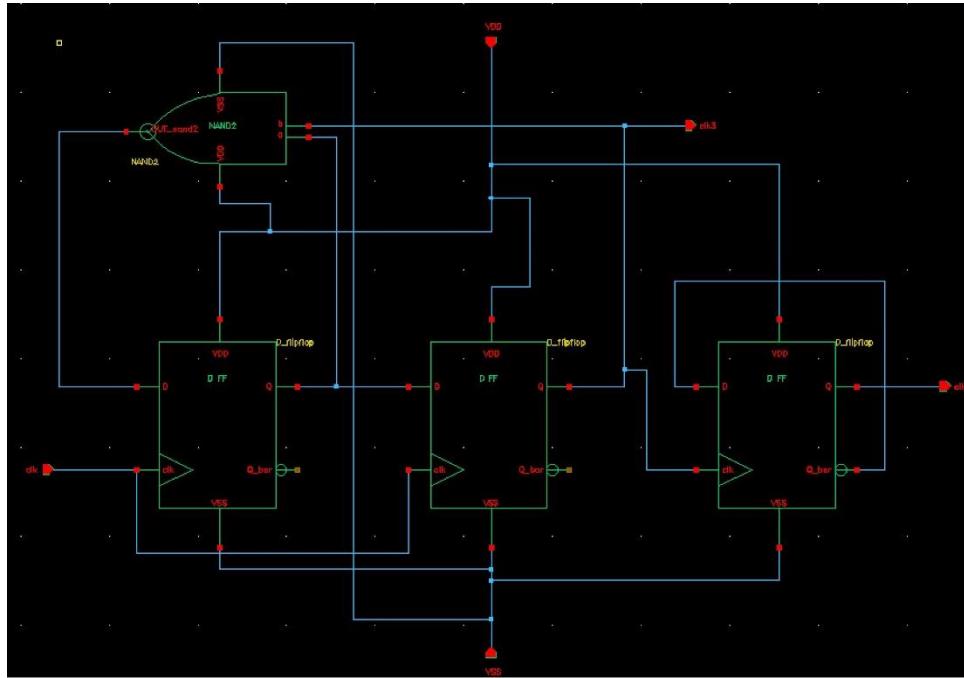
Time Table of clk2\_clk4:

Clock Period	clk_2	clk_4
0	0	0
1	1	1
2	0	1
3	1	0
4	0	0
5	1	1
6	0	1
7	1	0
8	0	0
9	1	1

(註：紅框處為各頻率之週期。)

Clk2\_clk4 是負責產生除頻 2、4 倍的 clock 訊號，主要是藉由前一級的 FF Q\_bar 來驅動下一級的 FF 產生相對應的頻率。

- clk3\_clk6



Time Table of clk3\_clk6:

Clock Period	Q1	Q2 (clk_3)	Q3 (clk_6)
0	0	0	0
1	1	0	0
2	1	1	1
3	0	1	1
4	1	0	1
5	1	1	0
6	0	1	0
7	1	0	0
8	1	1	1

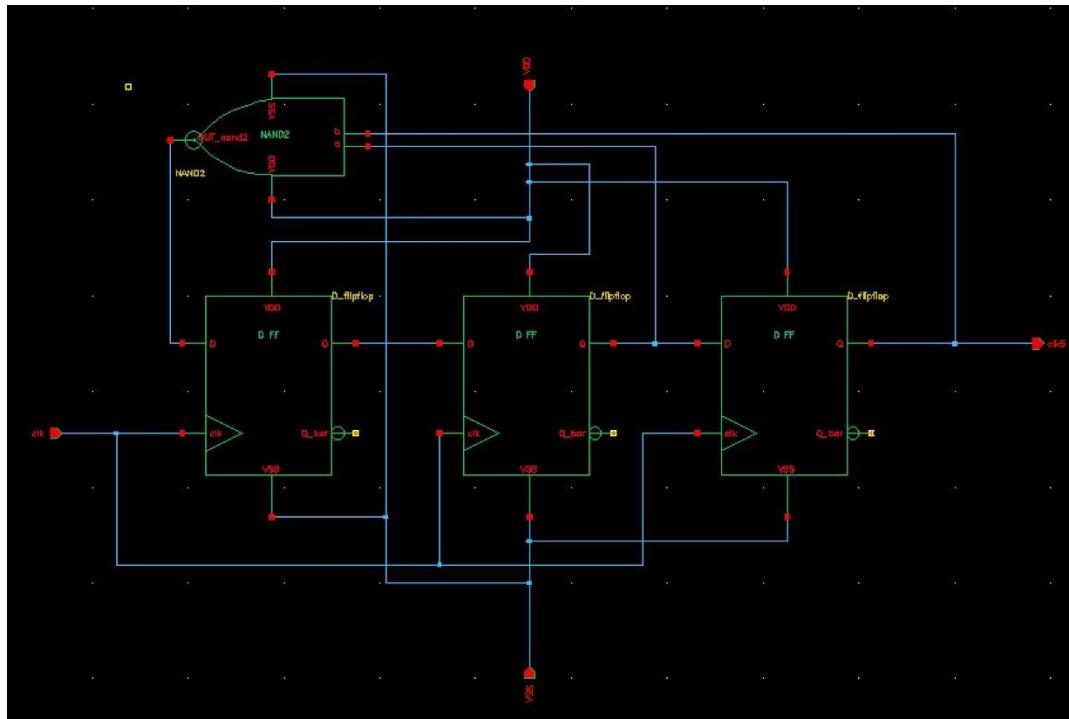
Clk3\_clk6 負責產生除頻 3、6 倍的 clock 訊號，邏輯與前面除以 2、4 倍的不同，除頻 3 倍的訊號是藉由前一級的 NAND2 的操作來讓 input 的 D 產生變化；而除頻 6 倍的訊號則是直接使用除頻 3 倍的訊號，再加上利用前面 clk2\_clk4 除以 2 倍的邏輯產生，詳細的時序圖如上表所示。

值得注意的是，**除以 3 訊號的 duty cycle 並不是 50%**，如果想要產生 50% duty cycle 的訊號，必須使用更複雜的電路，但我們這組由於 layout 及時間的考量並沒有採用。

後面除以 5 和 7 的訊號邏輯與除以 3 的邏輯相似，都是使用 NAND2 讓 input 的

D 產生變化，且 duty cycle 皆非 50%。  
 (註：後面的 Block 只提供 Time Table。)

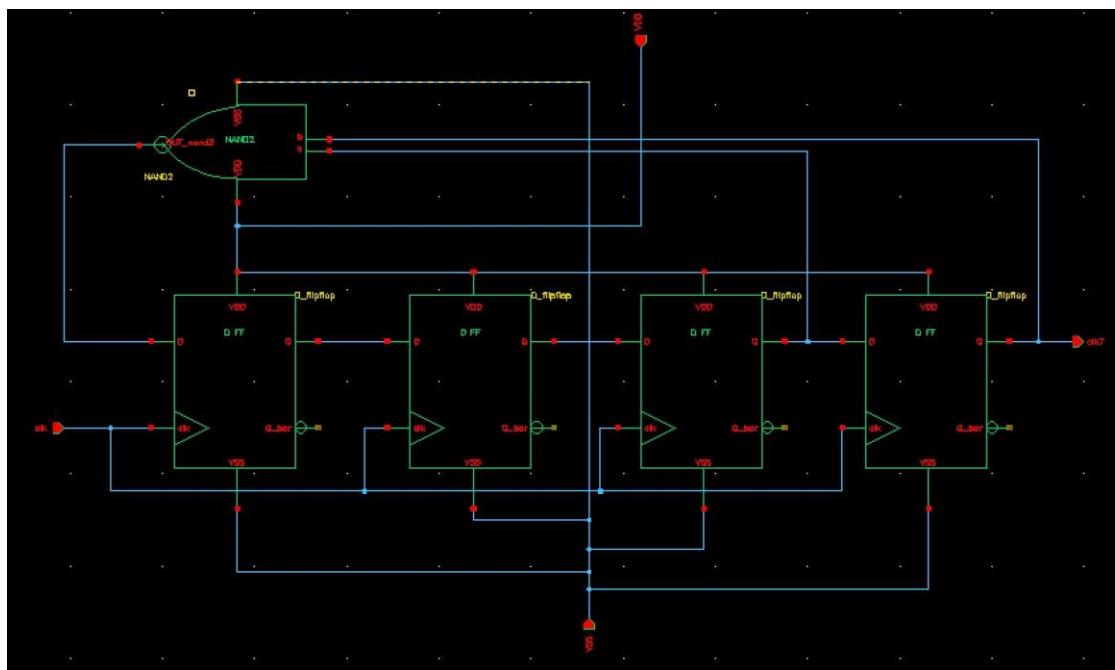
- clk5



Time Table of clk5 :

Clock Period	Q1	Q2	Q3 (clk_5)
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	1	0	0

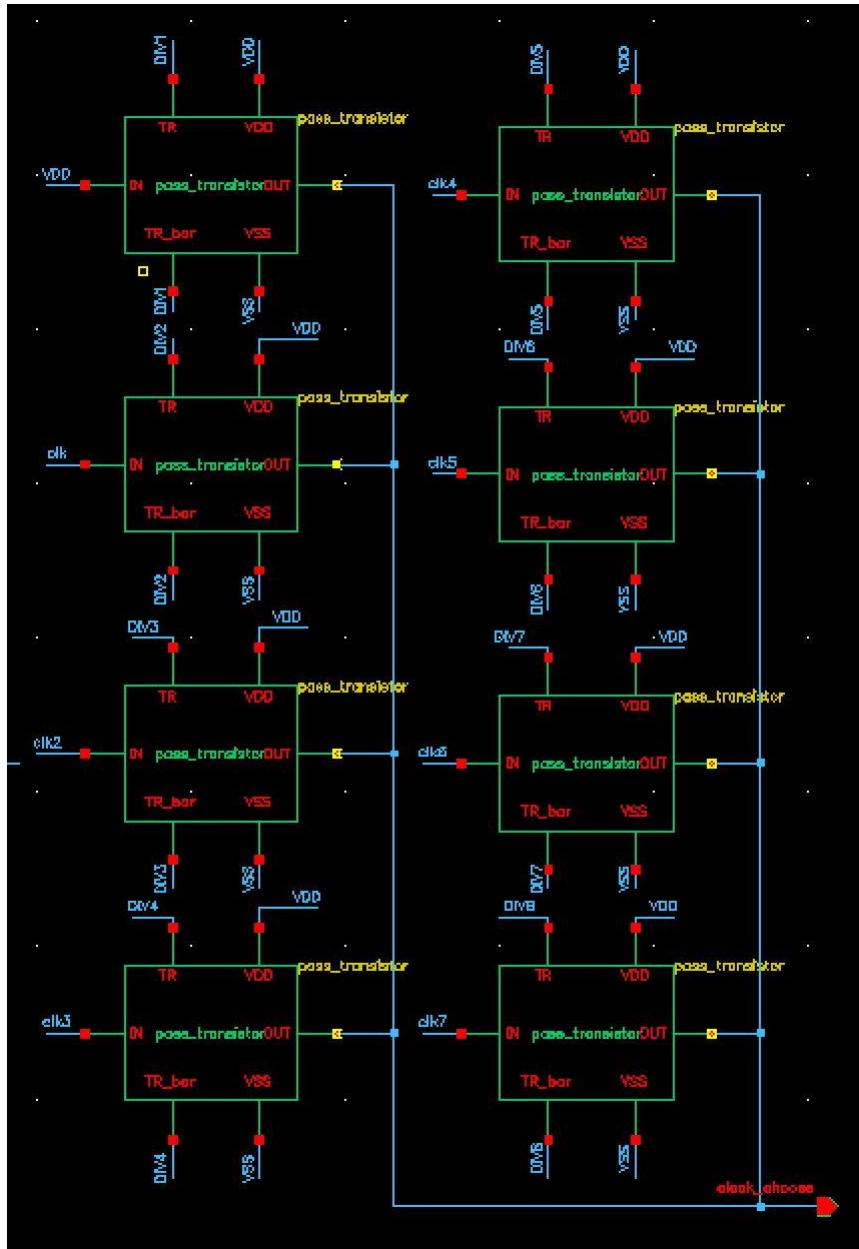
- Clk7:



## Time Table of clk7 :

Clock Period	Q1	Q2	Q3	Q4 (clk_7)
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1
8	1	0	0	0

- MUX (由 pass transistor, buffer 組成)

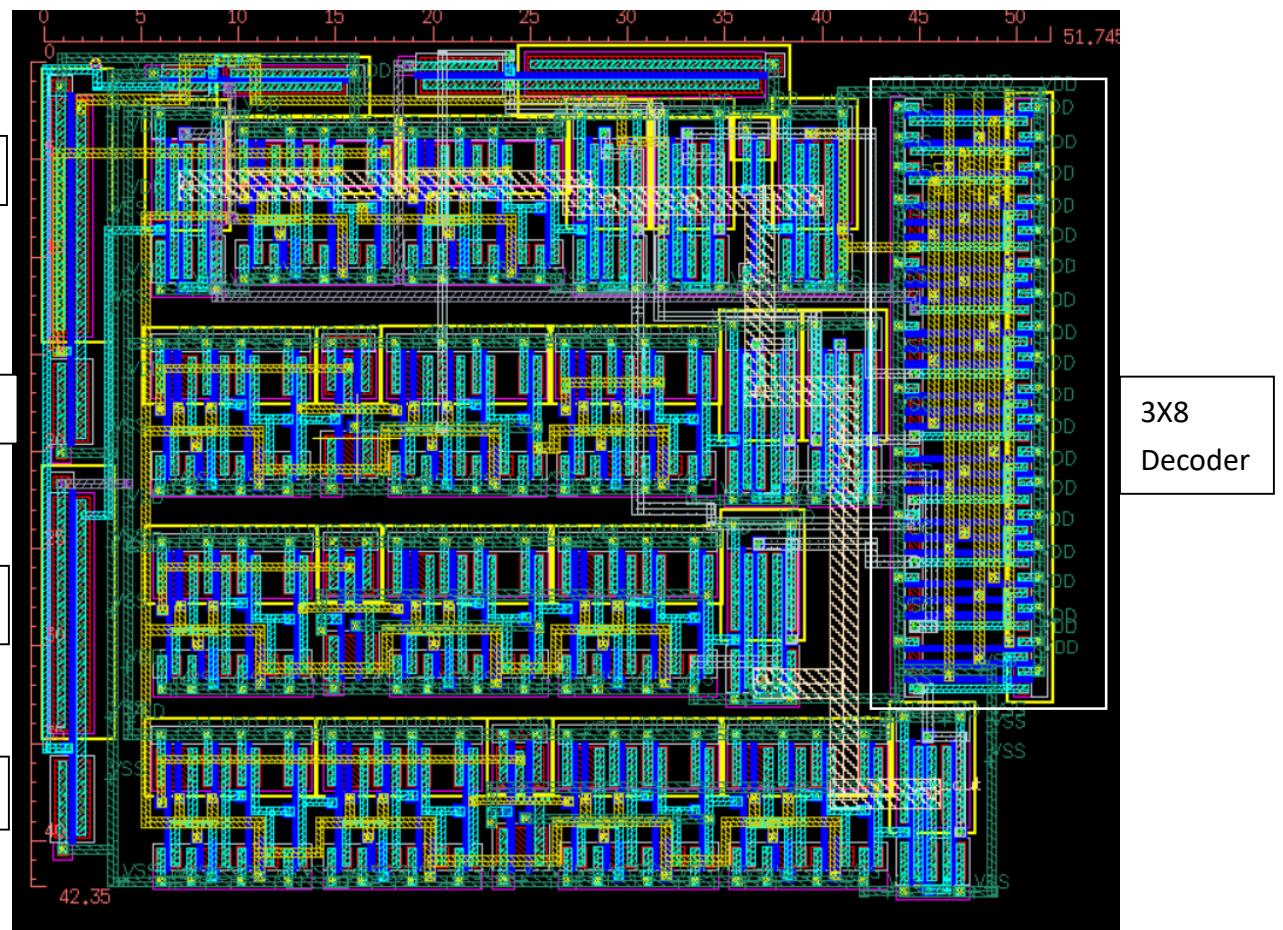


MUX 是用來選擇最後除頻的 output，選擇的依據為 Decoder 的訊號。

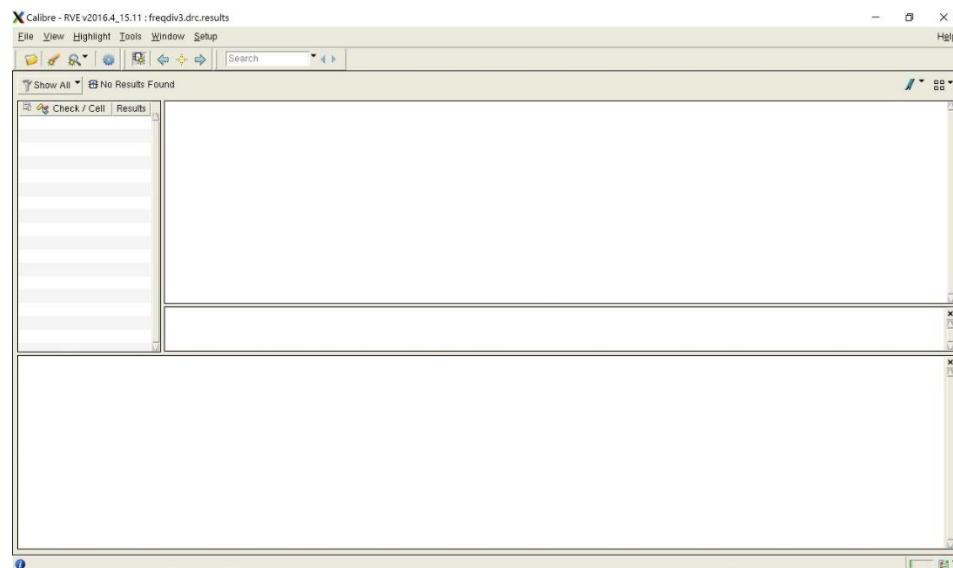
## B. Layout and DRC, LVS Check

Layout:

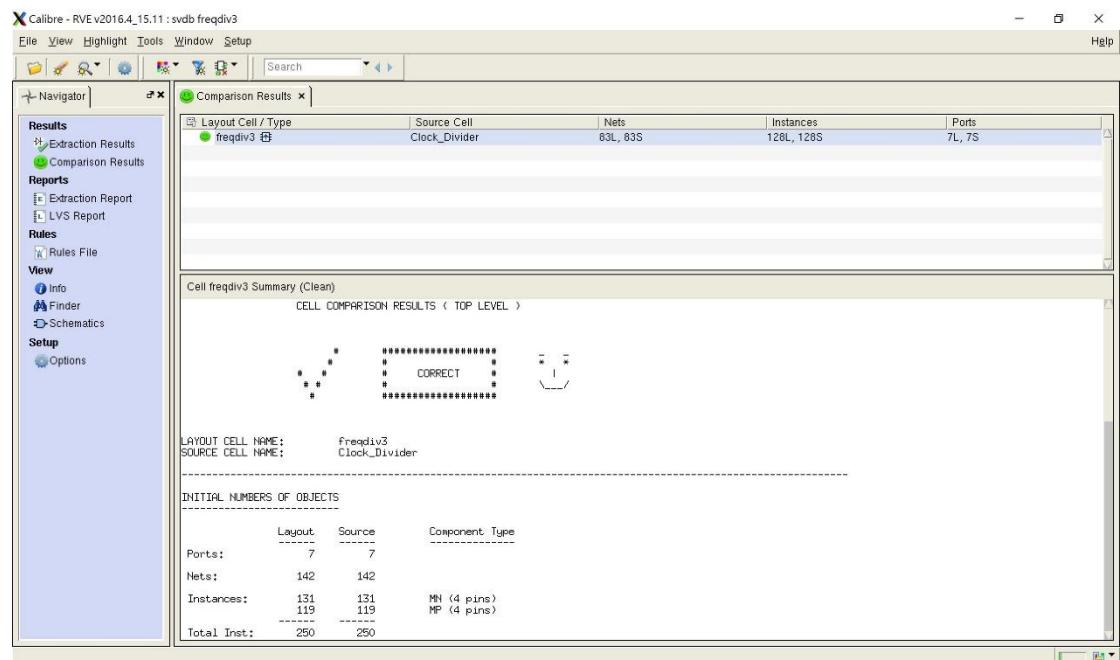
$$\text{Area} = 51.745 \text{ } \mu\text{m} * 42.35 \text{ } \mu\text{m} = 2191.40 \text{ } \mu\text{m}^2$$



DRC:



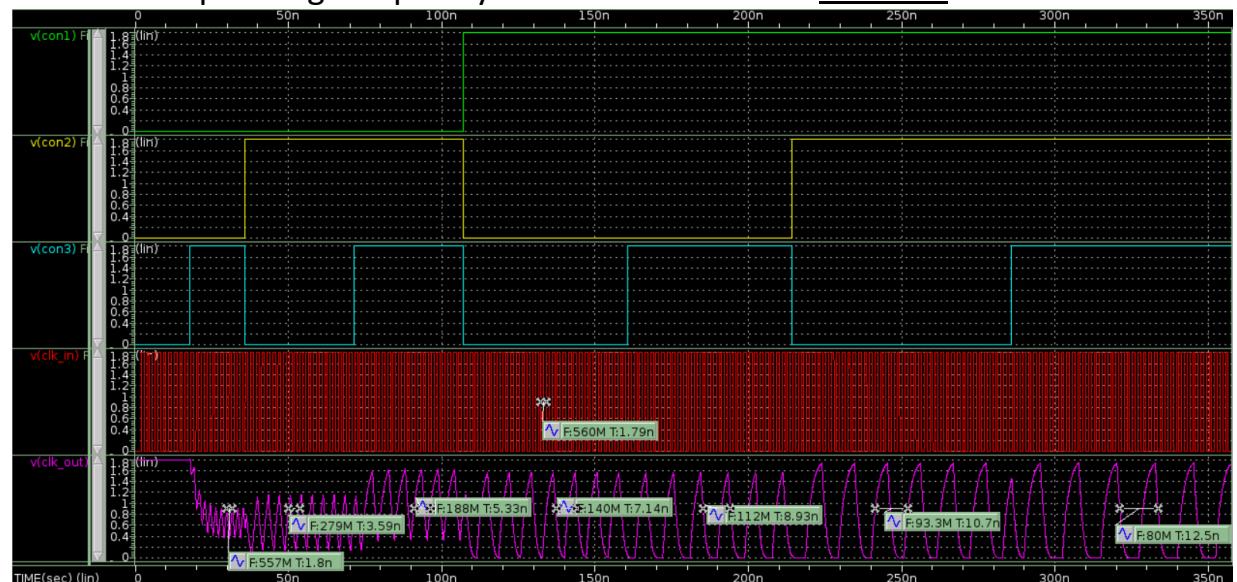
## LVS:



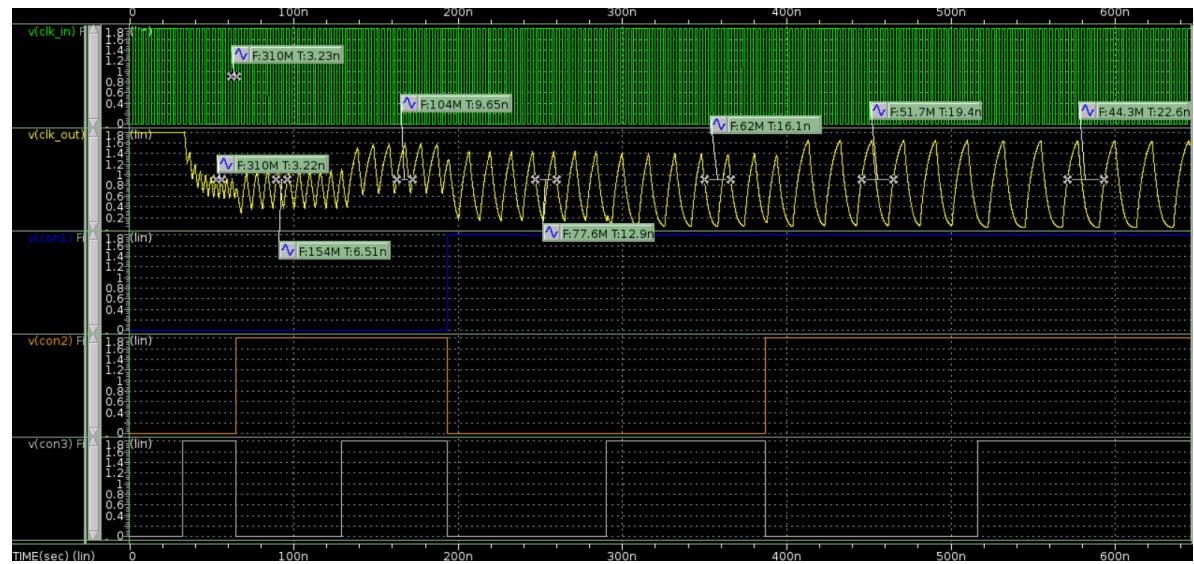
## C. Simulation Result

### Part I: Pre-simulation

Maximum Operating Frequency of TT Corner 25°C : 560MHz



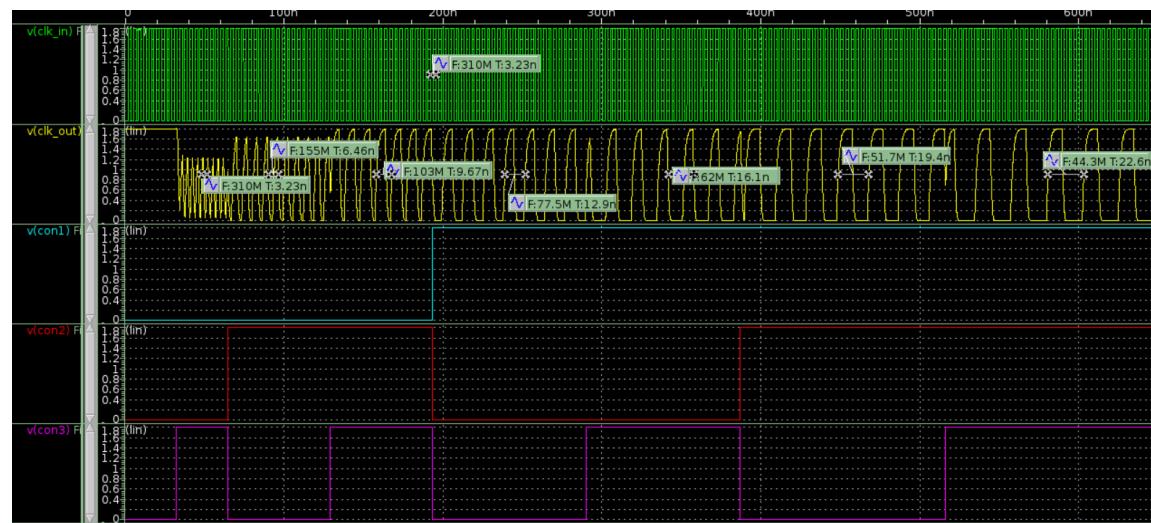
Worst Case Operating Frequency : **310MHz** (SS, 125°C)



TT Corner 25°C



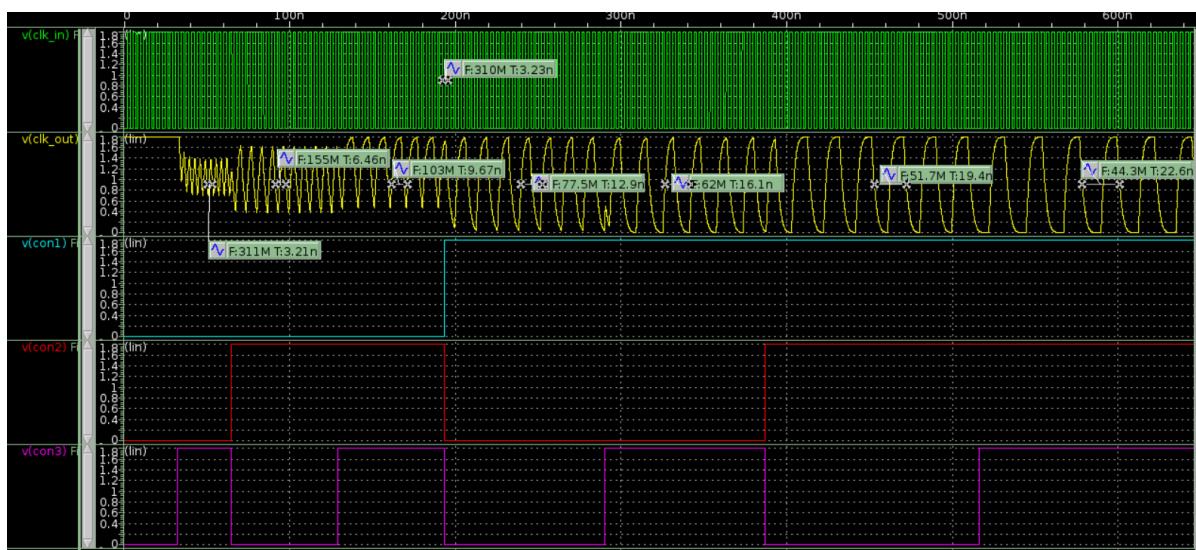
FF Corner -40°C



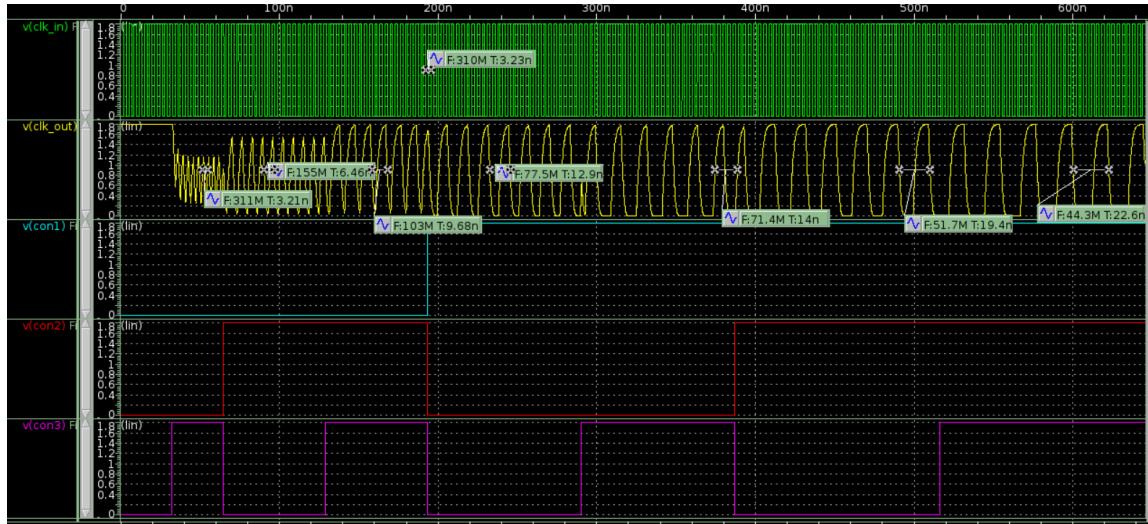
## SS Corner 125°C



## SF Corner 25°C



## FS Corner 25°C



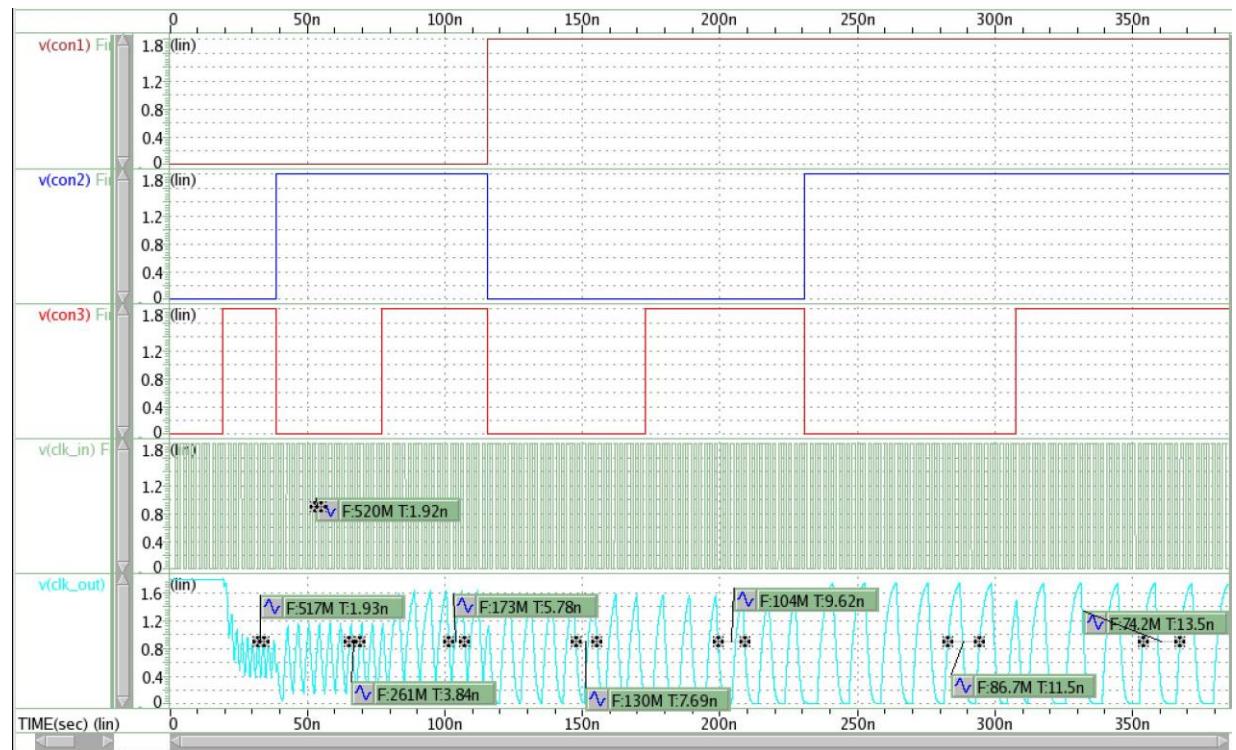
## Summary:

Maximum Freq. TT Corner ( 560MHz )		Worst Case ( 310MHz )	
Divide #	Operating Freq. (Hz)	Divide #	Operating Freq. (Hz)
1	557M	1	310M
2	279M	2	154M
3	188M	3	104M
4	140M	4	77.6M
5	112M	5	62M
6	93.3M	6	51.7M
7	80M	7	44.3M
Corner	Power (W)	Corner	Power (W)
TT	1.45m	TT	853.23μ
FF		FF	889.27μ
SS		SS	851.42μ
SF		SF	881.73μ
FS		FS	844.82μ

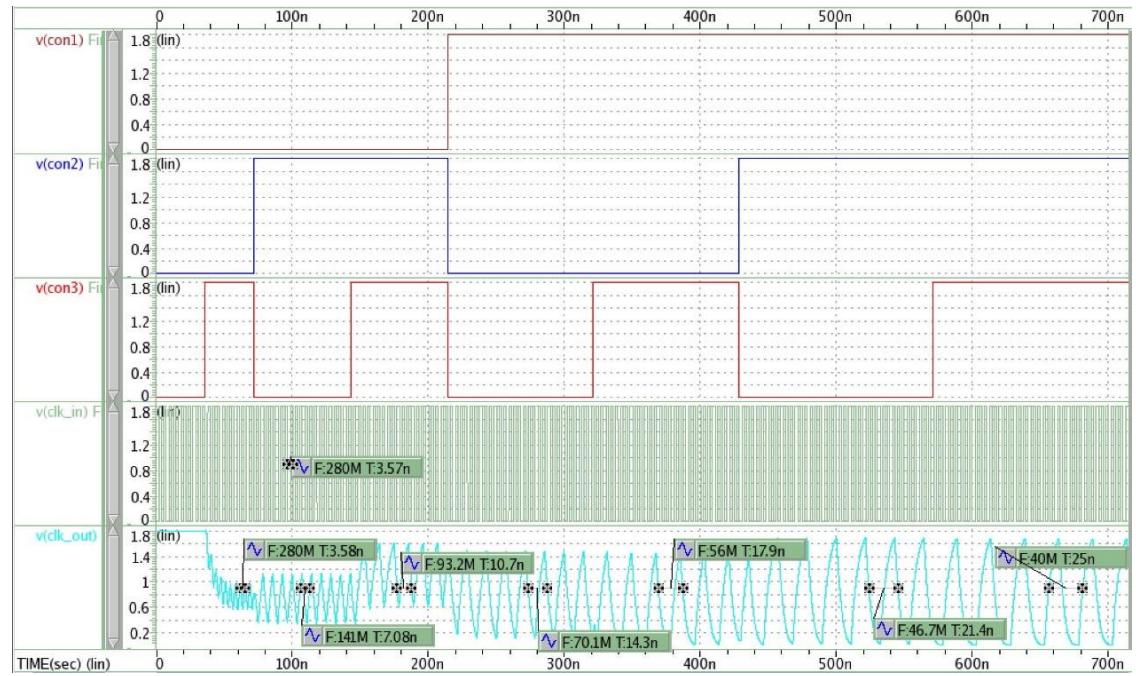
(註：因為 worst case 各 corner 除頻的結果幾乎都相同，便合併了。)

## Part II – Post-simulation

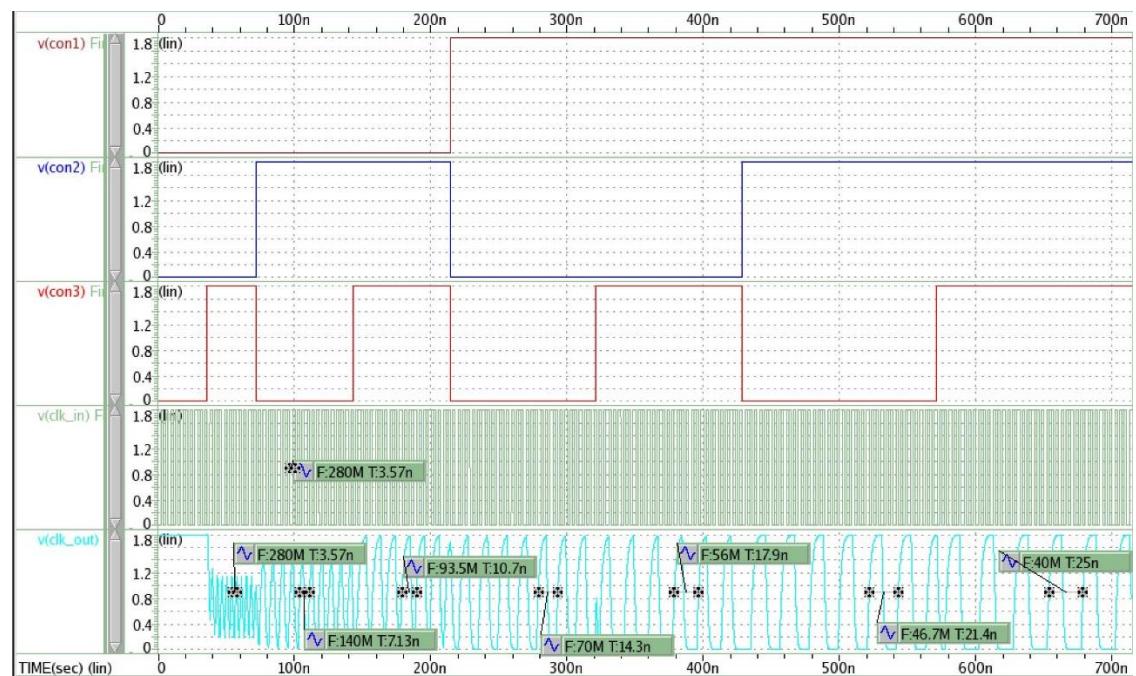
Maximum Operating Frequency of TT Corner 25°C : **520MHz**



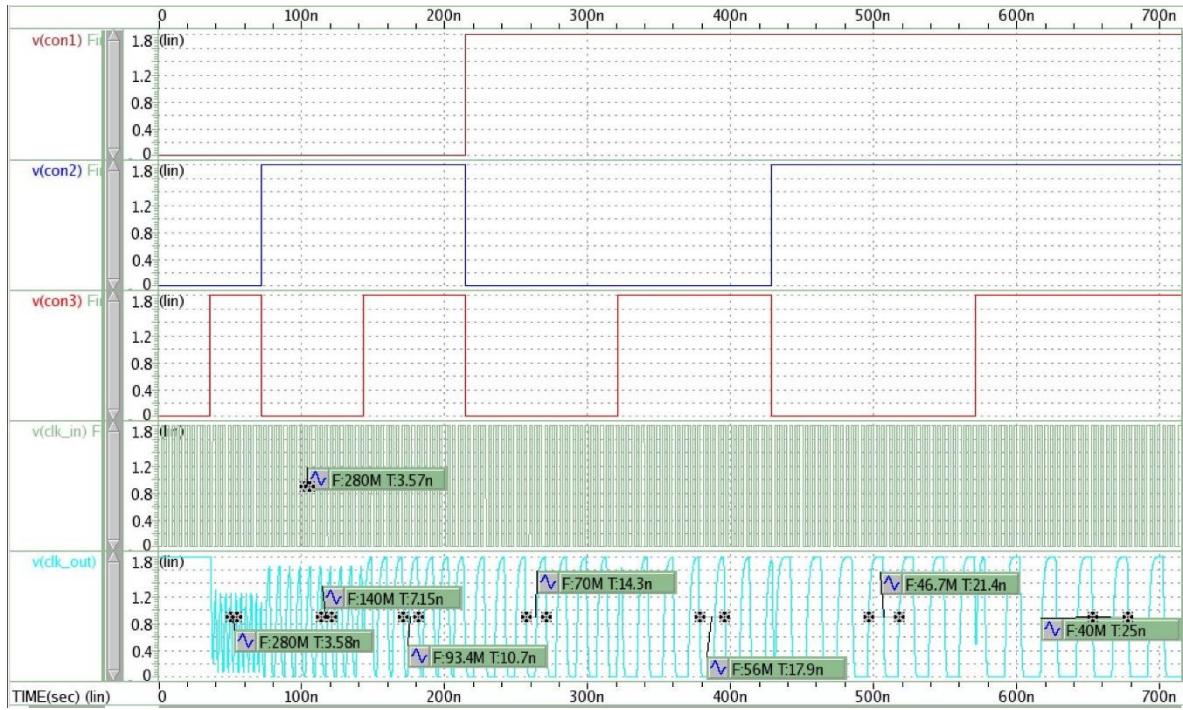
## Worst Case Operating Frequency : 280MHz (SS, 125°C)



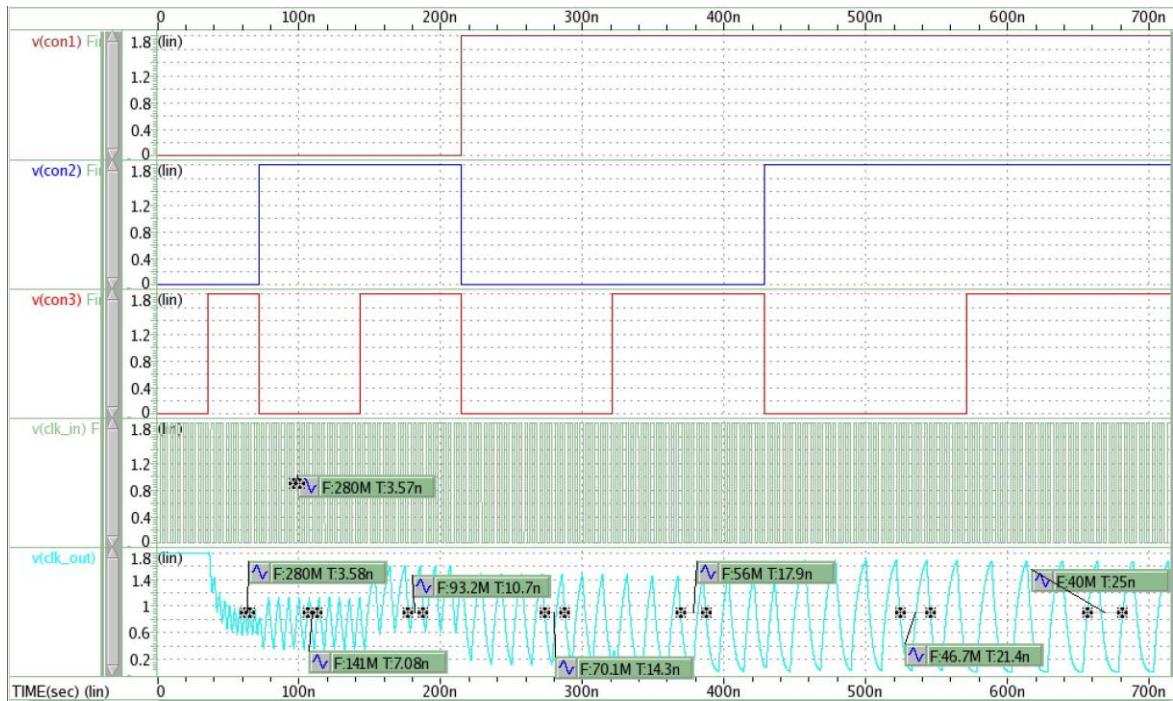
## TT Corner 25°C



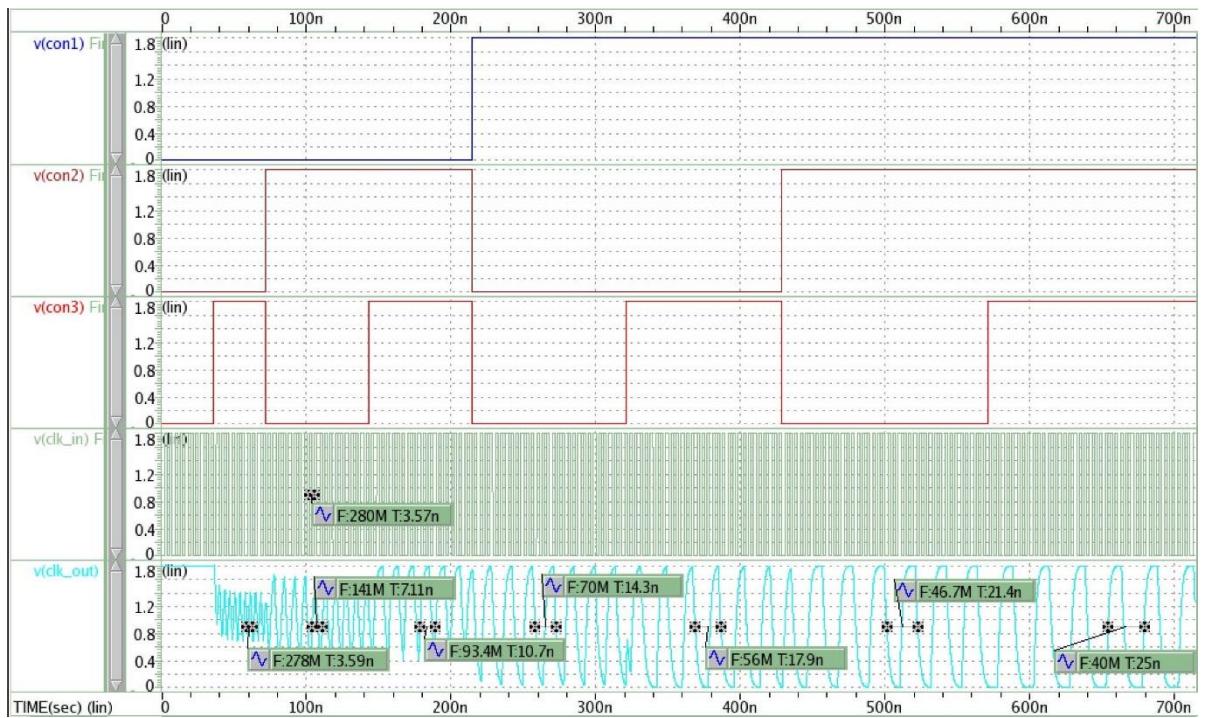
## FF Corner -40°C



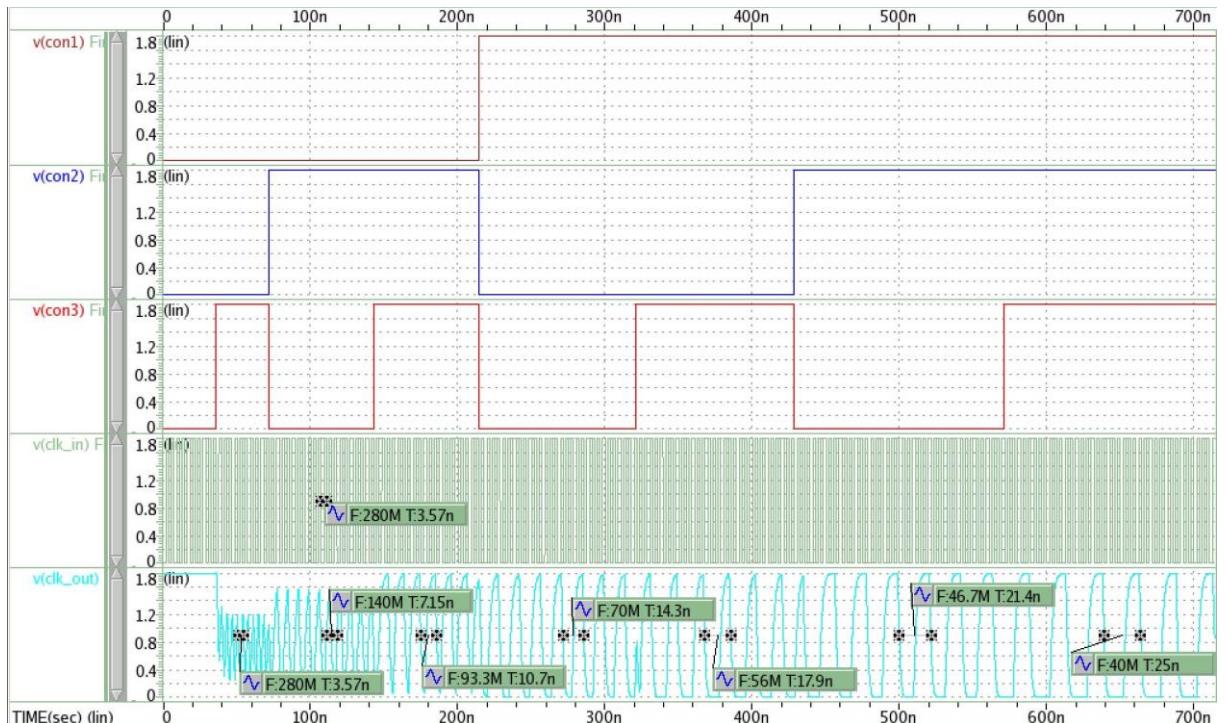
## SS Corner 125°C



## SF Corner 25°C



## FS Corner 25°C



Summary: Area = 2191.40  $\mu\text{m}^2$

Maximum Freq. TT Corner ( 520MHz )		Worst Case ( 280MHz )	
Divide #	Operating Freq. (Hz)	Divide #	Operating Freq. (Hz)
1	517M	1	280M
2	261M	2	141M
3	173M	3	93.2M
4	130M	4	70.1M
5	104M	5	56M
6	86.7M	6	46.7M
7	74.2M	7	40M
Corner	Power (W)	Corner	Power (W)
TT	1.505m	TT	856.36 $\mu$
FF		FF	892.46 $\mu$
SS		SS	852.82 $\mu$
SF		SF	879.76 $\mu$
FS		FS	849.05 $\mu$
Corner	FoM (MHz/ $\mu\text{m}^2 \cdot \text{mW}$ )	Corner	FoM (MHz/ $\mu\text{m}^2 \cdot \text{mW}$ )
TT	0.157	TT	0.149
FF		FF	0.143
SS		SS	0.150
SF		SF	0.145
FS		FS	0.150

## Comparison & Comment between Pre-sim and Post-sim:

波形主要變化：Rise / Fall Delay 均上升，但電壓大致維持相同。

我們推測是太多只有相鄰一層的 metal layer 完全重疊在一起，寄生電容過大，以及 CLK\_IN 後接的 Inverter 數量及尺寸皆不足，推不太動後面的 block，才會造成 Delay 的延長。

其中還有一個值得注意的現象是 Rise delay > Fall delay，初步推測為 PMOS size 過小造成，因為在我們的設計中，為了 layout 的整齊性，PMOS 基本上都直接被設為 2um，沒有對 Balance Design 特別計算，才會導致對電容充電較慢的情形發生。

而以下附上的是在 Presim Max. Operating Freq. 的情況下，Presim 的 delay 對 Postsim delay 的表格：

Pre-sim 560M vs. Post-sim 560M		
Divide #	Rise Delay (ps)	Fall Delay (ns)
1	233/303	219/285
2	345/449	312/406
3	309/402	289/376
4	377/490	348/452
5	296/385	258/335
6	352/458	333/433
7	412/536	381/495

## Discussion on Performance:

### 1. CLK 訊號限制整體執行最高頻率：

由於 CLK\_IN 訊號要推動後面許多用來除頻的 Flip-Flop，導致 CLK 除以 1 倍的訊號無法有效反應，執行頻率過高時，CLK\_1 的 full swing 上升不到 1.8V。

為此，我們在除頻後面加上一個 inverter 當作 buffer，希望可以藉此推動 output 端的電容，進而有效提升整體執行最高頻率。原先我們打算加上四個 inverter 當作 buffer 推動，但因為 layout 的整體面積大小考量，再加上提升的執行最高頻率有限，後來決定使用一個 inverter 當作 buffer 就好。

後來，我們透過波型圖可以發現在高工作頻率下，最主要只有除一倍、二倍，和三倍的 output frequency 會出現明顯偏差。因此，我們在 clk1, clk2, clk3 後面再加一個 buffer，希望改善輸出波形。

### 2. Layout 簡潔與 Performance 間的取捨：

為了 layout 的排版的便利及整齊度，Flip Flop 的 PMOS、NMOS size 皆為 2 $\mu$ m、1 $\mu$ m，然而實際上有些 MOS 寬度需要更精確的設計，這是 performance 可以加強的部分。

而因為我們選擇單一尺寸的 MOS，使得每一個 Flip Flop 可以設計得很方正，讓整體 layout 變得較簡潔。

### 3. Power consumption 的優化：

我們的電路設計將 CLK\_IN 接到所有除頻電路，並非只有指定除頻的除頻器在運算，而是每個除頻器都是持續運作，只是 MUX 沒有選到這些輸出而已。

這個缺點導致電路整體 power 過高，目前可能的解決辦法為每一個除頻電路的 CLK 輸入訊號接與 3X8 Decoder 輸出相接一個 NAND 邏輯閘，在一開始選擇要執行的除頻器，其他的除頻器維持不動。

這樣即可讓不需使用的電路停止消耗 power，讓整體 power consumption 可以有效下降。