

1. 【2011 年计算机联考真题】

下列存储器中，不采用随机存取方式的是（）：

- A. EPROM B. CDROM C. DRAM D. SRAM

答案：B

A、C、D 均采用随机存取方式，CDROM 即光盘，采用串行存取方式。

2. 磁盘属于（ ）类型的存储器。

- A. 随机存取存储器（RAM） B. 只读存储器（ROM）
C. 顺序存取存储器（SAM） D. 直接存取存储器（DAM）

答案：D

磁盘属于直接存取存储器，其速度介于随机存取存储器和顺序存取存储器之间。

3. 存储器的存取周期是指（ ）。

- A. 存储器的独处时间
B. 存储器的写入时间
C. 存储器进行连续或写操作所允许的最短时间间隔。
D. 存储器进行一次读或写操作的平均时间。

答案：C

4. 相联存储器是按（ ）进行寻址的存储器。

- A. 地址指方式 B. 对数存储方式
C. 内容指定方式和堆存储方式相结合 D. 内存指定方式和地址指方式相结合

答案：D

相联存储器的基本原理是把存储单元所存内容的某一部分作为检索项（即关键字项）去检索该存储器，并将存储器中与该检索项符合的存储单元内容进行读出或写入。所以它是按

内容或地址进行寻址的，价格较为昂贵。一般用来制作 TLB、相联 Cache 等。

5. 若某存储器存储周期为 250ns，每次读出 16 位，则该存储器的数据传输率是（ ）

- A. 4×10^6 B/s B. 4MB/s C. 8×10^6 B/s D. 8MB/s

答案：C

计算的是存储器的带宽，每个存储周期读出 16 bit= 2B，故而数据传输率是 $2B / (250 \times 10^{-9}s)$ ，即 8×10^6 B/s。本题中 8MB/s 是 $8 \times 1024 \times 1024$ B/s。

10. 设机器字长为 64 位，存储容量为 128MB，若按字编址，他可寻址的单元个数是（ ）

- A. 16MB. B. 16M. C. 32M. D. 32MB.

答案：B

$128MB / (64/8)B = 16M$.

6. （ ）存储结构对程序员是透明的。

- A. 通用寄存器 B. 主存 C. 控制寄存器 D. 堆栈

答案：C

控制寄存器(CR0~CR3)用于控制和确定处理器的操作模式，以及当前执行任务的特性，对程序员是透明的。

7. 存储器分层体系结构中，存储器从速度最快到最慢的排列顺序是（ ）。

- A. 寄存器—主存—Cache—辅存 B. 寄存器—主存—辅存—Cache
C. 寄存器—Cache—辅存—主存 D. 寄存器—Cache—主存—辅存

答案：D

在存储器分层结构中，寄存器最快，Cache 次之，主存再次之，最慢的是辅存（如磁盘等）。

8. 在 Cache 和主存构成的两级存储体系中，Cache 的存取时间是 100ns，主存的存取时间是 1000ns，如果希望有效（平均）存取时间按不超过 Cache 存取时间的 115%，则 Cache 的命中率至少应为（ ）。

- A. 90% B. 98% C. 95% D. 99%

答案：D

假设命中率为 x ，则可得到 $100x + 1000(1-x) \leq 100 \times (1+15\%)$ ，简单计算后可得结果为 $x \geq 98.33\%$ ，因此命中率至少为 99%。

9. CPU 执行一段程序时，Cache 完成存取的次数为 1900 次，主存完成存取的次数为 100 次，已知 Cache 存取周期为 50ns，主存存取周期为 250ns。求：

- 1) Cache/主存系统的效率。
2) 平均访问时间。

答案：

1) 命中率 $H = N_c / (N_c + N_m) = 1900 / (1900 + 100) = 0.95$

主存访问时间是 Cache 的倍率： $r = t_m / t_c = 250\text{ns} / 50\text{ns} = 5$

访问效率： $e = 1 / [r + (1-r)H] = 1 / [5 + (1-5) \times 0.95] = 83.3\%$

2) 平均访问时间： $t_a = t_c / e = 50\text{ns} / 0.833 = 60\text{ns}$

10. 若 RAM 中每个存储单元为 16 位，则下面所述正确的是（ ）。

- A. 地址线也是 16 位 B. 地址线与 16 无关
C. 地址线与 16 有关 D. 地址线不得少于 16 位

答案：B

地址线只与 RAM 的存储单元个数有关，而与存储单元的字长无关。

11. 动态 RAM 采用下列哪种刷新方式时，不存在死时间（ ）。

- A. 集中刷新 B. 分散刷新
C. 异步刷新 D. 都不对

答案：B

采用分散刷新时，机器的存取周期中的一段用来读 / 写，另一段用来刷新，故不存在死时间，但是存取周期变长了。异步刷新缩短了死时间，但死时间依然存在。

12. 下面是有关 DRAM 和 SRAM 存储器芯片的叙述：

- I. DRAM 芯片的集成度比 SRAM 高
II. DRAM 芯片的成本比 SRAM 高
III. DRAM 芯片的速度比 SRAM 快

IV. DRAM 芯片工作时需要刷新, SRAM 芯片工作时不需要刷新

通常情况下, 错误的是()。

- A. I 和 II B. II 和 III
- C. III 和 IV D. I 和 IV

答案: B

DRAM 的集成度高于 SRAM, SRAM 的速度高于 DRAM, 可以推出 DRAM 的成本低于 SRAM, SRAM 芯片工作时不需要刷新, DRAM 芯片工作时需要刷新。

13. 下列说法中, 正确的是()。

- A. 半导体 RAM 信息可读可写, 且断电后仍能保持记忆
- B. DRAM 是易失性 RAM, 而 SRAM 中的存储信息是不易失的
- C. 半导体 RAM 是易失性 RAM, 但只要电源不断电, 所存信息是不丢失的
- D. 半导体 RAM 是非易失性的 RAM

答案: C

RAM 属于易失性半导体, SRAM 和 DRAM 的区别在于是否需要动态刷新。

14. 【2010 年计算机联考真题】

下列有关 RAM 和 ROM 的叙述中, 正确的是()。

- I. RAM 是易失性存储器. ROM 是非易失性存储器
 - II. RAM 和 ROM 都是采用随机存取的方式进行信息访问
 - III. RAM 和 ROM 都可用做 Cache
 - IV. RAM 和 ROM 都需要进行刷新
- A. 仅 I 和 II B. 仅 II 和 III C. 仅 I、II 和 III D. 仅 II、III 和 IV

答案: A

一般 Cache 采用高速的 SRAM 制作, 比 ROM 速度快很多, 因此 III 是错误的, 用排除法即可选 A。RAM 需要刷新, 而 ROM 不需要刷新。

15. U 盘属于()类型的存储器。

- A. 高速缓存 B. 主存
- C. 只读存储器 D. 随机存取存储器

答案: C

U 盘采用 Flash Memory 技术, 属于 ROM。由于擦写速度和性价比均很可观, 故而其常可用做辅存。

16. 某计算机字长为 16 位, 存储器容量为 256KB, CPU 按字寻址, 其寻址范围是()。

- A. $0 \sim 2^{19}-1$ B. $0 \sim 2^{20}-1$
- C. $0 \sim 2^{18}-1$ D. $0 \sim 2^{17}-1$

答案: D

$256KB=2^{18}B$. 按字寻址, 可寻址的单元数 $=2^{18}B/2B=2^{17}$, 其寻址范围是 $0 \sim 2^{17}-1$ 。

17. 主存储器的地址寄存器和数据寄存器各自的作用是什么? 设一个 1MB 容量的存储器, 字长为 32 位, 问:

- 1) 按字节编址, 地址寄存器和数据寄存器各几位? 编址范围为多大?

2)按字编址，地址寄存器和数据寄存器各几位？编址范围为多大？

答案：

在主存储器中，地址寄存器 MAR 用来存放当前 CPU 访问的内存单元地址，或存放 CPU 写入内存的内存单元地址，数据寄存器 MDR 用来存放由内存中读出的信息或者写入内存的信息。

1)按字节编址， $1\text{MB}=2^{20}\times 8$ 位，地址寄存器为 20 位，数据寄存器为 8 位，编址范围为 $00000\text{H}\sim\text{FFFFFH}$ ($\text{FFFFFH}-00000\text{H}+1=100000\text{H}=2^{20}$)。

2)按字编址， $1\text{MB}=2^{18}\times 32$ 位，地址寄存器为 18 位，数据寄存器为 32 位。编址范围为 $00000\text{H}\sim 3\text{FFFFH}$ ($3\text{FFFFH}-00000\text{H}+140000\text{H}=2^{18}$)。

18. 用一个 $512\text{K}\times 8$ 位的 Flash 存储芯片组成一个 $4\text{M}\times 32$ 位的半导体只读存储器，存储器按字编址，试回答以下问题：

1)该存储器的数据线数和地址线数分别为多少？

2)共需要几片这样的存储芯片？

3)说明每根地址线的作用。

答案：

1)由于所需组成存储器的最终容量为 $4\text{M}\times 32$ 位，所以需要 32 根数据线。而存储器又是以字编址，所以此时不需要将存储器的容量先转换成 $16\text{M}\times 8$ 位，直接就是 $4\text{M}\times 32$ 位中的 4M，所以只需要 22 根地址线 ($2=4\text{M}$) 即可。

2)采用 $512\text{K}\times 8$ 位的 Flash 存储芯片组成 $4\text{M}\times 32$ 位的存储器时，需要进行位扩展和字扩展。

位扩展：4 片 $512\text{K}\times 8$ 位的 Flash 存储芯片位扩展可以组成 $512\text{K}\times 32$ 位的 Flash 存储芯片。字扩展：8 片 $512\text{K}\times 32$ 位的 Flash 存储芯片字扩展可以组成 $4\text{M}\times 32$ 位的存储器，综上所述可知，一共需要 $4\times 8=32$ 片 $512\text{K}\times 8$ 位的存储芯片。

3)在 CPU 的 22 根地址线中 ($A_0\sim A_{21}$)，地址线的作用分配如下：

首先，此时不需要指定 A_0 、 A_1 来标识每一组中的 4 片存储器，因为此时是按字寻址，所以 4 片每次都是一起取的，而不是按字节编址时，需要取 4 片中的某一片。 $A_0\sim A_{18}$ ：每一片都是 512K。所以需要 19 位 ($2^9=512\text{K}$) 来表示。 A_{19} 、 A_{20} 、 A_{21} ：因为在扩展中 4 片一组，一共有 8 组，所以需要 3 位地址线来决定取哪一组（通过 3/8 译码器形成片选信号）。

其中, $U_0 \sim U_6$ 为 7 片 $8K \times 8$ 位芯片, 片内地址范围为 $0000H \sim 1FFFH$ 。 U_0 的片选端接 000, 即 $A_{15}A_{14}A_{13}=000$, 故 U_0 的地址范围为 $0000H \sim 1FFFH$; 同理 $U_1 \sim U_6$ 芯片地址范围如下:

U_1 : $2000H \sim 3FFFH$

U_2 : $4000H \sim 5FFFH$

U_3 : $6000H \sim 7FFFH$

U_4 : $8000H \sim 9FFFH$

U_5 : $A000H \sim BFFFH$

U_6 : $C000H \sim DFFFH$

$U_7 \sim U_{13}$ 为 7 片 $1K \times 8$ 位芯片, 片内地址范围为 $000H \sim 3FFH$ 。由于第一级 $3/8$ 译码器的输出端 111 控制第二级 $3/8$ 译码器, 即 $A_{15}A_{14}A_{13}=111$, U_7 的片选端接 000, 即 $A_{12}A_{11}A_{10}=000$, 故 U_7 的地址范围为 $E000H \sim E3FFH$; 同理 $U_8 \sim U_{13}$ 芯片地址范围如下:

U_8 : $E400H \sim E7FFH$

U_9 : $E800H \sim EBFFH$

U_{10} : $C000H \sim EFFFH$

U_{11} : $F000H \sim F3FFH$

U_{12} : $F400H \sim F7FFH$

U_{13} : $F800H \sim FBFFH$

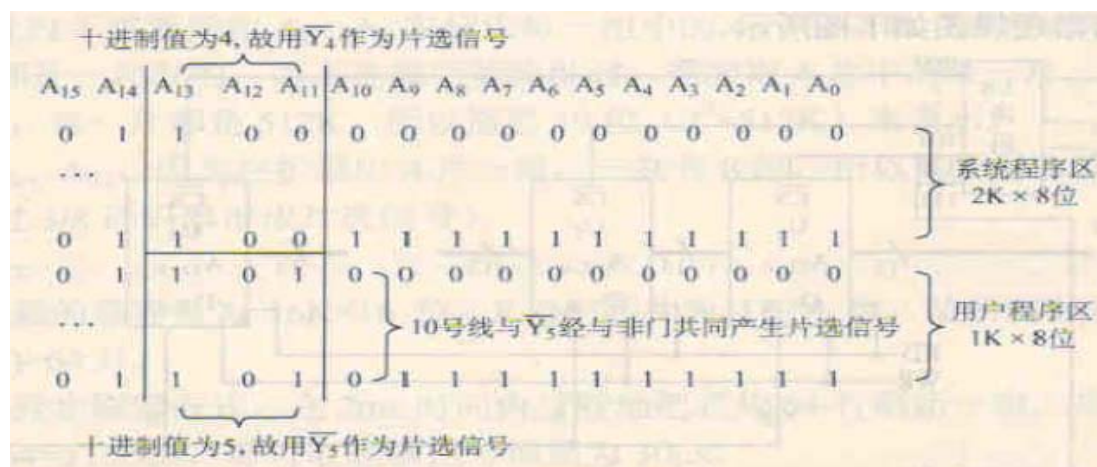
余下 $FC00H \sim FFFFH$ 为 I/O 空间。

18. 设 CPU 有 16 根地址线, 8 根数据线, 并用 MREQ 作为访存控制信号 (低电平有效), 用 WR 作为读 / 写控制信号 (高电平为读, 低电平为写)。现有下列存储芯片: $1K \times 4$ 位 RAM, $4K \times 8$ 位 RAM, $8K \times 8$ 位 RAM, $2K \times 8$ 位 ROM, $4K \times 8$ 位 ROM, $8K \times 8$ 位 ROM 及 74LS138 译码器和各种门电路。画出 CPU 与存储器的连接图, 要求:

- 1) 主存地址空间分配: $6000H \sim 67FFH$ 为系统程序区; $6800H \sim 6BFFH$ 为用户程序区。
- 2) 合理选用上述存储芯片, 说明各选几片?
- 3) 详细画出存储芯片的片选逻辑图。

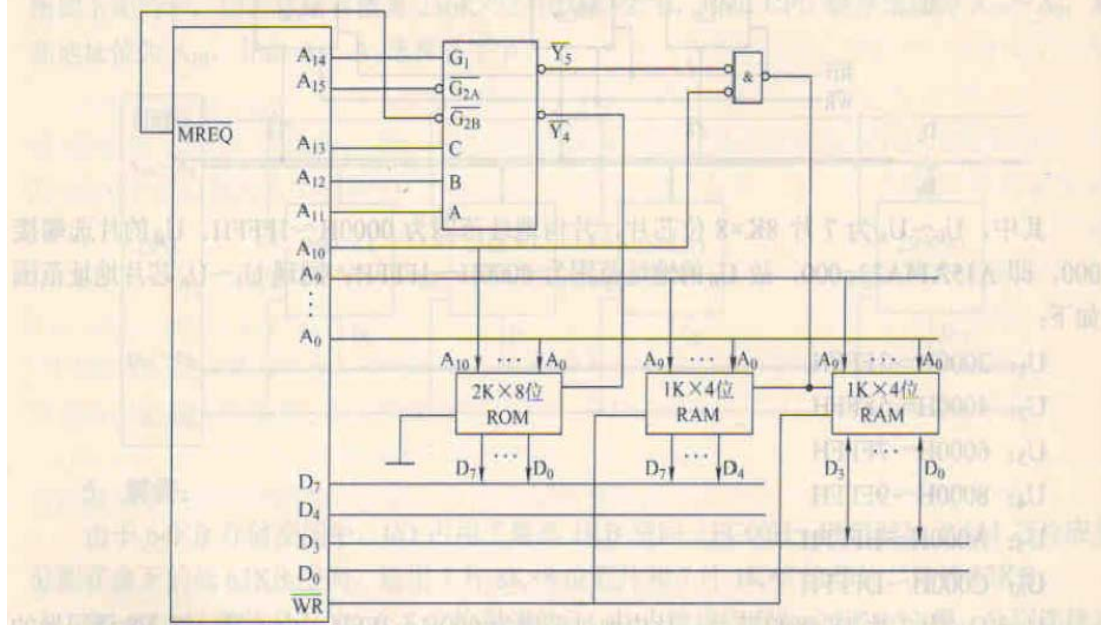
答案:

- 1) 将十六进制地址范围写成二进制地址码, 并确定其总容量, 如下图所示。



2) 根据地址范围的容量以及该范围在计算机系统中的作用, 选择存储芯片。由于 6000H~67FFH 为系统程序区的范围, 故应选 1 片 2K×8 位的 ROM 芯片; 由于 6800H~6BFFH 为用户程序区的范围, 故应选 2 片 1K×4 位的 RAM 芯片。

3) 存储芯片的片选逻辑图如下图所示。



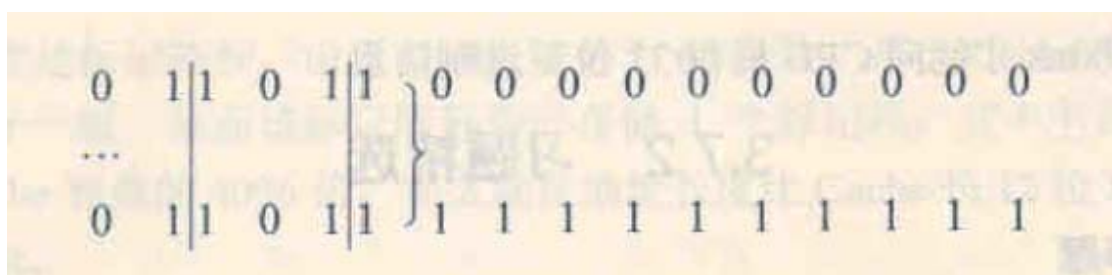
①由 6000H~67FFH 为系统程序区的范围, 选 1 片 2K×8 位的 ROM。故 0~10 地址线应用来选择 ROM 芯片。那么能用来作为 74LS138 译码器输入的只能是 11~15 地址线。

②由 6800H~6BFFH 为用户程序区的范围, 选 2 片 1K×4 位的 RAM 芯片。故 0~9 地址线应用来选择 RAM 芯片。那么能用来作为 74LS138 译码器输入的只能是 10~15 地址线。

① ②取交集, 则只能取 11~15 地址线。故取 11、12 与 13 这 3 位分别作为 A、B 与 C 的输入端。

ROM 芯片的 13、12、11 号线分别为 1、0、0, 十进制值为 4, 故取 74LS138 的 4 号输出端。

RAM 芯片的 13、12、11 号线分别为 1、0、1, 十进制值为 5, 故取 74LS138 的 5 号输出端: 又因为 10 号线为 0 时才选中 RAM 芯片, 故根据题目条件, 本题选用了与非门。若直接用 74LS138 的 5 号输出端作为片选端, 则下列地址也选中 RAM。



2. 交叉存储器实际上是一种()的存储器, 它能()执行多个独立的读/写操作。

- A. 模块式、并行 B. 整体式、并行

C. 模块式、串行 D. 整体式、并行

答案: C

19. 一个四体并行低位交叉存储器, 每个模块的容量是 64Kx32 位, 存取周期为 200ns, 在下述说法中()是正确的。

- A. 在 200ns 内, 存储器能向 CPU 提供 256 位二进制信息
- B. 在 200ns 内, 存储器能向 CPU 提供 128 位二进制信息
- C. 在 50ns 内, 每个模块能向 CPU 提供 32 位二进制信息
- D. 以上都不对

答案: B

低位交叉存储器采用流水线技术, 每 200ns 可向 CPU 提供 128 位二进制信息, 但由于每个模块必须间隔一个存取周期方能继续提供信息, 故 50ns 内, 任意模块无法向 CPU 提供 32 位二进制信息。

20. 在高速缓存系统中, 主存容量为 12MB, Cache 容量为 400KB, 则该存储系统的容量为()

- A. 12MB+400KB B. 12MB C. 12MB~12MB+400KB D. 12MB-400KB

答案: B

21. 关于 Cache 的更新策略, 下列说法正确的是()。

- A. 读操作时, 写直达法和写回法在命中时应用
- B. 写操作时, 写回法和按写分配法在命中时应用
- C. 读操作时, 写直达法和按写分配法在失效时应用
- D. 写操作时, 按写分配法、不按写分配法在失效时应用

答案: D

22. 关于 Cache 的更新策略, 下列说法正确的是()。

- A. 读操作时, 写直达法和写回法在命中时应用
- B. 写操作时, 写回法和按写分配法在命中时应用
- C. 读操作时, 写直达法和按写分配法在失效时应用
- D. 写操作时, 按写分配法、不按写分配法在失效时应用

答案: D

在写主存的同时把该块调入 Cache 的方法称为写分配法, 其通常和写回法配合使用。而写主存时不将该块调入 Cache 则称为不按写分配, 其通常与写直达法配合使用。这两种方法都是在命中 Cache 的情况下使用的, 而写回法和写直达法是在命中 Cache 的情况下使用的。

23. 若由高速缓存、主存, 硬盘构成的三级存储体系, 则 CPU 访问该存储系统时发送的地址为()。

- A. 高速缓存地址 B. 虚拟地址
- C. 主存物理地址 D. 磁盘地址

答案: C

当 CPU 访存时, 先要到 Cache 中查看该主存地址是否在 Cache 中, 所以发送的是主存

地

址。只有在虚拟存储器中，CPU 发出的才是虚拟地址，这里并没有指出是虚拟存储系统。

磁

盘地址是外存地址，外存中的程序是由操作系统调入到主存中，再在主存中执行的。CPU 不

可能直接访问磁盘。

24. 【2010 年计算机联考真题】

某计算机的主存地址空间大小为 256MB，按字节编址。指令 Cache 和数据 Cache 分离，均有 8 个 Cache 行，每个 Cache 行大小为 64B。数据 Cache 采用直接映射方式。现有两个功

能相同的程序 A 和 B，其伪代码如下所示：

<pre>程序 A: int a[256][256]; ... int sum_array1() { int i,j,sum=0; for(i=0;i<256;i++) for(j=0;j<256;j++) sum += a[i][j]; return sum; }</pre>	<pre>程序 B: int a[256][256]; ... int sum_array2() { int i,j,sum=0; for(j=0;j<256;j++) for(i=0;i<256;i++) sum += a[i][j]; return sum; }</pre>
---	---

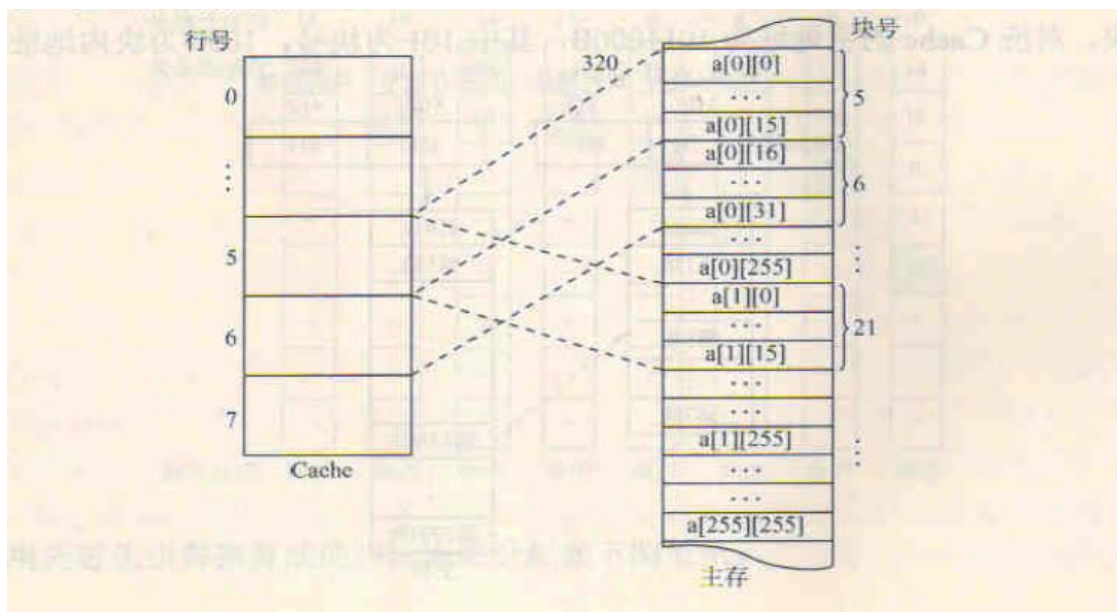
假定 int 类型数据用 32 位补码表示，程序编译时，i、j 和 sum 均分配在寄存器中，数组 a 按行优先方式存放，其首地址为 320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

- 1) 若不考虑用于 Cache 一致性维护和替换算法的控制位，则数据 Cache 的总容量为多少？
- 2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少 (Cache 行号从 0 开始)？
- 3) 程序 A 和 B 的数据访问命中率各是多少？哪个程序的执行时间更短？

答案：

1) 数据 Cache 有 8 个 Cache 行，每个 Cache 行大小为 64B。Cache 中每个字块的 Tag 字段的位数是 $28-9=19$ 位，此外还需使用一个有效位，合计 20 位。因此，数据 Cache 的总容量应为： $8 \times (64+20/8)B=532B$ 。

2) 数组 a 在主存的存放位置及其与 Cache 之间的映射关系如下图所示：



数组按行优先方式存放，首地址为 320，数组元素占 4 个字节。a[0][31]所在的主存块对应的 Cache 行号为 $(320+31 \times 4) \text{ DIV } 64 = 6$ ；a[1][0]所在的主存块对应的 Cache 行号为 $(320+256 \times 4+1 \times 4) \text{ DIV } 64 \text{ MOD } 8 = 5$ 。

3) 编译时 i、j、sum 均分配在寄存器中，故数据访问命中率仅考虑数组 a 的情况。

①该程序的特点 1 是数组中的每一个元素仅被使用一次。数组 a 按行优先存放。数据 Cache 正好放下数组半行中的全部元素，即元素的存储顺序与使用次序高度地吻合，每个字块的 16 个 int 型元素中，除访问的第一个不会命中外，接下来的 15 个都会命中。访问全部字块都符合这一规律，故命中率为 $15/16$ ，即程序 A 的数据访问命中率是 93.75%。

②程序 B 按照数组的列执行外层循环，在执行内层循环的过程中，将连续访问不同行的同一列的数据，不同行的同一列数组使用的是同一个 Cache 单元，每次都不会命中，散命中率是 0。

由于从 Cache 读数据比从主存数据快很多，所以程序 A 的执行比程序 B 快得多。

注意：本题考查 Cache 容量计算，直接映射方式的地址计算以及命中率计算（行优先遍历与列优先遍历命中率差别很大）。