

1. 在运算器中, 不包含(D),
- A. 状态寄存器 B. 数据总线
C. ALU D. 地址寄存器

运算器的核心部分是算术逻辑运算单元(ALU)。地址寄存器位于 CPU 内, 但并没有集成在运算器与控制器中。地址寄存器用来保存当前 CPU 所访问的内存单元的地址。由于内存和 CPU 之间存在着操作速度上的差别, 所以必须使用地址寄存器来保持地址信息, 直到内存的读 / 写操作完成为止。

2. 冯·诺依曼机的基本工作方式是(A)。
- A. 控制流驱动方式 B. 多指令多数据流方式
C. 微程序控制方式 D. 数据流驱动方式

冯·诺依曼机早期以控制器为中心, 且是单处理机。B 是多处理机。冯·诺依曼机最根本特征是采用“存储程序”原理, 基本工作方式是控制流驱动方式, 该方式的基本特点是按地址访问并顺序执行指令。

3. 在 CPU 中, 跟踪下一条要执行的指令的地址的寄存器是(A)
- A. PC B. MAR C. MDR D. IR

在 CPU 中, 程序计数器(PC)用来跟踪下一条要执行的指令在主存储器中的地址。

4. 计算机系统的层次结构可以分为 6 层, 其层次之间的依存关系是(B)。
- A. 上下层之间相互无关
B. 上层实现对下层的功能扩展, 而下层是实现上层的基础
C. 上层实现对下层的扩展作用, 而下层对上层有限制作用
D. 上层和下层的关系是相互依存、不可分割的

在计算机多层次结构中, 上下层是可以分割的, 且上层是下层的功能实现。此外, 上层在下层的基础上实现了更加丰富的功能, 仅有下层而没有上层也是可以的。

5. 下列为 CPU 存取速度的比较, 正确的是【C】。
- A. Cache>内存>寄存器 B. Cache>寄存器>内存
C. 寄存器>Cache>内存 D. 寄存器>内存>Cache

寄存器在 CPU 内部, 速度最快。Cache 采用高速的 SRAM 制作, 其速度高于内存。本题也可根据存储器层次结构的速度关系得出答案。

6. 一个 8 位的计算机系统以 16 位来表示地址, 则该计算机系统有(C)个地址空间。
- A. 256 色. 65535 C. 65536 D. 131072

8 位计算机表明计算机字长为 8 位, 即一次可以处理 8 位的数据, 而 16 位表示地址码的长度, 故而该机器有 $2^{16}=65536$ 个地址空间

7. 浮点数的 IEEE 754 标准对尾数编码采用的是(A)。
- A. 原码 B. 反码
C. 补码 D. 移码

IEEE 754 标准中尾数采用原码表示, 且短浮点数、长浮点数采用隐藏位, 临时浮点数不采用隐藏位方案。

8. 在浮点数编码表示中, (D)在机器数中不出现, 是隐含的。

- A. 阶码 B. 符号
- C. 尾数 D. 基数

浮点数表示中基数的值是约定好的, 故隐含。

9. 在高速缓存系统中, 主存容量为 12MB, Cache 容量为 400KB, 则该存储系统的容量为()

- A. 12MB+400KB B. 12MB C. 12MB~12MB+400KB D. 12MB-400KB

答案: B

10. 关于 Cache 的更新策略, 下列说法正确的是()。

- A. 读操作时, 写直达法和写回法在命中时应用
- B. 写操作时, 写回法和按写分配法在命中时应用
- C. 读操作时, 写直达法和按写分配法在失效时应用
- D. 写操作时, 按写分配法、不按写分配法在失效时应用

答案: D

11. 在 CPU 的寄存器中, (B)对用户是完全透明的。

- A. 程序计数器 B. 指令寄存器
- C. 状态寄存器 D. 通用寄存器

汇编程序员可以通过指定待执行指令的地址来设置 PC 的值, 状态寄存器、通用寄存器只有为汇编程序员可见, 才能实现编程, 而 IR、MAR、MDR 是 CPU 的内部工作寄存器, 对程序员均不可见

12. 程序控制类指令的功能是(D)。

- A. 进行算术运算和逻辑运算 B. 进行主存与 CPU 之间的数据传送
- C. 进行 CPU 和 I/O 设备之间的数据传送 D. 改变程序执行的顺序

程序控制类指令用于改变程序执行的顺序, 并使程序具有测试、分析和判断的能力。

13. 计算机操作的最小单位时间是(A)。

- A. 时钟周期 B. 指令周期
- C. CPU 周期 D. 中断周期

14. 指令格式中, 采用扩展操作码设计方案的目的是(C)。

- A. 减少指令字长度
- B. 增加指令字长度
- C. 保持指令字长度不变而增加指令操作的数量
- D. 保持指令字长度不变而增加寻址空间

扩展操作码并没有改变指令的长度, 而是使操作码长度随地址码的减少而增加。

15. 存储字长是指(B)。

- A. 存放在一个存储单元中的二进制代码组合
- B. 存放在一个存储单元中的二进制代码位数
- C. 存储单元的个数
- D. 机器指令的位数

16. 下列校验码中，奇校验正确的有(C)。

- A. 110100111 B. 001000111
C. 010110011 D. 110100111

选项 A、B、D 中“1”的个数为偶数，仅有选项 C 中“1”的个数为奇数。

17. 下列存储器中，不采用随机存取方式的是 ()：

- A. EPROM B. CDROM C. DRAM D. SRAM

答案：B

A、C、D 均采用随机存取方式，CDROM 即光盘，采用串行存取方式。

18. 存储器的存取周期是指 ()。

- A. 存储器的独处时间
B. 存储器的写入时间
C. 存储器进行连续或写操作所允许的最短时间间隔。
D. 存储器进行一次读或写操作的平均时间。

答案： C

19. 【2009 年计算机联考真题】

下列关于 RISC 说法中，错误的是(A)。

- A. RISC 普遍采用微程序控制器
B. RISC 大多数指令在一个时钟周期内完成
C. RISC 的内部通用寄存器数量相对 CISC 多
D. RISC 的指令数、寻址方式和指令合适种类相对 CISC 少

RISC 必然采用流水线技术，这也是其指令的特点决定的。而 CISC 则无此强制要求，但为了提高指令执行速度，CISC 也往往采用流水线技术。流水线技术并非 RISC 的专利。

20. () 存储结构对程序员是透明的。

- A. 通用寄存器 B. 主存 C. 控制寄存器 D. 堆栈

答案：C

控制寄存器(CR0~CR3)用于控制和确定处理器的操作模式，以及当前执行任务的特性，对程序员是透明的。

21. 以下关于通道的叙述中，正确的是(A)。

- A. 通道程序存放在主存中
B. 通道程序存放在通道中
C. 通道程序是由 CPU 执行的
D. 通道程序可以在任何环境下执行 I/O 操作

通道程序存放在主存而不是存放在通道中，由通道从主存中取出并执行。通道程序由通道执行，且只能在具有通道的 I/O 系统中执行。

22. 若 RAM 中每个存储单元为 16 位，则下面所述正确的是()。

- A. 地址线也是 16 位 B. 地址线与 16 无关
C. 地址线与 16 有关 D. 地址线不得少于 16 位

答案：B

地址线只与 RAM 的存储单元个数有关，而与存储单元的字长无关。

23. 下列说法正确的是(C)。

- I. 微程序控制方式和硬布线方式相比较，前者可以使指令的执行速度更快
- II. 若采用微程序控制方式，则可用 μPC 取代 PC
- III. 控制存储器可以用 ROM 实现
- IV. 指令周期也称为 CPU 周期

A. I、III B. II、III C. 只有 III D. I、III、IV

I 说法可以这样理解，微程序控制方式是采用软件方式来执行指令，而硬布线方式则是采用硬件方式来执行指令，当一个命令信号到来时，硬布线方式下，命令信号只需要通过一些门电路，就可以快速产生有效的控制信号来控制部件完成操作，因此速度较快，故 I 错误。 μPC 无法取代 PC，因为它只是在微程序中指向下一条微指令地址的寄存器。当一条指令执行时，分派给微程序部件来进行具体操作，而这个操作仅仅是限于这条指令的内部，它无法得知整个程序是什么样，因此它也必然不可能知道这段微程序执行完毕后下一条是什么指令，故 II 错误。由于每一条微指令执行时所发出的控制信号是事先设计好的，不需要改变，故此存放所有控制信号的存储器应为只读存储器，并将其集成到 CPU 内，称其为控制存储器。故 III 正确。指令周期是从一条指令的启动到下一条指令的启动的间隔时间。CPU 周期是机器周期，是指令执行中每一步操作所需的时间，故 IV 错误。

24. 动态 RAM 采用下列哪种刷新方式时，不存在死时间()。

- A. 集中刷新 B. 分散刷新
- C. 异步刷新 D. 都不对

答案：B

采用分散刷新时，机器的存取周期中的一段用来读 / 写，另一段用来刷新，故不存在死时间，但是存取周期变长了。异步刷新缩短了死时间，但死时间依然存在。

25. 下列不属于程序控制指令的是(C)。

- A. 无条件转移指令 B. 有条件转移指令
- C. 中断隐指令 D. 循环指令

中断隐指令并不是一条由程序员安排的真正的指令，因此不可能把它预先编入程序中，只能在响应中断时由硬件直接控制执行，中断隐指令不在指令系统中，故不属于程序控制指令。

26. 某计算机字长为 16 位，存储器容量为 256KB，CPU 按字寻址，其寻址范围是()。

- A. $0 \sim 2^{19}-1$ B. $0 \sim 2^{20}-1$
- C. $0 \sim 2^{18}-1$ D. $0 \sim 2^{17}-1$

答案：D

$256KB = 2^{18}B$ 。按字寻址，可寻址的单元数 $= 2^{18}B / 2B = 2^{17}$ ，其寻址范围是 $0 \sim 2^{17}-1$

27. 通道程序结束时引起的中断是(B)。

- A. 机器校验中断 B. I/O 中断
- C. 程序性中断 D. 外中断

I/O 中断是通道和中央处理器协调工作的一种手段。通道借助 I/O 中断请求中央处理器进行干预，中央处理器根据产生的 I/O 中断事件了解输入 / 输出操作的执行情况。I/O 中断事务

由于通道程序的执行而引起，或由于外界的原因引起

28. 关于 Cache 的更新策略，下列说法正确的是()。

- A. 读操作时，写直达法和写回法在命中时应用
- B. 写操作时，写回法和按写分配法在命中时应用
- C. 读操作时，写直达法和按写分配法在失效时应用
- D. 写操作时，按写分配法、不按写分配法在失效时应用

答案：D

在写主存的同时把该块调入 Cache 的方法称为写分配法，其通常和写回法配合使用。而写主存时不将该块调入 Cache 则称为不按写分配，其通常与写直达法配合使用。这两种方法都是在命中 Cache 的情况下使用的，而写回法和写直达法是在命中 Cache 的情况下使用的。

29. 以下有关指令系统的说法中错误的是(D)。

- A. 指令系统是一台机器硬件能执行的指令全体
- B. 任何程序运行前都要先转化为机器语言程序
- C. 指令系统是计算机软件、硬件的界面
- D. 指令系统和机器语言是无关的

指令系统显然和机器语言有关。

30. 程序计数器和指令寄存器的位数各取决于(B)。

- A. 机器字长，存储器的容量
- B. 存储器的容量，指令字长
- C. 指令字长，机器字长
- D. 地址总线宽度，存储器容量

程序计数器 PC 给出访存地址（指令在内存中的地址），故取决于存储器的容量；指令寄存器 IR 用于接收取得的指令，故取决于指令字长，

31. 【2010 年计算机真题】

下列寄存器中，汇编语言程序员可见的是(B)。

- A. 存储器地址寄存器(MAR)
- B. 程序计数器(PC)
- C. 存储区数据寄存器(MDR)
- D. 指令寄存器(IR)

汇编语言程序员可以通过指定待执行指令的地址来设置 PC 的值，而 IR、MAR、MDR 是 CPU 的内部工作寄存器，对程序员不可见。

32. 下列各种数制的数中，最小的数是(B)。

- A. (101001)B
- B. (101001)BCD
- C. (52)0
- D. (233)H

A 为 29H，B 为 29D。C 写成二进制为 101010，即 2AH，显然最小的为 29D。

33. 两个数 7E5H 和 4D3H 相加，得(C)。

- A. BD8H
- B. CD8H
- C. CB8H
- D. CC8H

在十六进制数的加减法中，逢十六进一，故而 7E5 H+4D3 H=CB8 H。

34. 程序计数器(PC)属于(B)。

- A. 运算器 B. 控制器
- C. 存储器 D. ALU

控制器是计算机中处理指令的部件，包含程序计数器。

35. 指令流通常是(A)。

- A. 从主存流向控制器 B. 从控制器流向主存
- C. 从控制器流向控制器 D. 从主存流向主存

指令是存放在主存中的，在主存中取出指令后送入控制器进行分析并发出各种操作序列。

而数据流则是在运算器和主存之间流动。

36. 指令周期是指(C)。

- A. CPU 从主存取出一条指令的时间
- B. CPU 执行一条指令的时间
- C. CPU 从主存取出一条指令加上执行这条指令的时间
- D. 时钟周期时间

指令周期包括取指和执行的时间。

37. 以下说法错误的是(C)。

- A. 计算机的机器字长是指数据存储与运算的基本单位
- B. 寄存器由触发器构成
- C. 计算机中一个字的长度都是 32 位
- D. 磁盘可以永久性存放数据和程序

计算机中一个字的长度可以是 16、32、64 位等

38. 在单总线的 CPU 中(D)。

- A. ALU 的两个输入端及输出端都可与总线相连
- B. ALU 的两个输入端可与总线相连，但输出端需通过暂存器与总线相连
- C. ALU 的一个输入端可与总线相连，其输出端也可与总线相连
- D. ALU 只能有一个输入端可与总线相连，另一输入端需通过暂存器与总线相连

由于 ALU 是一个组合逻辑电路，故其运算过程中必须保持两个输入端的内容不变。又由于 CPU 内部采用单总线结构，故为了得到两个不同的操作数，ALU 的一个输入端与总线相连，另一个输入端需通过一个寄存器与总线相连。此外，ALU 的输出端也不能直接与内部总线相连，否则其输出又会通过总线反馈到输入端，影响运算结果，故输出端需通过一个暂存器（用来暂存结果的寄存器）与总线相连。

39. 关于编译程序和解释程序，下面说法错误的是(C)。

- A. 编译程序和解释程序的作用都是将高级语言程序转换成机器语言程序
- B. 编译程序编译时间较长，运行速度较快
- C. 解释程序方法较简单，运行速度也较快
- D. 解释程序将源程序翻译成机器语言，并且翻译一条以后，立即执行这条语句

编译程序是先完整编译后运行的程序，如 C、C++ 等；解释程序是一句一句翻译且边翻译边执行的程序，如 JavaScript、Python 等。由于解释程序要边翻译成机器语言边执行，故而一般速度较机器语言慢。

40. 存放欲执行指令的寄存器是(D)。

- A. MAR B. PC
- C. MDR D. IR

IR 存放当前欲执行的指令，PC 存放下一条指令的地址，一个存放指令，一个存放指令地址，不要混淆。

41. 微程序控制器的速度比硬布线控制器慢，主要是因为(D)。

- A. 增加了从磁盘存储器读取微指令的时间
- B. 增加了从主存读取微指令的时间
- C. 增加了从指令寄存器读取微指令的时间
- D. 增加了从控制存储器读取微指令的时间

控制存储器中存放有微指令，在执行时需要从中读出相应的微指令

42. CPU 的 CPI 与下列哪个因素无关? (A)

- A. 时钟频率 B. 系统结构
- C. 指令集 D. 计算机组织

43. 水平型微指令与垂直型微指令相比(B)。

- A. 前者一次只能完成一个操作 B. 后者一次只能完成一个操作
- C. 两者都是一次只能完成一个操作 D. 两者都能一次完成多个操作

一条水平型微指令能定义并执行几种并行的基本操作；一条垂直型微指令只能定义并执行一种基本操作

44. 补码定点整数 1001 0101 右移 1 位后的值为(D)。

- A. 0100 1010 B. 010010101 C. 1000 1010 D. 1100 1010

该数是一个负数，按照算术补码移位规则，负数右移添 1，负数左移添 0。所以 1001 0101 右移 1 位后的值为 1100 1010。

45. 下列关于超标量流水线不正确的是(D)。

- A. 在一个时钟周期内一条流水线可执行一条以上的指令
- B. 一条指令分为多段指令来由不同电路单元完成
- C. 超标量是通过内置多条流水线来同时执行多个处理器，其实质是以空间换取时间
- D. 超标量流水线是指运算操作并行

超标量流水线是指在一个时钟周期内一条流水线可执行一条以上的指令。一条指令分为多段指令，由不同电路单元完成。超标量是通过内置多条流水线来同时执行多个处理器，其实质是以空间换取时间，

46. 交叉存储器实际上是一种()的存储器，它能()执行多个独立的读/写操作。

- A. 模块式、并行 B. 整体式、并行
- C. 模块式、串行 D. 整体式、并行

答案: C

47. 挂接在总线上的多个部件(B)。

- A. 只能分时向总线发送数据，并只能分时从总线接收数据
- B. 只能分时向总线发送数据，但可同时从总线接收数据
- C. 可同时向总线发送数据，并同时从总线接收数据
- D. 可同时向总线发送数据，但只能分时从总线接收数据

为了使总线上的数据不发生“冲突”，挂接在总线上的多个设备只能分时地向总线发送数据，即每个时刻只能有一个设备向总线传送数据，而从总线接收数据的设备可有多，因为接收数据的设备不会对总线产生“干扰”。

48. 关于 Cache 的更新策略，下列说法正确的是()。
- A. 读操作时，写直达法和写回法在命中时应用
 - B. 写操作时，写回法和按写分配法在命中时应用
 - C. 读操作时，写直达法和按写分配法在失效时应用
 - D. 写操作时，按写分配法、不按写分配法在失效时应用

答案：D

49. 在微型机系统中，I/O 设备通过(B)与主板的系统总线相连接。
- A. DMA 控制器
 - B. 设备控制器
 - C. 中断控制器
 - D. I/O 端口

I/O 设备不可能直接与主板总线相连接，总是通过设备控制器来相连的

50. 磁盘属于()类型的存储器。
- A. 随机存取存储器 (RAM)
 - B. 只读存储器 (ROM)
 - C. 顺序存取存储器 (SAM)
 - D. 直接存取存储器 (DAM)

答案：D

磁盘属于直接存取存储器，其速度介于随机存取存储器和顺序存取存储器之间。

51. 挂接在总线上的多个 I/O 设备(B)。
- A. 只能分时向总线发送数据，并只能分时从总线接收数据
 - B. 只能分时向总线发送数据，但可同时从总线接收数据
 - C. 可同时向总线发送数据，并同时从总线接收数据
 - D. 可同时向总线发送数据，但只能分时从总线接收数据

为了使总线上的数据不发生“碰撞”，挂接在总线上的多个设备只能分时地向总线发送数据。总线上接收数据的设备可以有多个，因为接收数据的设备不会对总线产生“干扰”。如向一个人说话可以多人听，如果多人说话一个人听的话，那会是非常混乱的场面。

52. 设机器字长为 64 位，存储容量为 128MB，若按字编址，则可寻址的单元个数是()
- A. 16MB.
 - B. 16M.
 - C. 32M.
 - D. 32MB.

答案：B

$128\text{MB} / (64/8) = 16\text{M}$.

53. 设置中断排队判优逻辑的目的是(B)。
- A. 产生中断源编码
 - B. 使同时提出的请求中的优先级别最高者得到及时响应
 - C. 使 CPU 能方便地转入中断服务子程序

当有多个中断请求同时出现时,中断服务系统必须能从中选出当前最需要给予响应的且最重要的中断请求,这就需要预先对所有的中断进行优先级排队,这个工作可由中断判优逻辑来完成,排队的规则可由软件通过对中断屏蔽寄存器进行设置来确定。

A. 90% B. 98% C. 95% D. 99%

假设命中率为 x ，则可得到 $100x + 1000(1-x) \leq 100 \times (1+15\%)$ ，简单计算后可得结果为 $x \geq 98.33\%$ ，因此命中率至少为 99%。

A. 向量地址 B. 服务程序入口地址 C. 中断类型号 D. 控制 / 状态字

中断向量表中存放的是中断服务程序入口地址。中断向量地址是向量表的地址，中断型号是
用以指出中断向量地址的

I. DRAM 芯片的集成度比 SRAM 高
II. DRAM 芯片的成本比 SRAM 高
III. DRAM 芯片的速度比 SRAM 快
IV. DRAM 芯片工作时需要刷新, SRAM 芯片工作时不需要刷新

通常情况下, 错误的是()。

A. I 和 II B. II 和 III
C. III 和 IV D. I 和 IV

DRAM的集成度高于SRAM,SRAM的速度高于DRAM,可以推出DRAM的成本低于SRAM,SRAM芯片工作时不需要刷新,DRAM芯片工作时需要刷新。

A. 运算器 B. 控制器
C. 存储器 D. 寄存器

A. 利于编制循环程序、实现程序浮动
B. 实现程序浮动、处理数组问题
C. 实现转移指令、利于编制循环程序
D. 实现程序浮动、利于编制循环程序

变址寻址便于处理数字问题和编制循环程序；而相对寻址的有效地址是将 PC 的内容与指令中的形式地址 A 相加而成的，这样程序的转移地址不固定，可随 PC 值的变化而变，无论程序在主存的哪段区域，都可正确运行，对于编制浮动程序特别有利。

59. 状态寄存器用来存放 (D)。

- A. 算术运算结果
- B. 逻辑运算结果
- C. 运算类型
- D. 算术、逻辑运算及测试指令的结果状态

60. CPU 中的通用寄存器, (B)。

- A. 只能存放数据, 不能存放地址
- B. 可以存放数据和地址
- C. 既不能存放数据, 也不能存放地址
- D. 可以存放数据和地址, 还可以替代指令寄存器

通用寄存器供用户自由编程, 可以存放数据和地址。而指令寄存器是专门用于存放指令的寄存器, 是专用的, 不能由通用寄存器代替。

61. CPU 的控制总线提供 (D)。

- A. 数据信号流
- B. 所有存储器和 I/O 设备的时序信号及控制信号
- C. 来自 I/O 设备和存储器的响应信号
- D. B 和 C

62. 以下叙述中错误的是(B)。

- A. 指令周期的第一个操作是取指令
 - B. 为了进行取指操作, 控制器需要得到相应的指令
 - C. 取指操作是控制器自动进行的
 - D. 指令执行时有些操作是相同或相似的
- 取指操作是自动进行的, 控制器不需要得到相应的指令

63. 以下叙述中, 错误的是(B)。

- A. 取指操作是控制器固有的功能, 不需要在操作码控制下完成
- B. 所有指令的取指操作是相同的
- C. 在指令长度相同的情况下, 所有指令的取指操作是相同的
- D. 中断周期是在指令执行完成后出现的

不同长度的指令, 其取指操作可能是不同的。例如, 双字指令、三字指令与单字指令的取指操作是不同的。

64. 下列叙述中(C)是正确的。

- A. 程序中断方式和 DMA 方式中实现数据传送都需要中断请求
- B. 程序中断方式中有中断请求, DMA 方式中没有中断请求
- C. 程序中断方式和 DMA 方式中都有中断请求, 但目的不同
- D. DMA 要等指令周期结束时才可以进行周期窃取

程序中断方式在数据传输时, 首先要发出中断请求, 此时 CPU 中断正在进行的操作, 转而进行数据传输, 直到数据传送结束, CPU 才返回中断前执行的操作。DMA 方式只是在 DMA 的前处理和后处理过程中需要用中断的方式请求 CPU 操作, 但是在数据传送过程中, 并不需要中断请求。DMA 方式和程序中断方式都有中断请求, 但目的不同, 程序中断方式的中断请求是为了进行数据传送, 而 DMA 方式中的中断请求只是为了获得总线控制权或者交回

总线控制权。CPU 对 DMA 的响应可以在指令执行过程中的任何两个存取周期之间。

65. CPU 的读 / 写控制信号的作用是(D)。

- A. 决定数据总线上的数据流方向
- B. 控制存储器操作的读, 写类型
- C. 控制流入、流出存储器信息的方向
- D. 以上都是

读 / 写控制信号线决定了是从存储器读还是向存储器写, 显然 A、B、C 选项都正确

66. 取指令操作(D)。

- A. 受到上一条指令的操作码控制
- B. 受到当前指令的操作码控制
- C. 受到下一条指令的操作码控制
- D. 是控制器固有的功能, 不需要在操作码控制下进行

取指令阶段完成的任务是将现行指令从主存中取出来并送至指令寄存器, 这个操作是公共的操作, 与具体的指令无关, 所以不需要操作码的控制。

67. 系统总线是用来连接(C)。

- A. 寄存器和运算器部件
- B. 运算器和控制器部件
- C. CPU、主存和外设部件
- D. 接口和外部设备

系统总线用于连接计算机中各个功能部件 (如 CPU、主存和 I/O 设备)

68. 系统总线中地址线的功能是(D)。

- A. 用于选择主存单元地址
 - B. 用于选择进行信息传输的设备
 - C. 用于选择外存地址
 - D. 用于指定主存和 I/O 设备接口电路的地址
- 地址总线上的代码用来指明 CPU 欲访问的存储单元或 I / O 端口的地址

69. 某总线有 104 根信号线, 其中数据线(DB) 32 根, 若总线工作频率为 33MHz. 则其理论最大传输率为(C)。

- A. 33MB/s
- B. 64MB/s
- C. 132MB/s
- D. 164MB/s

数据总线 32 根, 故而每次传输 4B 数据, 总线工作频率为 33MHz, 则理论最大传输速率为 $33 \times 4 = 132 \text{MB/s}$

70. 电子计算机的发展已经经历了 4 代, 这 4 代计算机的主要元件分别是(C)。

- A. 电子管、晶体管、中小规模集成电路、激光器件
- B. 晶体管、中小规模集成电路、激光器件、光介质
- C. 电子管、晶体管、中小规模集成电路、大规模集成电路
- D. 电子管、数码管、中小规模集成电路、激光器件

也可以根据元件的先进程度的升序得出答案

71. 在异步总线中, 传送操作(D)。

- A. 由设备控制器控制
- B. 由 CPU 控制
- C. 由统一时序信号控制

D. 按需分配时间

异步总线即采用异步通信方式的总线。在异步方式下，没有公用的时钟，完全依靠传送双方相互制约的“握手”信号来实现定时控制。传送操作是由双方按需求分配时间的。

72. 若 $[X]_{\text{补}}=0.1101010$ ，则 $[X]_{\text{原}}=(D)$ 。

- A. 1.0010101 B. 1.01110110 C. 0.0010110 D. 0.1101010

73. 【2010 年计算机联考真题】 、

下列选项中的英文缩写均为总线标准的是(D)。

- A. PCI、CRT、USB、EISA
B. ISA、CPI、VESA、EISA
C. ISA、SCSI、RAM、MIPS
D. ISA、EISA、PCI、PCI-Express

目前典型的总线标准有 ISA、EISA、VESA、PCI、PCI-Express、AGP、USB，RS-232C 等。CRT、CPI、RAM 和 MIPS 均不是总线标准

74. CPU 不包括(C)。

- A. 地址寄存器 B. 指令寄存器(IR)
C. 地址译码器 D. 通用寄存器

地址译码器是主存的构成部分，不属于 CPU。地址寄存器虽然一般属于主存，但是现代计算机中绝大多数 CPU 内集成了地址寄存器。

75. 存储器分层体系结构中，存储器从速度最快到最慢的排列顺序是 ()。

- A. 寄存器—主存—Cache—辅存 B. 寄存器—主存—辅存—Cache
C. 寄存器—Cache—辅存—主存 D. 寄存器—Cache—主存—辅存

答案：D

在存储器分层结构中，寄存器最快，Cache 次之，主存再次之，最慢的是辅存（如磁盘等）。

76. 若一台计算机的机器字长为 4B，则表明该机器(C)，

- A. 能处理的数值最大为 4 位十进制数
B. 能处理的数值最多为 4 位二进制数
C. 在 CPU 中能够作为一个整体处理 32 位的二进制代码
D. 在 CPU 中运算的结果最大为 2^{32}

机器字长是计算机内部一次可以处理的二进制数的位数。

77. 一个 16 位无符号二进制数的表示范围是(B)。

- A. 0—5536 B. 0~66535 C. -32768—32767 D. -32768~32768

一个 16 位无符号二进制数的表示范围是 $0 \sim 2^{16}-1$ 。

78. 能发现两位错误并能纠正 1 位错的编码是(B)。

- A. CRC 码 B. 海明码
C. 偶校验码 D. 奇校验码

偶校验码与奇校验码都不能纠错；CRC 码可以发现并纠正信息串行读 / 写、存储或传送中出现的 1 位或多位错（与多项式的选取有关）；海明码能发现两位错误并纠正 1 位错。

79. 一个 $n+1$ 位整数 x 原码的数值范围是(D)。

- A. $-2^{n+1} < x < 2^n - 1$ B. $-2^{n+1} \leq x < 2^n - 1$ C. $-2^{n+1} < x \leq 2^n - 1$ D. $-2^{n+1} \leq x \leq 2^n - 1$

$n+1$ 位整数原码的表示范围为 $-2^{n+1} \leq x \leq 2^n - 1$ 。

80. 补码定点整数 01010101 左移两位后的值为(B)。

- A. 0100 0111 B. 0101 0100 C. 0100 0110 D. 0101 0101

该数是一个正数, 按照算术补码移位规则, 正数左右移使均添 0, 且符号位不变, 所以 0101 0101 左移 2 位后的值为 0101 0100。

81. 若由高速缓存、主存, 硬盘构成的三级存储体系, 则 CPU 访问该存储系统时发送的地址为()。

- A. 高速缓存地址 B. 虚拟地址
C. 主存物理地址 D. 磁盘地址

答案: C

当 CPU 访存时, 先到 Cache 中查看该主存地址是否在 Cache 中, 所以发送的是主存地址。只有在虚拟存储器中, CPU 发出的才是虚拟地址, 这里并没有指出是虚拟存储系统。磁盘地址是外存地址, 外存中的程序是由操作系统调入到主存中, 再在主存中执行的。CPU 不可能直接访问磁盘。

82. 若某存储器存储周期为 250ns, 每次读出 16 位, 则该存储器的数据传输率是 ()

- A. 4×10^6 B/s B. 4MB/s C. 8×10^6 B/s D. 8MB/s

答案: C

计算的是存储器的带宽, 每个存储周期读出 16 bit = 2B, 故而数据传输率是 $2B / (250 \times 10^{-9}s)$ 。即 8×10^6 B/s。本题中 8MB/s 是 $8 \times 1024 \times 1024$ B/s。

83. 下列说法中, 正确的是()。

- A. 半导体 RAM 信息可读可写, 且断电后仍能保持记忆
B. DRAM 是易失性 RAM, 而 SRAM 中的存储信息是不易失的
C. 半导体 RAM 是易失性 RAM, 但只要电源不断电, 所存信息是不丢失的
D. 半导体 RAM 是非易失性的 RAM

答案: C

RAM 属于易失性半导体, SRAM 和 DRAM 的区别在于是否需要动态刷新。

84. U 盘属于()类型的存储器。

- A. 高速缓存 B. 主存
C. 只读存储器 D. 随机存取存储器

答案: C

U 盘采用 Flash Memory 技术, 属于 ROM。由于擦写速度和性价比均很可观, 故而其常可用做辅存。

85. 在指令寻址的各种方式中, 获取操作数最快的方式是(B)。

- A. 直接寻址 B. 立即寻址
C. 寄存器寻址 D. 间接寻址

立即寻址最快, 指令直接给出操作数; 寄存器寻址次之, 只需访问一次寄存器; 直接寻址再

次之，访问一次内存；间接寻址最慢，要访问两次以上内存。

86. 在 CPU 的寄存器中，(C)对用户是透明的。

- A. 程序计数器 B. 状态寄存器
- C. 指令寄存器 D. 通用寄存器

指令寄存器中存放当前执行的指令，不需要用户的任何干预，所以对用户是透明的

87. 下列部件中属于控制部件的是(B)。

- I. 指令寄存器 II. 操作控制器
- III. 程序计数器 IV. 状态条件寄存器

- A. I、III、IV B. I、II、III
- C. I、II、IV D. I、II、III、IV

CPU 控制器主要由 3 个部件组成：指令寄存器、程序计数器和操作控制器。状态条件寄存器通常属于运算器的部件，保存由算术指令和逻辑指令运行或测试的结果建立的各种条件码内容，如运算结果进位标志(C)、运算结果溢出标志(V)、运算结果为零标志(Z)、运算结果为负标志(N)、中断标志(I)、方向标志(D)和单步标识等。

88. 总线的异步通信方式是(C)。

- A. 既不采用时钟信号，也不采用“握手”信号
- B. 只采用时钟信号，不采用“握手”信号
- C. 不采用时钟信号，只采用“握手”信号
- D. 既采用时钟信号，也采用“握手”信号

异步通信方式也称为应答方式，没有公用的时钟信号，也没有固定的时间间隔，完全依靠传送双方相互制约的“握手”信号来实现定时控制。

89. 在现代微机主板上，采用局部总线技术的作用是(A)。

- A. 节省系统的总带宽 B. 提高抗干扰能力
- C. 抑制总线终端反射 D. 构成紧耦合系统

高速设备采用局部总线连接，可以节省系统的总带宽

90. 一台字符显示器的 VRAM 中存放的是(A)。

- A. 显示字符的 ASCII 码 B. BCD 码
- C. 字模 D. 汉字内码

在字符显示器中的 VRAM 存放 ASCII 码用以显示字符

91. 下列关于 I/O 端口和接口的说法，正确的是(D)。

- A. 按照不同的数据传送格式，可以将接口分为同步传送接口和异步传送接口
- B. 在统一编址方式下，存储单元和 I/O 设备是靠不同的地址线来区分的
- C. 在独立编址方式下，存储单元和 I/O 设备是靠不同的地址线来区分的
- D. 在独立编址方式下，CPU 需要设置专门的输入 / 输出指令访问端口

选项 D 显然正确。按照不同的数据传送格式，可将接口分为并行接口和串行接口。故 A 错；在统一编址方式下，存储单元和 I/O 设备是靠不同的地址码而不是地址线来区分的，故 B 错；在独立编址方式下，是靠指令的不同来区分的。故 C 错。

92. 以下说法中错误的是(C)。

- A. 中断服务程序一般是操作系统模块
- B. 中断向量方法可提高中断源的识别速度
- C. 中断向量地址是中断服务程序的入口地址
- D. 重叠处理中断的现象称为中断嵌套

A 中, 中断服务程序: 处理器处理紧急事件可理解为是一种服务, 是通过执行事先编好的某个特定的程序来完成的, 一般属于操作系统的模块, 以供调用执行: B 中, 中断向量由向量地址形成部件, 也就是硬件产生, 并且不同的中断源对应不同的中断服务程序, 因此, 通过该方法可以较快速地识别中断源, 实际上, 向量地址形成部件, 就是根据中断源来得到中断向量的输出的: C 中, 中断向量是中断服务程序的入口地址, 中断向量地址是内存中存放中断向量的地址: 而 D 中, 重叠处理中断的现象称为中断嵌套。

93. 以下有关机器周期的叙述中, 错误的是(D)。

- A. 通常把通过一次总线事务访问一次主存或 I/O 的时间, 定为一个机器周期
- B. 一个指令周期通常包含多个机器周期
- C. 不同的指令周期所包含的机器周期数可能不同
- D. 每个指令周期都包含一个中断响应机器周期

D 中 在执行周期结束时刻, CPU 要查询是否有请求中断的事件发生, 如果有则进入中断周期, 若无则不进入。

94. 能产生 DMA 请求的总线部件是(B)。

- I. 高速外设
 - II, 需要与主机批量交换数据的外设
 - III. 具有 DMA 接口的设备
- A. 只有 I B. 只有 III
C. I、III. D II、III

只有具有 DMA 接口的外设才能产生 DMA 请求, 即使当前设备是高速设备或者需要与主机批量交换数据, 如果没有 DMA 接口的话, 也是不能产生 DMA 请求的。

95. 加法器采用并行进位的目的是(C)。

- A. 增强加法器功能 B. 简化加法器设计
- C. 提高加法器运算速度 D. 保证加法器可靠性

并行进位可以大大提高加法器的运算速度。

96. 条件转移指令执行时所依据的条件来自(B)。

- A. 指令寄存器 B. 标志寄存器
- C. 程序计数器 D. 地址寄存器

指令寄存器用于存放当前正在执行的指令: 程序计数器用于指示欲执行指令的地址; 地址寄存器用于暂存指令或数据的地址; 程序状态字寄存器用于保存系统的运行状态。条件转移指令执行时, 需对程序状态字寄存器的内容进行测试, 判断是否满足转移条件。

97. 下列描述中, 不符合 RISC 指令系统特点是(B)。

- A. 指令长度固定, 指令种类少
- B. 寻址方式种类尽量减少, 指令功能尽可能强

- C. 增加寄存器的数目, 以尽量减少访存次数
 - D. 选取使用频率最高的一些简单指令, 以及很有用但不复杂的指令
- A、C、D 选项都是 RISC 的特点。B 选项中, RISC 是尽量简化单条指令的功能, 复杂指令的功能由简单指令的组合来实现, 而增强指令的功能则是 CISC 的特点。

98. 【2010 年计算机联考真题】

下列有关 RAM 和 ROM 的叙述中, 正确的是()。

- I. RAM 是易失性存储器, ROM 是非易失性存储器
 - II. RAM 和 ROM 都是采用随机存取的方式进行信息访问
 - III. RAM 和 ROM 都可用做 Cache
 - IV. RAM 和 ROM 都需要进行刷新
- A. 仅 I 和 II B. 仅 II 和 III C. 仅 I、II 和 III D. 仅 II、III 和 IV

答案: A

一般 Cache 采用高速的 SRAM 制作, 比 ROM 速度快很多, 因此 III 是错误的, 用排除法即可选 A。RAM 需要刷新, 而 ROM 不需要刷新。

99. 相联存储器是按()进行寻址的存储器。

- A. 地址指方式 B. 内容指方式
- C. 内容指定方式和堆存储方式相结合 D. 内容指定方式和地址指方式相结合

答案: D

相联存储器的基本原理是把存储单元所存内容的某一部分作为检索项(即关键字项)去检索该存储器, 并将存储器中与该检索项符合的存储单元内容进行读出或写入。所以它是按内容或地址进行寻址的, 价格较为昂贵。一般用来制作 TLB、相联 Cache 等。

100. 【2010 年计算机联考真题】

下列选项中, 能缩短程序执行时间的措施是(D)。

- I. 提高 CPU 时钟频率 II. 优化数据通路结构 III. 对程序进行编译优化
- A. 仅 I 和 II B. 仅 I 和 III C. 仅 II 和 III D. I、II、III