1. 【2010年计算机真题】

下列寄存器中, 汇编语言程序员可见的是(B)。

- A. 储器地址寄存器(MAR)
- B. 程序计数器(PC)
- C. 存储区数据寄存器(MDR)
- D. 指令寄存器(IR)

汇编语言程序员可以通过指定待执行指令的地址来设置 PC 的值,而 IR、MAR、MDR 是 CPU 的内部工作寄存器,对程序员不可见。

- 2. 条件转移指令执行时所依据的条件来自(B)。
 - A. 指令寄存器 B. 标志寄存器
- C. 程厣计数器 D. 地址寄存器

指令寄存器用于存放当前正在执行的指令:程序计数器用于指示欲执行指令的地址;地址寄存器用于暂存指令或数据的地址;程序状态字寄存器用于保存系统的运行状态。条件转移指令执行时,需对程序状态字寄存器的内容进行测试,判断是否满足转移条件。

- 3. 在 CPU 的寄存器中,(C)对用户是透明的。
 - A. 程序计数器 B. 状态寄存器
 - C. 指令寄存器 D. 通用寄存器

指令寄存器中存放当前执行的指令,不需要用户的任何干预,所以对用户是透明的

- 4. 程序计数器(PC)属于(B)。
 - A. 运算器 B. 控制器
 - C. 存储器 D. ALU

控制器是计算机中处理指令的部件,包含程序计数器。

- 5. CPU中的通用寄存器,(B)。
 - A. 只能存放数据,不能存放地址
 - B. 可以存放数据和地址
 - C. 既不能存放数据,也不能存放地址
 - D. 可以存放数据和地址,还可以替代指令寄存器

通用寄存器供用户自由编程,可以存放数据和地址。而指令寄存器是专门用于存放指令的 寄存器,是专用的,不能由通用寄存器代替。

- 6. 指令周期是指(C)。
- A. CPU 从主存取出一条指令的时间
- B. CPU 执行一条指令的时间
- C. CPU 从主存取出一条指令加上执行这条指令的时间
- D. 时钟周期时间

指令周期包括取指和执行的时间。

- 7. 以下叙述中错误的是(B)。
 - A. 指令周期的第一个操作是取指令
 - B. 为了进行取指操作,控制器需要得到相应的指令

- C. 取指操作是控制器自动进行的
- D. 指令执行时有些操作是相同或相似的

取指操作是自动进行的,控制器不需要得到相应的指令

- 8. 以下叙述中,错误的是(B)。
 - A. 取指操作是控制器固有的功能,不需要在操作码控制下完成
 - B. 所有指令的取指操作是相同的
 - C. 在指令长度相同的情况下, 所有指令的取指操作是相同的
 - D. 中断周期是在指令执行完成后出现的

不同长度的指令,其取指操作可能是不同的。例如,双字指令、三字指令与单字指令 的取指操作是不同的。

- 9. 在单总线的 CPU 中(D)。
 - A. ALU 的两个输入端及输出端都可与总线相连
 - B. ALU的两个输入端可与总线相连,但输出端需通过暂存器与总线相连
 - C. ALU 的一个输入端可与总线相连,其输出端也可与总线相连
 - D. ALU 只能有一个输入端可与总线相连,另一输入端需通过暂存器与总线相连

由于 ALU 是一个组合逻辑电路,故其运算过程中必须保持两个输入端的内容不变。又由于 CPU 内部采用单总线结构,故为了得到两个不同的操作数. ALU 的一个输入端与总线相连,另一个输入端需通过一个寄存器与总线相连。此外,ALU 的输出端也不能直接与内部总线相连,否则其输出又会通过总线反馈到输入端,影响运算结果,故输出端需通过一个暂存器(用来暂存结果的寄存器)与总线相连。

- 10. CPU的读/写控制信号的作用是(D)。
 - A.决定数据总线上的数据流方向 B. 控制存储器操作的读, 写类型
 - C. 控制流入、流出存储器信息的方向 D.以上都是

读/写控制信号线决定了是从存储器读还是向存储器写,显然 A、B、C 选项都正确

- 11. 取指令操作(D)。
 - A.受到上一条指令的操作码控制
 - B.受到当前指令的操作码控制
 - C. 受到下一条指令的操作码控制
 - D.是控制器固有的功能,不需要在操作码控制下进行

取指令阶段完成的任务是将现行指令从主存中取出来并送至指令寄存器,这个操作是公共的操作,与具体的指令无关,所以不需要操作码的控制。

- 12. 微程序控制器的速度比硬布线控制器慢,主要是因为(D)。
 - A. 增加了从磁盘存储器读取微指令的时间
 - B. 增加了从主存读取微指令的时间
 - C. 增加了从指令寄存器读取微指令的时间
 - D. 增加了从控制存储器读取微指令的时间

控制存储器中存放有微指令,在|执行时需要从中读出相应的微指令

- 13.水平型微指令与垂直型微指令相比(B)。
 - A. 前者一次只能完成一个操作 B. 后者一次只能完成一个操作
 - C. 两者都是一次只能完成一个操作 D.两者都能一次完成多个操作
- 一条水平型微指令能定义并执行几种并行的基本操作;一条垂直型微指令只能定义并执行一种基本操作
- 14.下列说法正确的是(C)。
- I. 微程序控制方式和硬布线方式相比较,前者可以使指令的执行速度更快
- II. 若采用微程序控制方式,则可用 LiPC 取代 PC
- III. 控制存储器可以用 ROM 实现
- IV. 指令周期也称为 CPU 周期
 - A. I、III B. II、III C.只有III D. I、III、IV

I 说法可以这样理解,微程序控制方式是采用软件方式来执行指令,而硬布线方式则是采用硬件方式来执行指令,当一个命令信号到来时,硬布线方式下,命令信号只需要通过一些门电路,就可以快速产生有效的控制信号来控制部件完成操作,因此速度较快,故 I 错误。μ PC 无法取代 PC,因为它只是在微程序中指向下一条微指令地址的寄存器。当一条指令执行时,分派给微程序部件来进行具体操作,而这个操作仅仅是限于这条指令的内部,它无法得知整个程序是什么样,因此它也必然不可能知道这段微程序执行完毕后下一条是什么指令,故 II 错误。由于每一条微指令执行时所发出的控制信号是事先设计好的,不需要改变,故此存放所有控制信号的存储器应为只读存储器,并将其集成到 CPU 内,称其为控制存储器. 故 fTI 正确。指令周期是从一条指令的启动到下一条指令的启动的间隔时间. CPU 周期是机器周期,是指令执行中每一步操作所需的时间,故IV错误。

- 15. 下列部件中属于控制部件的是(B)。
- Ⅰ. 指令寄存器 Ⅱ. 操作控制器
- III. 程序计数器 IV, 状态条件寄存器
 - A. I, III, IV B. I, II, III
 - C. I. II. IV D. I. II. III. IV

CPU 控制器主要由 3 个部件组成: 指令寄存器、程序计数器和操作控制器。状态条件寄存器通常属于运算器的部件,保存由算术指令和逻辑指令运行或测试的结果建立的各种条件码内容,如运算结果进位标志(C)、运算结果溢出标志(V)、运算结果为零标志(Z)、运算结果为负标志(N)、中断标志(I)、方向标志(D)和单步标识等。

- 16. 若某机主频为 200MHz,每个指令周期平均为 2.5CPU 周期,每个 CPU 周期平均包括 2 个主频周期,问:
- 1)该机平均指令执行速度为多少 MIPS?
- 2)若主频不变,但每条指令平均包括 5 个 CPU 周期,每个 CPU 周期又包含 4 个主频周期,平均指令执行速度又为多少 MIPS?
- 3)由此可得出什么结论?
- 1. 解答:
- 1)主频为 200MHz, 所以主频周期=1/200MHz=0.005 μs。

每个指令周期平均为 2.5CPU 周期,每个 CPU 周期平均包括 2 个主频周期,所以一条指令的执行时间= $2 \times 2.5 \times 0.005~\mu$ s=0.025 μ s。

该机平均指令执行速度=1/0.025=40MIPS。

2)每条指令平均包括 5 个 CPU 周期,每个 CPU 周期又包含 4 个主频周期,所以一条指令的执行时间= $4X5X0.005 \,\mu$ s= $0.1 \,\mu$ s。

该机平均指令执行速度=1/0.1=10MIPS

- 3)由此可见:指令的复杂程度会影响指令的平均执行速度。
- 17. 某微程序控制器中,采用水平型直接控制(编码)方式的微指令格式,后续微指令地址由微指令的下地址字段给出。已知机器共有 28 个微命令,6 个互斥的可判定的外部条件,控制存储器的容量为512x40位。试设计其微指令的格式,并说明理由。解答:

水平型微指令由操作控制字段、判别测试字段和下地址字段三部分构成。因为微指令采用直接控制(编码)方式,所以其操作控制字段的位数等于微命令数,为 28 位。又由于后继微指令地址由下地址字段给出,故其下地址字段的位数可根据控制存储器的容量(512x40位)确定为 9 位。当微程序出现分支时,后续微指令地址的形成取决于状态条件——6 个互斥的可判定外部条件,因此状态位应编码成 3 位,非分支时的后续微指令地址由微指令的下地址字段直接给出。微指令的格式如下图所示。

操作控制字段	判别测试字段	后维地址字段
28 位	3位	9位

- 18. 下列关于超标量流水线不正确的是(D)。
 - A.在一个时钟周期内一条流水线可执行一条以上的指令
 - B. 一条指令分为多段指令来由不同电路单元完成
 - C. 超标量是通过内置多条流水线来同时执行多个处理器, 其实质是以空问换取时间
 - D.超标量流水线是指运算操作并行

超标量流水线是指在一个时钟周期内一条流水线可执行一条以上的指令。一条指令分为 多段指令,由不同电路单元完成。超标量是通过内置多条流水线来同时执行多个处理器, 其实质是以空间换取时间,

A. 163ns B.183ns C-193ns D.203ns

每个功能段的时间设定为取指、分析和执行部分的最长时间 2ns. 第一条指令在第 5ns 时执行完毕,其余的 99 条指令每隔 2ns 执行完一条,所以 100 条指令全部执行完毕所需时间为 [5+99x2]ns=203ns。