第三章

1. 32位CPU、16位外部数据总线，时钟频率为50MHz,总线的传输周期最小为4个时钟周期，每个总线周期传送一个字

（1）总线的最大数据传输率。

解: 1个时钟周期：1/50 MHz=0.02 μs

最小总线周期：0.02 μsx4=0.08 μs

由于总线的宽度为16位=2 B(字节)

故总线的最大数据传输率为2 B/(0.08 μ8) =25x106 Bps

（2）若想提高一倍数据传输率，可采取什么措施?

若想提高数据传输率，可以在不改变总线时钟频率的前提下，将数据线的宽度改为32位，也可以仍保持数据宽度为16位,但使总线的时钟频率增加到100MHz

2. [p61-例3.1]假设总线的时钟频率为100MHz,总线的传输周期为4个时钟周期，总线的宽度为32位，试求总线的数据传输率。若想提高一倍数据传输率，可采取什么措施?

解:根据总线时钟频率为100 MHz，得

1个时钟周期为1/100 MHz=0.01 μs

总线传输周期为0.01 μs x 4=0.04 μs

由于总线的宽度为32位=4 B (字节)

故总线的数据传输率为4 B/(0.04 μs) = 100 MBps

若想提高数据传输率，可以在不改变总线时钟频率的前提下，将数据线的宽度改为64位，也可以仍保持数据宽度为32位,但使总线的时钟频率增加到200MHz

第四章

1. [p111-例4.7]假设CPU执行某段程序时，共访问Cache命中2000次，访问主存50次。已知Cache的存取周期为50 ns,主存的存取周期为200 ns。求Cache-主存系统的命中率、效率和平均访问时间。

解:(1) Cache的命中率为

2000/(2000 +50) = 0.97

(2)由题可知，访问主存的时间是访问Cache 时间的4倍(200/50 = 4)。设访问Cache的时间为t,访问主存的时间为4t ,Cache -主存系统的访问效率为e,则

e=访问Cache的时间/平均访问时间 x 100%

=t /（0.97 x t+(1-0.97) x 4t） x 100% =91.7%

(3)平均访问时间为

50 ns x 0.97 +200 ns x (1 -0.97) = 54.5 ns

2. [p120-例4.9]假设主存容量为512 K x 16位，Cache容量为4096 x16位，块长为4个16位的字，访存地址为字地址。

(1)在直接映射方式下，设计主存的地址格式。

(2)在全相联映射方式下，设计主存的地址格式。

(3)在二路组相联映射方式下，设计主存的地址格式。

(4)若主存容量为512 K x 32位，块长不变，在四路组相联映射方式下，设计主存的地址格式。

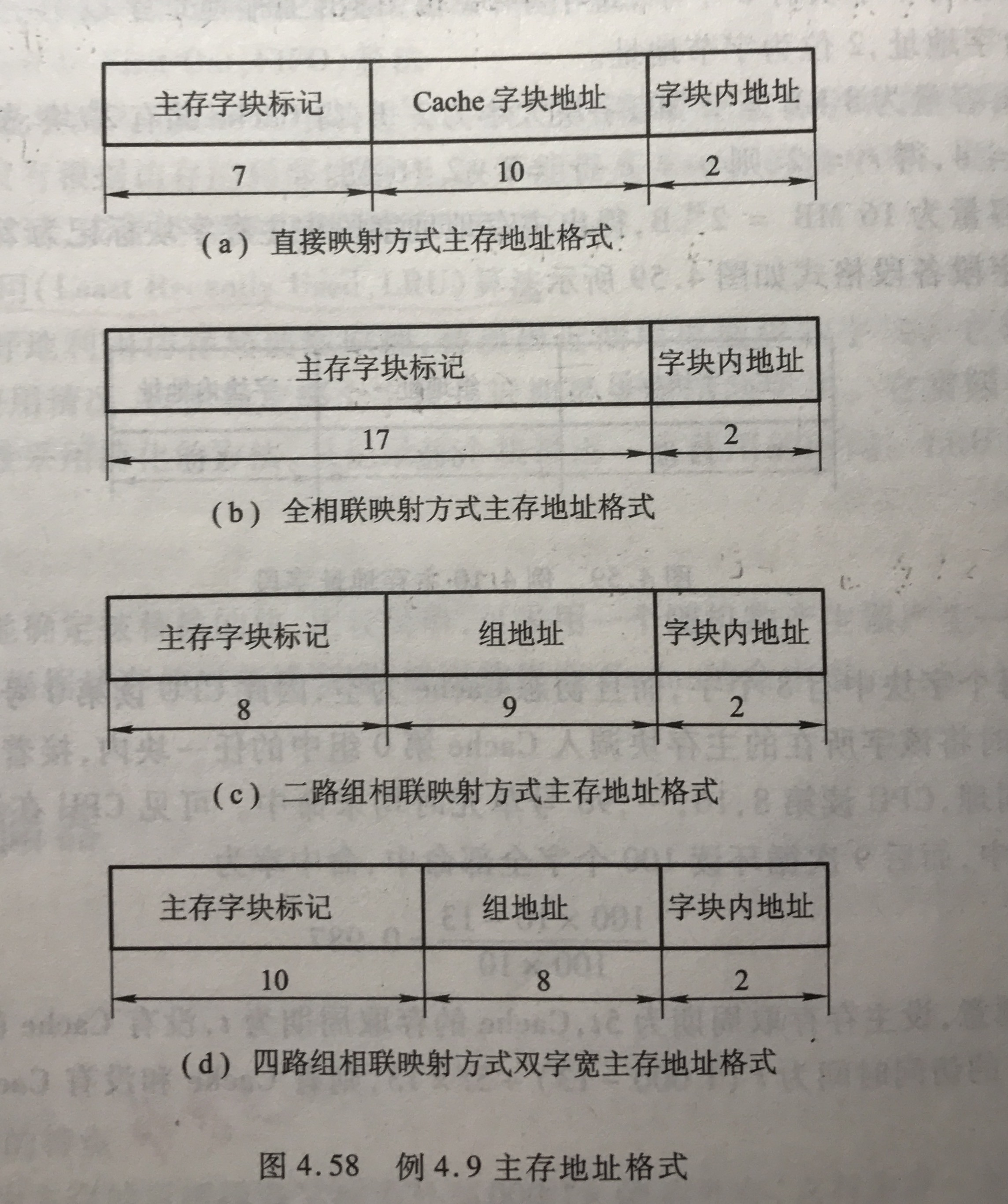
解:

(1) 根据Cache容量为4096=212字，得Cache字地址为12位。根据块长为4，且访存地址为字地址,得字块内地址为2位，即b=2，且Cache共有4096/4=1024=210块，即c=10。根据主存容量为512K=219字,得主存字地址为19位。在直接映射方式下，主存字块标记为19-12=7。主存地址格式如4.58（a）

(2)在全相联映射方式下，主存字块标记为19-b = 19-2 = 17位,其地址格式如图4. 58(b)所示。

(3)根据二路组相联的条件，一组内有2块,得Cache共分1 024/2=512=2q组,即q = 9,主存字块标记为19-q-b = 19-9-2 = 8位,其地址格式如图4. 58(c)所示。

(4)若主存容量改为512 K x 32位，即双字宽存储器,块长仍为4个16位的字,访存地址仍为字地址，则主存容量可写为1024 K x 16位,得主存地址为20位。由四路组相联，得Cache共分1024/4 = 256 = 2q组，即q = 8。对应该条件下，主存字块标记为20-8-2 = 10位,其地址格式如图4.58(d)所示。



2. 现有4 K x 8位 RAM芯片，需要8 K x 16位存储器

要求画出框图，标明信号线种类、方向、条数

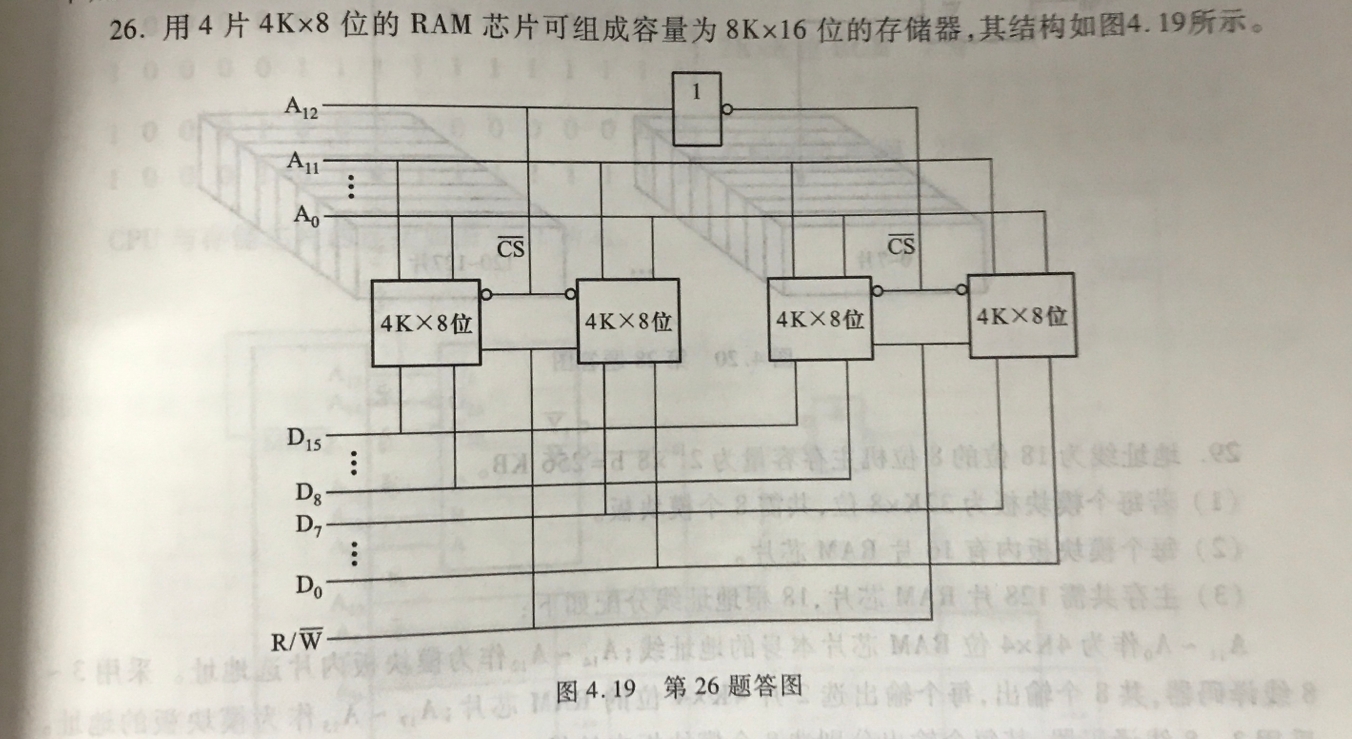
解： 芯片数量 8 K x 16 / 4 K x 8=4片

4 K x 8 ：地址线（4 K=212）12根

数据线8根

8 K x 16 ：地址线（8 K=213）13根

数据线16根



第六章

1. 已知十进制数x=-41，y=+101，该机器字长为8位（含一位符号位）

计算[x+y]补，[x-y]补，以及相应Z（是否为0），V（溢出），C（进位）

解： [x]原=1，0101001

[y]原=0，1100101

[x]补=1，1010111

[y]补=0，1100101

[-y]补=1，0011011

[x+y]补=0，0111100 其中Z=0，V=0，C=1

[x-y]补=0，1110010 其中Z=0，V=1，C=1

第七章

1. 某指令系统指令长16位，如果操作码固定为4位，则三地址格式的指令共有几条？如果采用扩展操作码技术，对于三地址、二地址、一地址和零地址这四种指令格式，每种指令最多安排几条？写出他们的格式。  
解：指令字长16位，如果操作码固定为4位，则三地址指令格式共有16（24）条。若采用扩展操作码技术，这16位字长的指令最多分别有15条三地址格式指令、15条二地址格式指令、15条单地址格式指令和16条零地址格式指令，共61条。指令格式：  
三地址

|  |  |  |  |
| --- | --- | --- | --- |
| 0000-1110 | A1 | A2 | A3 |

二地址

|  |  |  |  |
| --- | --- | --- | --- |
| 1111 | 0000-1110 | A1 | A2 |

单地址

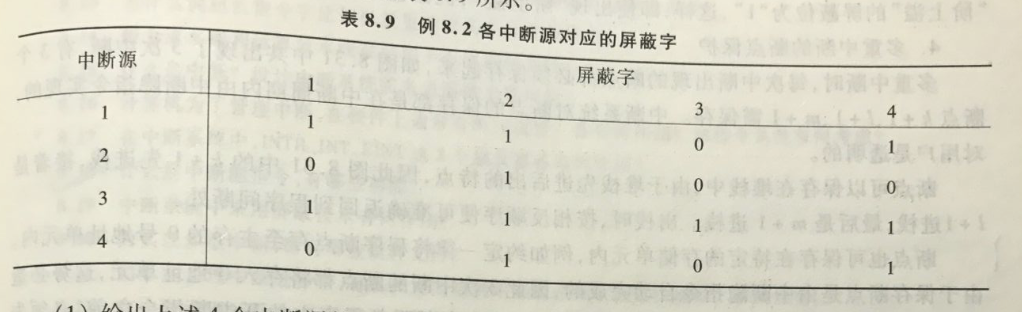
|  |  |  |  |
| --- | --- | --- | --- |
| 1111 | 1111 | 0000-1110 | A1 |

零地址

|  |  |  |  |
| --- | --- | --- | --- |
| 1111 | 1111 | 1111 | 0000-1111 |

第八章

1. [p369-例8.2]设某机有4个中断源1、2、3、4，其硬件排队优先次序按1→2 →3→4降序排列,各中断源的服务程序中所对应的屏蔽字如表8.9所示

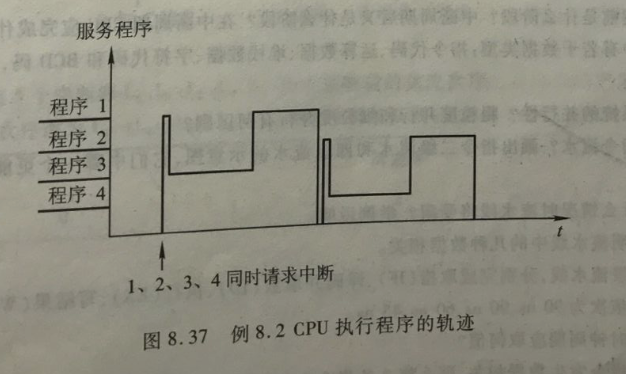


(1)给出上述4个中断源的中断处理次序。

(2)若4个中断源同时有中断请求，画出CPU执行程序的轨迹。

解:(1)根据表8.9 ,4个中断源的处理次序是按3→1→4→2降序排列。

(2)当4个中断源同时有中断请求时，由于硬件排队的优先次序是1→2→3→4,故CPU先响应1的请求，执行1的服务程序。由于在该服务程序中设置了屏蔽字1101, 故开中断指令后转去执行3的服务程序,且3的服务程序执行结束后又回到1的服务程序。1的服务程序结束后,CPU还有2、4两个中断源请求未响应。由于2的响应优先级高于4,故CPU先响应2的请求,执行2的服务程序。在2的服务程序中由于设置了屏蔽字0100,意味着1、3、4可中断2的服务程序。而1、3的请求已处理结束,因此在开中断指令之后转去执行4的服务程序,4的服务程序执行结束后又回到2的服务程序的断点处,继续执行2的服务程序,直至该程序执行结束。图8.37示意了CPU执行程序的轨迹。



第九章

1. [p387-例9.3]设某计算机的CPU主频为8 MHz,每个机器周期平均含2个时钟周期，每条指令的指令周期平均有2.5个机器周期，试问该机的平均指令执行速度为多少MIPS?若CPU主频不变，但每个机器周期平均含4个时钟周期，每条指令的指令周期平均有5个机器周期,则该机的平均指令执行速度又是多少MIPS?由此可得出什么结论?

解:由于主频为8MHz，所以时钟周期为1/8MHz= 0.125μs,机器周期为0.125x2 = 0.25 μs,指令周期为0.25x2.5 = 0.625 μs

①平均指令执行速度为1/0.625 = 1. 6 (MIPS)

②若CPU主频不变，机器周期含4个时钟周期，每条指令平均含5个机器周期,则指令周期为0. 125x4x5= 2.5 μs ,故平均指令执行速度为1/2.5 = 0.4( MIIPS)。

③可见机器的运行速度并不完全取决于主频。