

# **VLSI מתקדם 83414**

## **ספר פרויקט**

מנחים: ד"ר אריאל כהן ומר גדי אורי

תאריך הגשה: 14/09/2020

מגישים: לירן גולן 311121073

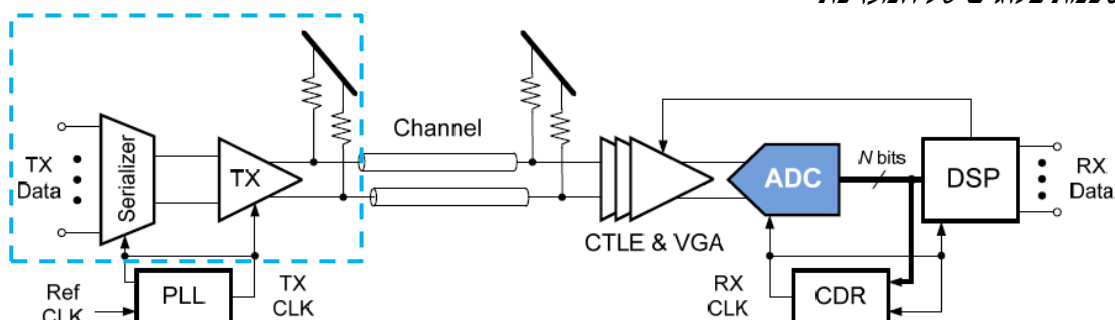
יואב אשד 305384869

יואב זילברשטיין 305628125

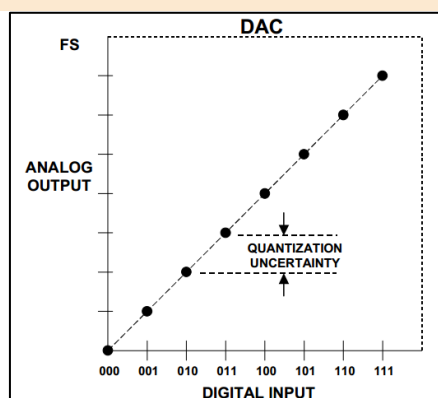
מאז שהחל האינטרנט כמות המידע שעוברת ברשת מידי יום גדלה בהתמדה. ולכן יש צורך בטכנולוגיות להעברת מידע רב במהירות עצומה.

בפרויקט בחרנו להתמקד במשדר במשדר  $112\text{Gb/s}$   $1.2V_{ppd}$  output swing -TX DAC רכיב המשמש כממיר מאות דיגיטלי לאנלוגי, שהוא חלק מהמערכת שמסולבת בתוך מרכז נתונים (Data centers) שמטרתה להעביר מידע בקצב של  $112\text{Gb/s}$ .

סכמת בלוגים של המערכת



מה זה DAC?

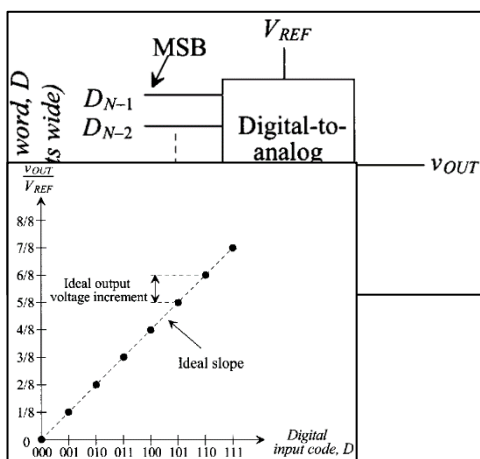


DAC (Digital-to-Analog Converter), הינה יחידה הממירה אות דיגיטלי (בינארי) לאנלוגי (רציף לדוגמה מתח או זרם). יחידה זו חשובה כיוון שהמערכות הטכנולוגיות של היום הן ברובן דיגיטליות, אך העולם בו אנו חיים הוא עולם אנלוגי, ייצוא המידע הדיגיטלי לעולם האנלוגי נעשית באמצעות ה-DAC הממיר את האות הדיגיטלי לאות אנלוגי אקוויולנטי.

השרטוט משמאל מתאר פונקציה תמסורת אידיאלית של DAC שמייצג 3 ביטים.

כל רצף ביטים מיוצג ע"י רמת מתח שונה, וההפרש בין כל רמות המתח הוא שווה.

כך מקבלים פונקציית תמסורת שקרובה לפונקציה תמסורת אידיאלית.



עקרון פעולת ה-DAC

הדיאגרמה משמאל מתארת DAC, שממפה מילה באורך N ביטים לאות אנלוגי יחיד.

המתח האופייני במוצא של DAC הוא מתח יחסי בתחום של מתח הרפרנס.

D – ערך המילה בכניסה (בבסיס 10)

$2^N$  – מספר הצירופים האפשריים עבור מילה באורך N

$F = \frac{D}{2^N}$  – ערך השברי עבור ערך כניסה

$V_{out} = F \cdot V_{REF}$  מתח המוצא

מתח המוצא המקסימלי שניתן לקבל (Full-scale voltage)

$$V_{FS} = \frac{2^N - 1}{2^N} \cdot V_{REF}$$

בעמוד הקודם הצגנו DAC תיאורטי, שלא מתקיים במציאות. לכן במציאות עלינו להתייחס לשגיאות שעשויות להתקבל.

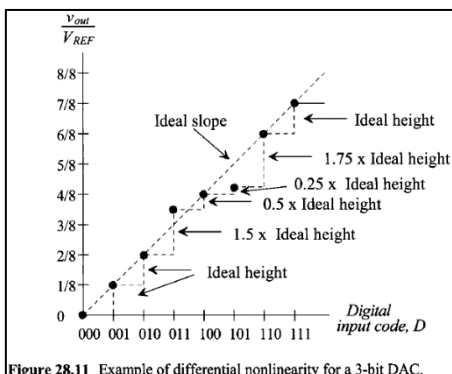


Figure 28.11 Example of differential nonlinearity for a 3-bit DAC.

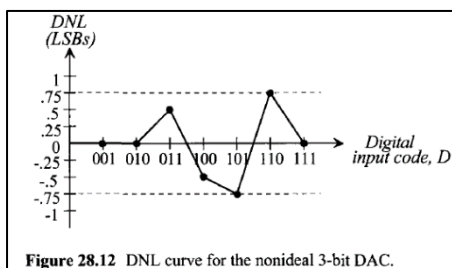


Figure 28.12 DNL curve for the nonideal 3-bit DAC.

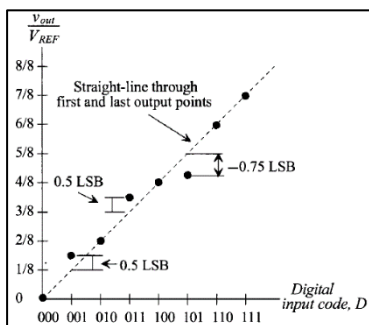
### DNL → Differential Non linearity

עבור פונקציית העברה אידיאלית, אם נעלה את קוד הכניסה הבינארי ב-1, הפלט האנלוגי במוצא יעלה בערך אנלוגי של  $1 \text{ LSB}$ . ה-DNL מייצג את הסטייה המקסימלית של מדרגות הפלט ביחס למוצא אנלוגי אידיאלי. חישוב ה-DNL להפרש בין שתי רמות מתח עוקבות במוצא של DAC.

חישוב DNL:

$$DNL(i) = \frac{V_{out}(i) - V_{out}(i-1)}{\text{ideal LSB step with}} - 1, \quad 0 < i < 2^N - 2$$

ה-DNL מוגדר ע"י השגיאה הגדולה ביותר.



### INL → Internal non linearity

הגדרה: ה-INL מוגדרת להיות הסטייה של  $1 \text{ LSB}$  של פונקציית ההעברה מקו ישר. סדר הגודל של ה-INL תלוי במיקום של הקו הישר הזה, ועל מנת למקם אותו משתמשים בשתי שיטות:

שיטת הקו הטוב ביותר: מספקת לנו מידע על ה-offset ושגיאת הגיין ואת מיקום פונקציית ההעברה בצורה של קו ישר, השערך הטוב ביותר לפונקציית ההעברה האמיתית של DAC. המיקום המדויק של הקו לא מוגדר, אבל הגישה הזו מניבה את החזרתיות הטובה ביותר ומשמשת בתור ייצוג אמיתי ללינאריות.

שיט נקודת הקצה – בשיטה זו מעבירים קו ישר בנקודות הקצה של פונקציית ההעברה – ובעצם מגדירים מיקום מדויק עבור הקו.

חישוב INL:

$$INL = \left| \frac{[V_D - V_0]}{V_{LSB-IDEAL}} - D \right|, \quad 0 < D < 2^N - 1, \quad INL_n = \sum_{i=0}^n DNL_i$$

כאשר  $V_D$  הוא הערך האנלוגי המיוצג על ידי קוד היציאה האנלוגי  $D$ ,  $N$  הוא הרזולוציה של DAC,  $V_{zero}$  הוא הקלט הדיגיטלי המינימלי המייצג אפסים ו  $V_{LSB-IDEAL}$  הוא המרווח האידיאלי בין שני אותות יציאה עוקבים.

## LSB – LEAST SIGNIFICANT BIT

מתייחס לביט הימני ביותר בכיסה.

LSB מגדיר את השינוי הקטן ביותר במתח האנלוגי במוצא.

$D_0$  הוא LSB.

$$1 \text{ LSB} = \frac{V_{REF}}{2^N}$$

## MSB – MOST SIGNIFICANT BIT

מתייחס לביט השמאלי ביותר בכניסה.

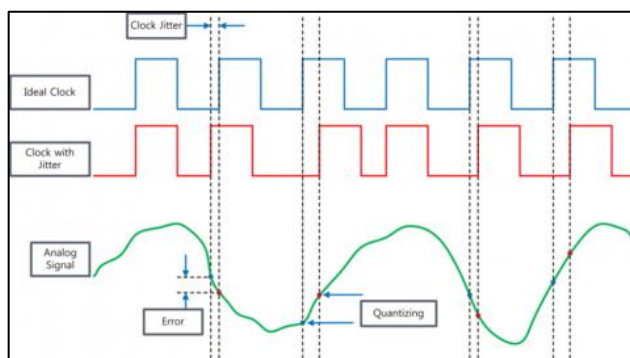
MSB מגדיר את השינוי הגדול ביותר במתח האנלוגי במוצא.

$$1 \text{ MSB} = \frac{1}{2} V_{REF}$$

## SNR

יחס אות לרעש מוגדר כממוצע עוצמת האות וממוצע עוצמת הרעש, בתחום תדרים מסוים.

## Random Jitter



גייטר הוא הפער בין מחזורי שעון של שעון אידיאלי לשעון המערכת בפועל, שבמקרה שלנו ייווצר מאות דיגיטלי גבוה שמומר לאות אנלוגי נמוך, ובתהליך ההמרה מתווסף למוצא בצורה רנדומלית אות בתדר נמוך, עקב זמני דגימה לא מדויקים שנובעים משעון לא מדויק במעגל. לפעמים משתמשים בגייטר על מנת לתאר את שגיאות האודיו הדיגיטליות המתפרשות בתור רעש במערכת, כלומר שאחדים ואפסים בקטע אות דיגיטלי יחליפו מקום כתוצאה מרעש וכתוצאה מכך ישתבש האות ביציאה.

איך נמנעים מJitter?

מעלים את תדירות הדגימה. ככל שיש יותר נקודות מידע, כך פוחת הסיכוי שתתרחש שגיאה. אם דוגמים בתדר ניקויסט אז רוב השגיאות יהיו בתדרים גבוהים ולכן ישפיעו פחות על האות במוצא.

## COMMON-MODE-REJECTION-RATIO(CMRR)

יחס בין האות הדיפרנציאלי לאות המשוב.

עבור  $\frac{A_d}{A_{CM}} \rightarrow \infty$  מצב אידאלי, בו הרעש נדחה לחוטין ביחס לאות המשותף.

$A_{CM}$  - common-mode gain, בד"כ יותר קטן מאשר  $A_d$ .

$A_d$  - הוא ההגבר הדיפרנציאלי.

$$CMRR = \left( \frac{A_d}{|A_{cm}|} \right) = 10 \cdot \log_{10} \left( \frac{A_d}{A_{cm}} \right)^2 \text{ dB} = 20 \cdot \log_{10} \left( \frac{A_d}{|A_{cm}|} \right) \text{ dB}$$

ארכיטקטורות DAC שונות

RESISTOR STRING DAC

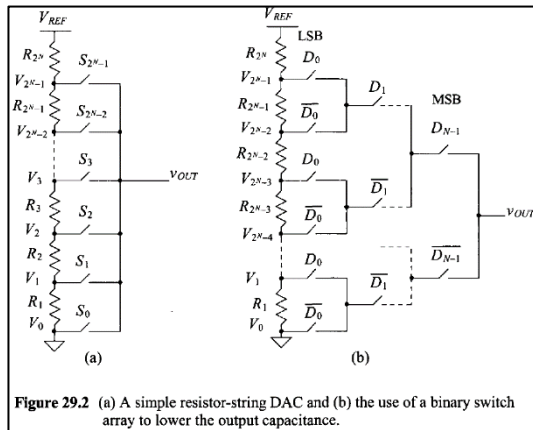


Figure 29.2 (a) A simple resistor-string DAC and (b) the use of a binary switch array to lower the output capacitance.

הDAC הבסיסי ביותר, מבוסס על שרשרת נגדים ( $2^N$ ) ומתגים. המתח במוצא הוא מחלק מתחים.

נדרש מפענח  $N: 2^N$

היתרון גדול בשיטה זו, תמיד מובטח שהמוצא יהיה מונוטוני.

### חסרונות

1. המוצא מחובר ל-  $2^N - 1$  מתגים פתוחים ורק מתג אחד סגור. לכן ביישומים בעלי מספר רב של כניסות, יש קיבול פרזיטי גדול במוצא, שגורם להאטה בפעולת ההמרה.

2. ככול שמספר הכניסות גדל השטח שהמעגל יתפוס יגדל משמעותית.

3. בנגדים זורם כל הזמן זרם ולכן יש בזבוז הספק.

### R-2R LADDER NETWORKS

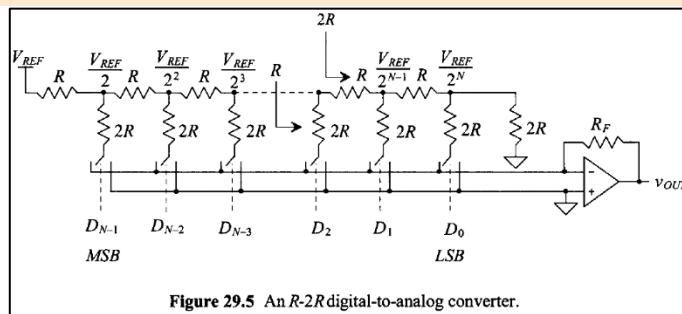


Figure 29.5 An R-2R digital-to-analog converter.

ארכיטקטורה DAC המבוססת על מספר מצומצם של נגדים ביחס ל Resistor String DAC.

התנגדות המתגים ( $\Delta R$ ) חייבת להיות זניחה אחרת היא תגרום לשגיאה.

ניתן לתקן זאת ע"י הוספת התנגדויות (או מתג דמיוני) השוות לחצי התנגדות של מתג,

$$R' = R + \Delta R$$

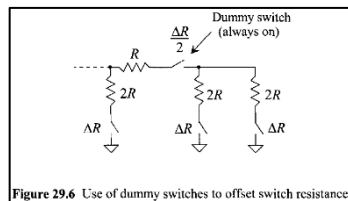
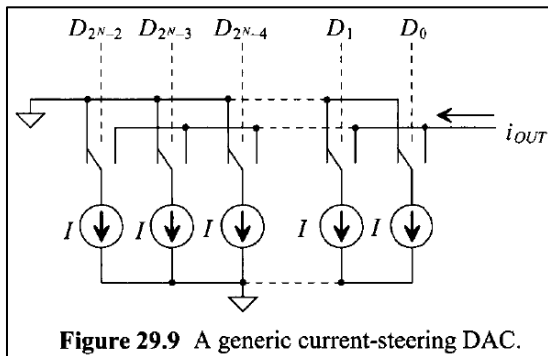


Figure 29.6 Use of dummy switches to offset switch resistance.

$D_2 D_1 D_0$	$I_{TOT}$ (mA)	$V_{OUT}$ (V)
000	0	0
001	0.3125	-0.625
010	0.625	-1.25
011	$0.625 + 0.3125 = 0.9375$	-1.875
100	1.25	-2.5
101	$1.25 + 0.3125 = 1.5625$	-3.125
110	$1.25 + 0.625 = 1.875$	-3.75
111	$1.25 + 0.625 + 0.3125 = 2.1875$	-4.375

Figure 29.8 Output voltages generated from the 3-bit DAC in Example 29.3.

## CURRENT STEERING



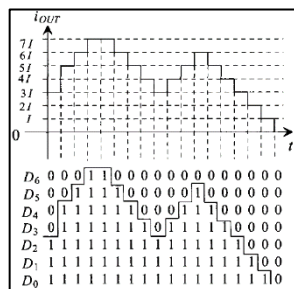
ארכיטקטורה DAC המבוססת על סכימה של מקורות זרם מדויקים במגוון דרכים.

### שיטה א'

הזרם במוצא הוא סכום של מקורות זרם זהים. כדי למנוע זרמי מוצא זהים עבור קידוד בינארי שונה, יש צורך בהמרה של הקוד הבינארי לקוד thermometer code. לכן נדרשים  $2^N - 1$  מקורות זרם עבור קוד בינארי באורך N.

$$0 \leq I_{OUT} \leq (2^N - 1)I$$

תחום הזרם במוצא מספר גדול של מקורות זרם.

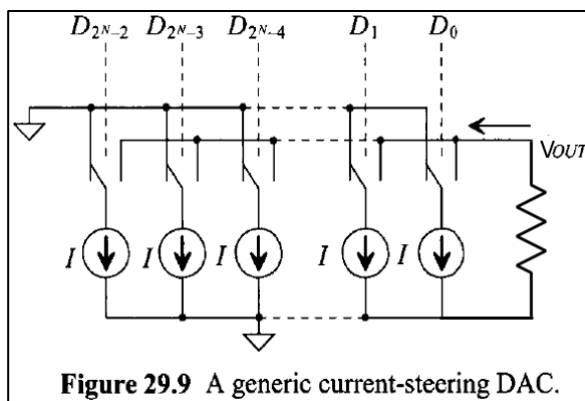


Decimal	Binary			Thermometer code							
	A0	A1	A2	D1	D2	D3	D4	D5	D6	D7	
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	0	1	1
3	0	1	1	0	0	0	0	0	1	1	1
4	1	0	0	0	0	0	1	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1	1

### שיטה ב'

הזרם במוצא הוא סכום של מקורות זרם שונים. שיטה זו לא מצריכה שימוש בהמרה ל thermometer code. מספר מקורות הזרם הנדרשים הוא N (גודל המילה הבינארית).

חיסרון בשיטה זו, עבור מספר גדול של כניסות הזרם במצא עשוי להיות גדול מידי, ועשוי להיות קושי בייצור מקורות זרם בעלי זרמים כה גדולים. בעיה נוספת היא שגיאה שמתקבלת בזמן מיתוג. מקורות הזרם מחוברים במקביל, לכן אם אחד נסגר ואחד נפתח, יופיע "glitch" במוצא.

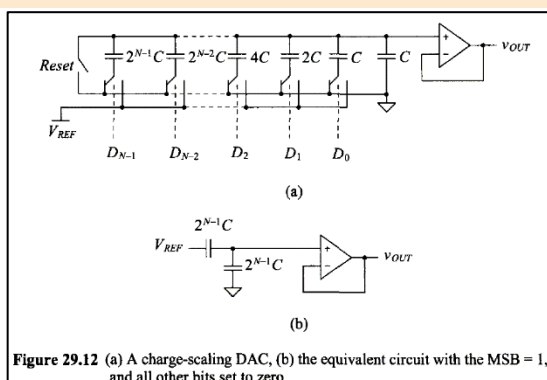


## CHARGE-SCALING DACS

ארכיטקטורה DAC פופולרית, מבוססת על טכנולוגית CMOS.

מערך קבלים בעלי קיבול שונה.

המתח במוצא הוא מחלק מתחים בין הקיבולים.



ממוש בעזרת מספר רכיבים פשוטים.

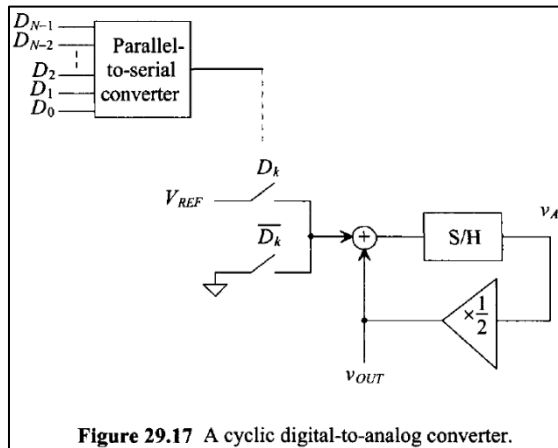


Figure 29.17 A cyclic digital-to-analog converter.

בכל מחזור שעות הסוכם מוסיף למעגל משוב מתח אדמה (0V) או את  $V_{REF}$ . בהתאם לביט שנמצא במוצא הסריאלי (היחידה הסריאלית בעלת N כניסות, מוציא ביט אחד בכל מחזור שעות). במעגל המשוב האות עובר דרך מגבר בעל הגבר 0.5, בדרכו אל המוצא/סוכם. רק בתום N מחזורי שעות (כמספר הביטים בכניסה לסיריאלייזר. יתקבל במוצא מתח אנלוגי השקול לרצף הביטים.

מתח המוצא לאחר n מחזורים:

$$V_{OUT}(n) = \left( D_{n-1} \cdot V_{REF} + \frac{1}{2} \cdot V_A(n-1) \right) \cdot \frac{1}{2}$$

מתח המוצא של S/H מאותחל ל  $V_A(0) = 0 [V]$ .

### Pipeline DAC

Cycle converttern מצריך N מחזורי שעות עבור N ביטים להמרה.

במקום להחזיר את המוצא בחזרה לכניסה בכל פעם, ניתן להרחיב את Cycle convertor לN שלבים. כל שלב מייצג ביט אחד להמרה. שיטה זו קראת Pipeline DAC. אות עובר דרך "Pipeline", כל שלב עובד על המרה אחרת (כניסת ביטים שונה), כך שלאחר N מחזורי שעות, בכל מחזור שעות המוצא ייצג המרה אחרת. זאת ארכיטקטורה שיכולה להיות מאוד מהירה.

הגבר המגברים חייב להיות מאוד מדויק בשביל לקבל רזולוציה גבוהה. בנוסף ארכיטקטורה זו משתמשת בn מעגלים של Cycle DAC. לכן המהירות באה על חשבון שטח.

מתח המוצא של n שלבים:

$$V_{OUT}(n) = [D_{n-1} \cdot V_{REF} + V_{OUT}(n-1)] \cdot \frac{1}{2}$$

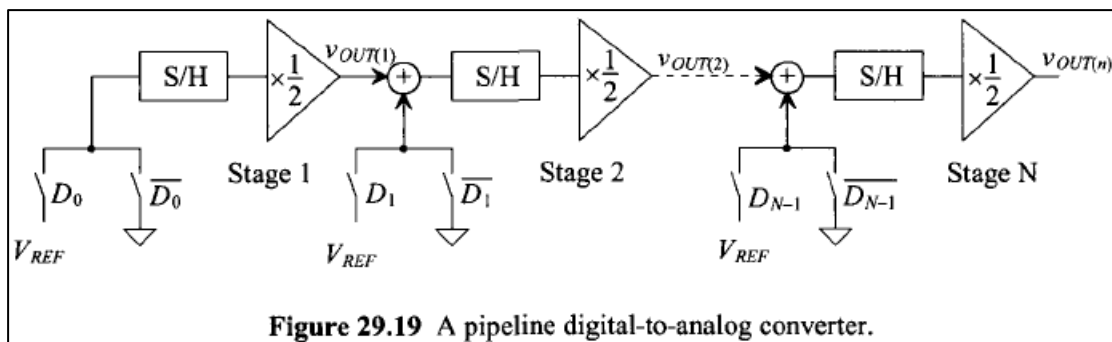


Figure 29.19 A pipeline digital-to-analog converter.

Clock Cycle	$v_{OUT(1)}$	$v_{OUT(2)}$	$v_{OUT(3)}$	$D_0$	$D_1$	$D_2$
1	2.5	0	0	1	0	0
2	0	1.25	0	0	0	0
3	2.5	2.5	0.625	1	1	0
4		1.25	3.75		0	1
5			3.125			1

Figure 29.20 Output from the 3-bit pipeline DAC used in Example 29.9.

Intersymbol interference -ISI

בתקשורת, הפרעה בין סימנים היא הפרעה לא רצויה בין סימנים (פולסים) המייצגים את המידע באות הספרתי הנקלט במשדר. הניסיונות להקטין את רוחב הסרט גורמים בהכרח למריחת הפולסים המייצגים את המידע הספרתי שמועבר באות בתחום הזמן. התוצאה יכולה להיות השפעת שארית הפולס (סיבית) הקודם על פענוח הסיבית הנוכחית. ישנם מסננים המאפשרים מצד אחד להקטין את רוחב הסרט ומצד שני למנוע ISI.

שידור ביט, יחד עם הביטים שנמצאים לפניו ואחריו בעוצמה נמוכה ביחס לביט.

**Current base transmitter** 1.

מתבסס על דרייבר עם זרם קבוע בעל רמת רעש נמוכה, למגוון תנאי מתח, כולל קצר. מ  
בדרך כלל מספק אימפדנס יציאה גבוה לאספקת המתח.

**Voltage base transmitter** 2.

מבוסס על מתח inverter מאוד גדול בעל התנגדות של  $50\Omega$ .  
בנוי משני הדקים: חיובי ושלילי, כאשר החיובי מוחזק ב1 והשלילי ב0 מתקבל ביציאה 1.



התכנון מתבסס על ארכיטקטורה DAC שהוצגה במאמר A 10-to-112Gb/s DSP-DAC של Groen ושות' משנת 2020.

המאמר מציג ארכיטקטורה בעלת תדר עבודה גבוה וצריכת הספק נמוכה.

המאמר מתבסס על טכניקה של DSP-DAC, כלומר האקוולייזציה של האות מתבצעת על ידי יחידת הDSP. יישום האקוולייזציה מתבצע באמצעות חישוב מוקדם של פלט הFIR ואחסון התוצאות בLOOK UP TABLE. בצורה כזו הפלט הנדרש איננו גורר עלייה בצריכת המתח הנדרש לחישוב. באמצעות הLUP, ניתן לחשב את הערכים, לסכום אותם לתוצאה בצורת 7 ביט. לאחר מכן תוצאת 7 ביט זו מועברת לMUX 2:1, שיוצר שני פלטים בקצב של 56 Gb/s עם מתח אספקה ואדמה.

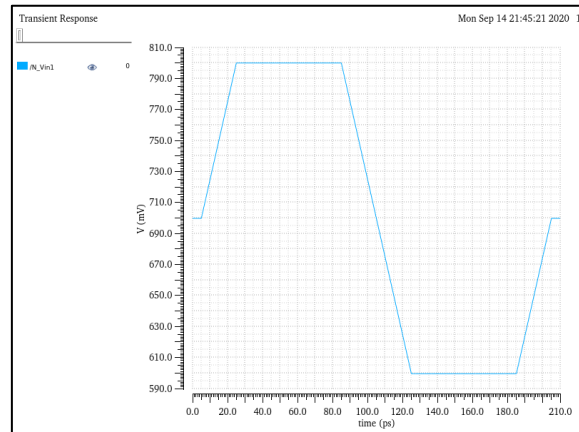
שיפור הSNR: לטובת שיפור הSNR המעגל משתמש בדרייבר מסוג קומון מוד ולווג' סופט סוויצינג', הפעול במתח של 1.2V דוחף מתח של 300mVpp לקווי התמסורת המחוברים אליו.

לצורך טיפול בESD ישנם שני סלילים פאסיביים בקצה המעגל שקולטים את טעינת הESD על מנת למזער איבוד החזרה. סיום ה Shunt מגביל את המתח בקצה המשדר לטווח של בין 900mV ל-300mV, מה שגורם לשאר הרכיבים להשאר בטווח הפעולה שלהם ועדיין להשיג מתח של 1.2Vpp.

## הערה כללית:

הבדיקות נערכו בטמפרטורה  $27^{\circ}$ .  
הפולס הריבועי הוגדר כך:  
5GHz תדירות

Frequency name for 1/period	
Number of pairs of points	7
Time 1	0 s
Voltage 1	0 V
Time 2	5p s
Voltage 2	0 V
Time 3	25p s
Voltage 3	h V
Time 4	85p s
Voltage 4	h V
Time 5	125p s
Voltage 5	-h V
Time 6	185p s
Voltage 6	-h V
Time 7	205p s
Voltage 7	0 V



## PRE-DRIVER

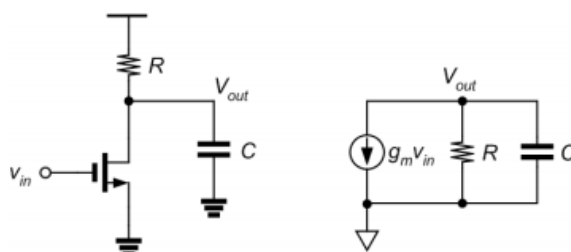
יחידה הממוקמת בין דרגות MUX וDriver ומטרתה למנוע פגיעה ברוחב הסרט ולקבוע את נקודת העבודה לדרייבר, נקודות עבודה "soft-switching" שעבודה מתקבל מיתוג מהיר של הדרייבר.  
הפרי דרייבר מבוסס על מעגל Super Source Follower, המבוסס על ה-Active peaking.  
במעגל משולבים שני מעגלים המשמשים כ-Pre-Driver, מעגל המבוסס NMOS לצורך פתיחה וסגירה של טרנזיסטור NMOS, ומעגל מבוסס PMOS לצורך פתיחה וסגירה של טרנזיסטור PMOS.

## Source Follower

מעגל בעל הגבר מתח קרוב ל 1 (קטן מ 1), משמש לרוב כ"מתווך" בין דרגות.  
בעל התנגדות מוצא קטנה, וקיבול קניסה קטן.  
מאפקט מילר ניתן לראות שהקיבול אפקטיבי של הקבל בין הכניסה למוצא המגבר קטן, כיוון שמתקיים  
 $A_v < 1$ , כאשר  $C_{in \rightarrow out}(1 - A_v) < C_{in \rightarrow out}$ .  
ובך מעגל זה מונע פגיעה ברוחב הסרט.

## Active Peaking

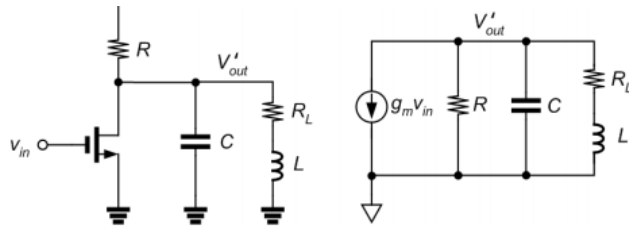
Active peaking הינה טכניקה לשיפור רוחב פס, כאשר מוסיפים סליל או רכיבים שמדמים סליל, אשר האימפדנס שלהם מפצה ואף מקזז את האימפדנס של הקיבול במעגל. בתור דוגמא נבחן מגבר מבוסס מעגל common source.



נניח כי תגובת התדר באות קטן של המגבר תלויה רק בקטבים של המוצא שלו.  
ההגבר של המגבר הנ"ל הינו

$$A_v(\omega) = \frac{V_{out}}{V_{in}} = -g_m \cdot \frac{R}{1 + j\omega RC}$$

כעת, נוסיף למעגל סליל בטור עם נגד עומס שמייצג את התנגדות הסליל במקביל לנגד והקבל המקוריים.



האימפדנס של הענף שהתווסף למעגל עולה עם התדר, ומקוזזת חלקית את האימפדנס של רשת ה-RC, ומייצרת בערך גיין קבוע על טווח תדרים רחב יותר, ולכן משפרת את רוחב הפס. ניתן לראות גם לפי פונקציית ההעברה של המגבר המשופר, שבעת יש לה עוד אפס ועוד קוטב ביחס לזו של המעגל הראשון.

$$A'_v(\omega) = \frac{V'_{out}}{V_{in}} = -g_m \cdot \frac{R_L + j\omega L}{\left(1 + \frac{R_L}{R}\right) + j\omega \left(\frac{L}{R + R_L C}\right) - \omega^2 LC}$$

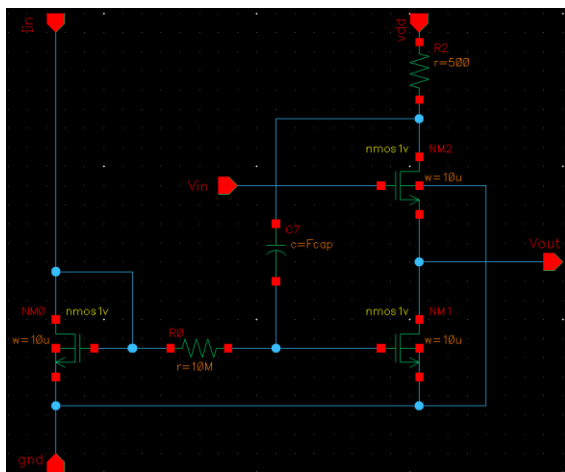
צריך לשים לב לכך ש- $R_L$  צריך להיות בטווח מסוים עבור מעבר של אות נמוך. כמו כן גיין ה-DC במעגל יורד בפקטור של  $R_L$  מהגיין המקורי.

מפרט

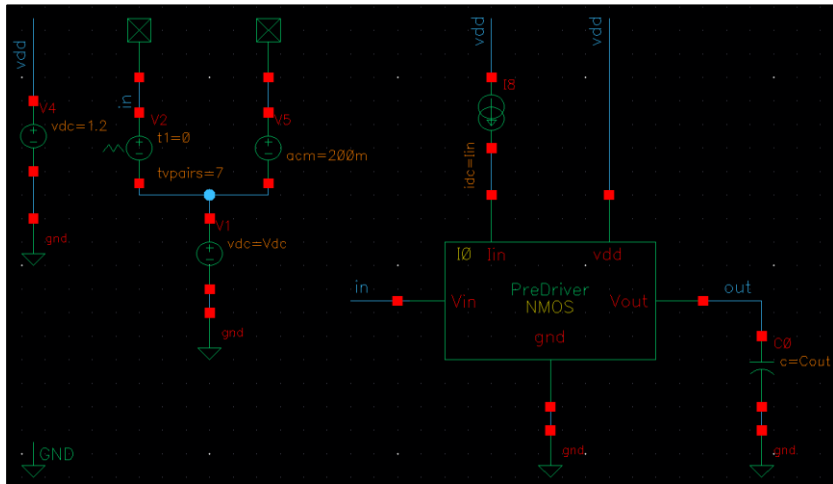
	min	max	Units
Supply voltage	1.14	1.26	[V]
Output voltage	1.14	1.26	[ $V_{pp}$ ]
Power	-	15	[mW]
BW	6	7	[GHz]
Temperature	0	110	[°C]
Random Jitter	-	600	[fs]
SNR	-30	-	[dB]
Input capacitance	0.19	0.21	[pF]
Swing	300	400	[mV]
output capacitance	0.15	0.25	[pF]

## Pre-Driver NMOS

שרטוט



מעגל בדיקה



## 1. DC Response

### • Saturation

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Vdsat	Filter	Filter	Filter	Filter
Parameters: Fcap=0						
1	project:preDrive...	Vdsat_M0:13	181.5m	< v("I0.NM0:vds"...		pass
1	project:preDrive...	Vdsat_M20:33	170.1m	< v("I0.NM1:vds"...		pass
1	project:preDrive...	Vdsat_M100:113	169m	< v("I0.NM2:vds"...		pass

### • DC Output Voltage

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	DC	Filter	Filter	Filter	Filter
Parameters: Fcap=0						
1	project:preDrive...	DC_outputVoltage	329.5m			

### • Power

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Power	Filter	Filter	Filter	Filter
Parameters: Fcap=0						
1	project:preDrive...	Power	12.96m	< 15m		pass

### • Rout

ro_M1	884.1
ro_M2	851.8
gm_M2	6.784m

$$R_{out} = \frac{r_{o\_M2} + R_2}{1 + g_{m\_M2} \cdot r_{o\_M2}} \parallel r_{o\_M1} \approx 162.7 \Omega$$

$$R_2 = 500 \Omega$$

## 2. AC Response

### • Band width

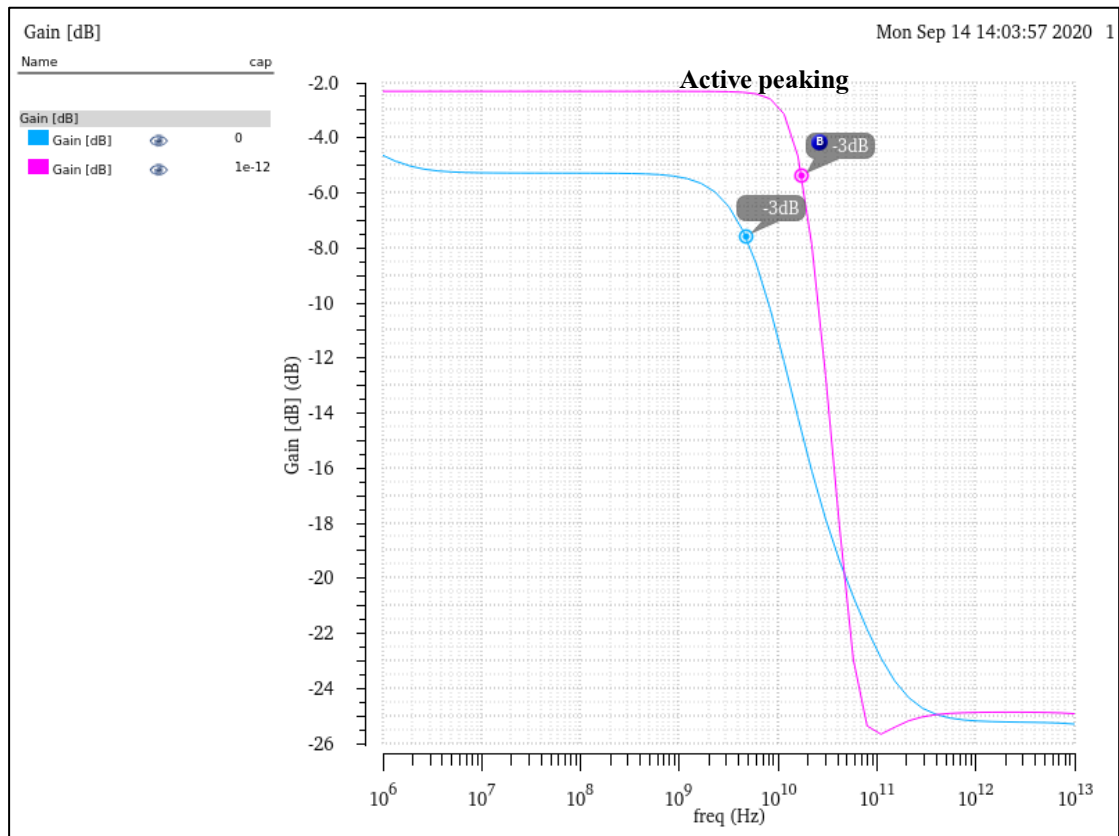
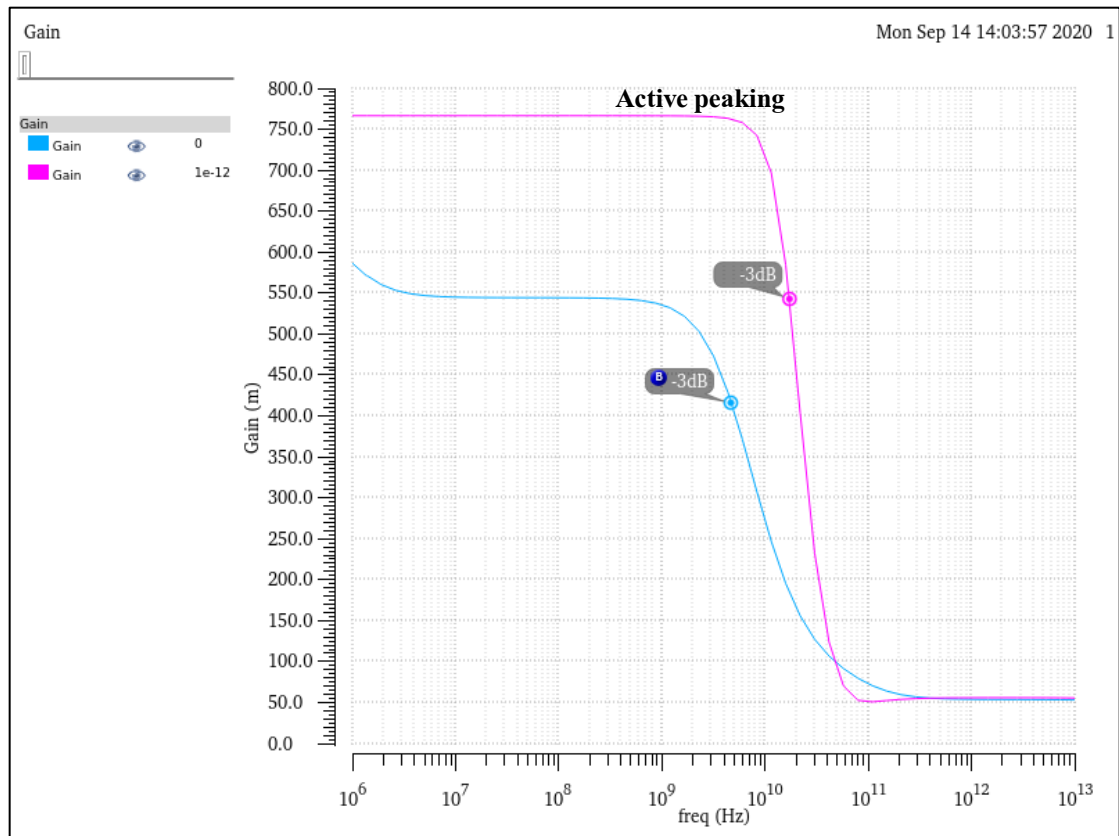
Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	bandwidth	Filter	Filter	Filter	Filter
Parameters: cap=0						
1	project:preDrive...	bandwidth(Gain 3 "low")	4.758G	range 5G 8G		near
Parameters: cap=1p						
2	project:preDrive...	bandwidth(Gain 3 "low")	17.25G	range 5G 8G		fail

שורה 1 ללא active peaking.

שורה 2 עם active peaking, מתקבל רחוב סרט גדול יותר.

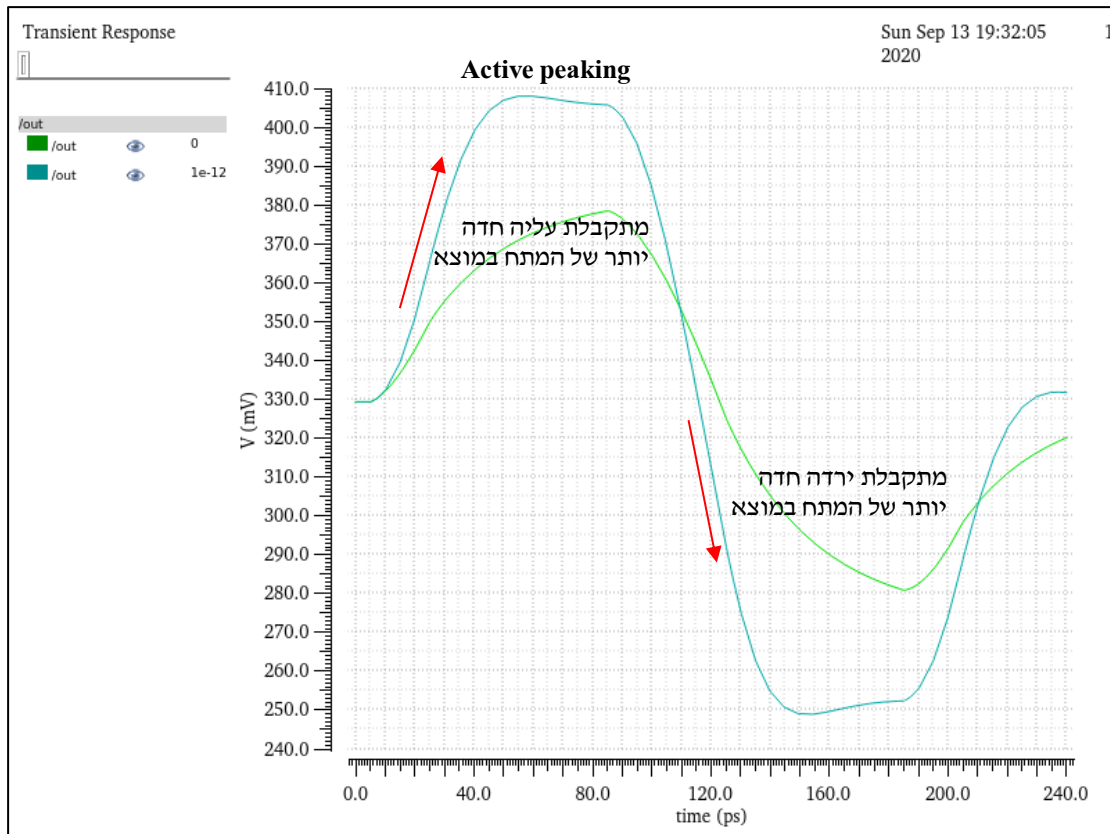
רוחב הסרט חורג מהגדול הנדרש במפרט, כיוון שדרגה זו היא חלק משרשת של דרגות שחלקן בעלות רוחב צר מהרוחב סרט של דרגה זו, רוחב הסרט במוצא יעמוד בדרישות.

- Gain

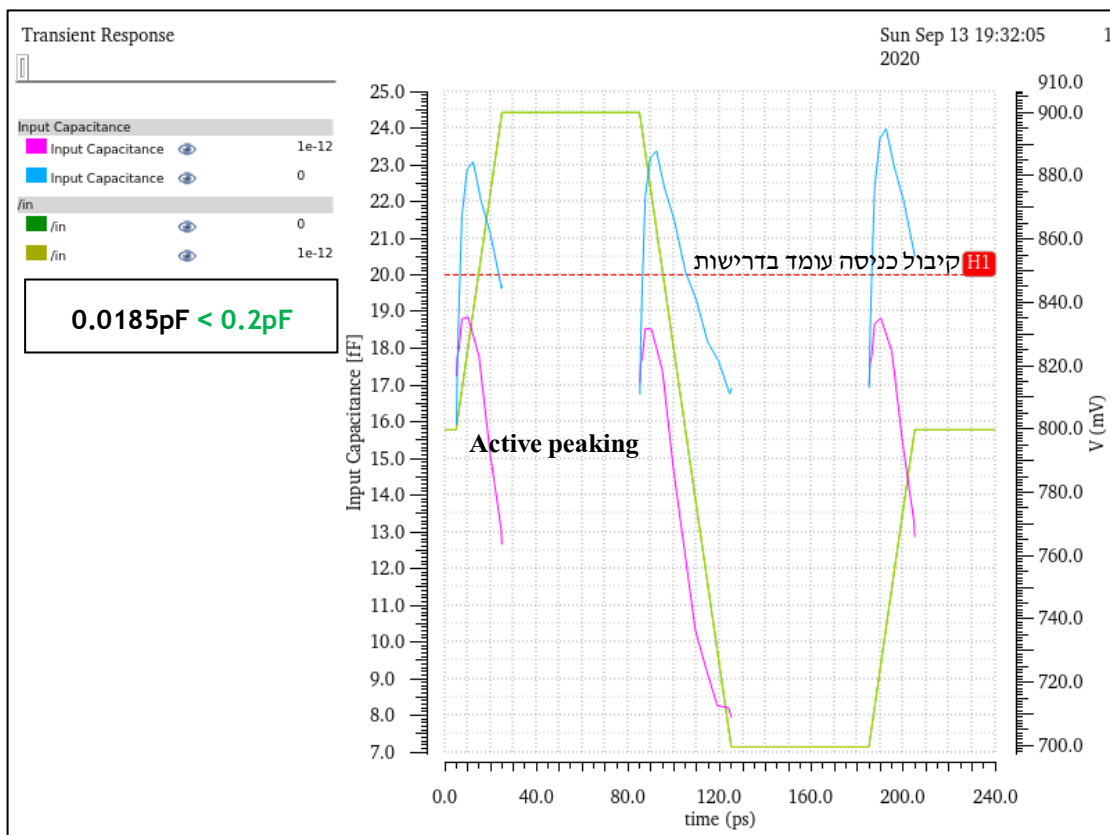


### 3. Transient Response

- plot

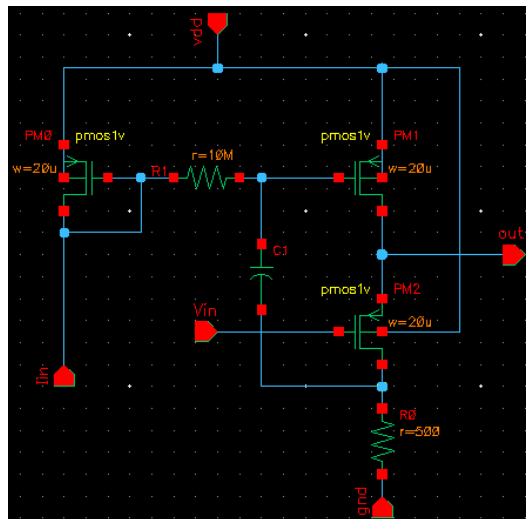


- **Input Capacitance**

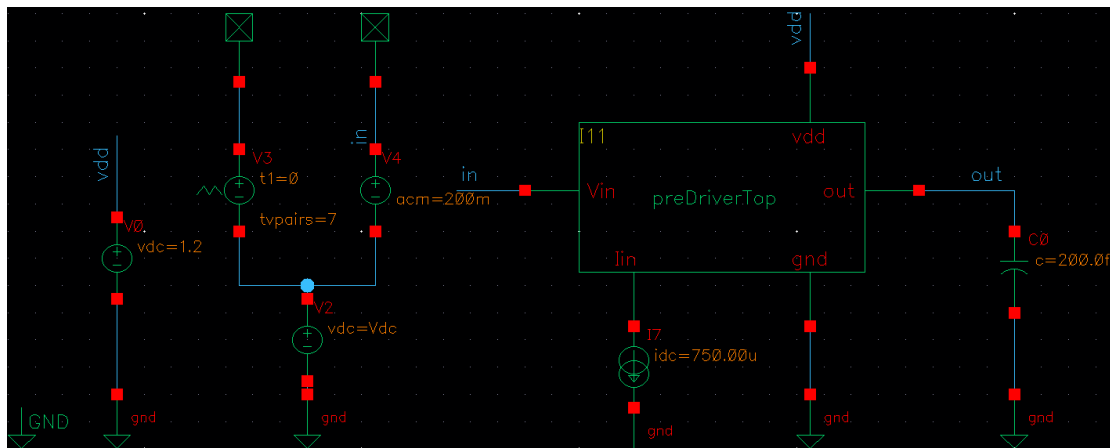


# PMOS Pre-Driver

Draw



Test bench



## 1. DC Response

### • Saturation

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	vdsat	Filter	Filter	Filter	Filter
Parameters: Pcap=0						
1	project:preDrive...	Vdsat_M0	-174.1m	> v("I11.PM0:vds...		pass
1	project:preDrive...	Vdsat_M1	-170m	> v("I11.PM1:vds...		pass
1	project:preDrive...	Vdsat_M2	-180.3m	> v("I11.PM2:vds...		pass

### • DC Output Voltage

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Vout	Filter	Filter	Filter	Filter
Parameters: Pcap=0						
1	project:preDrive...	Vout_DC	729.8m			



- Power

Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Power	Filter	Filter	Filter	Filter
Parameters: Pcap=0						
1	project:preDrive...	Power	2.275m	< 15m		pass

- Rout

ro_M1	1.53K
ro_M2	1.405K
gm_M2	5.757m

$$R_{out} = \frac{r_{o\_M2} + R_2}{1 + g_{m\_M2} \cdot r_{o\_M2}} \parallel r_{o\_M1} \approx 152 \Omega$$

## 2. AC Response

- Band Width

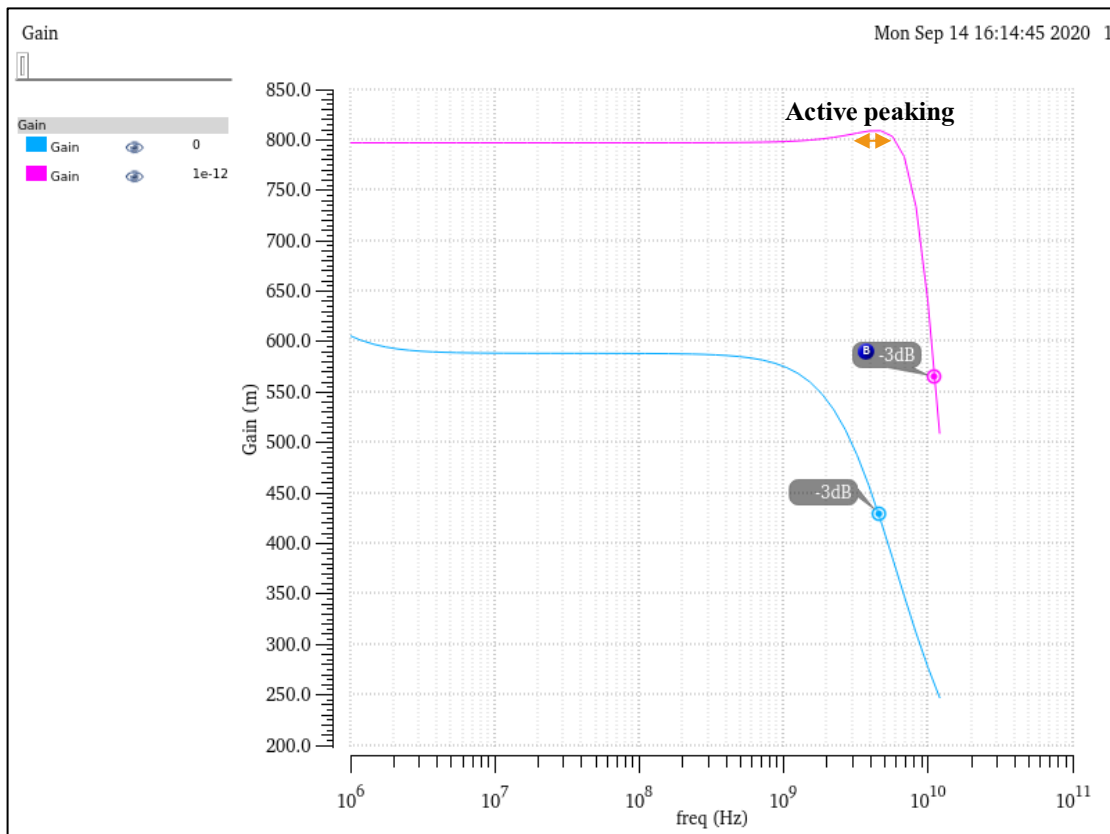
Point	Test	Output	Nominal	Spec	Weight	Pass/Fail
Filter	Filter	Band width	Filter	Filter	Filter	Filter
Parameters: cap=0						
1	project:preDrive...	Band Width	4.557G	range 5G 7G		near
Parameters: cap=1p						
2	project:preDrive...	Band Width	11.15G	range 5G 7G		fail

שורה 1 ללא active peaking

שורה 2 active peaking.

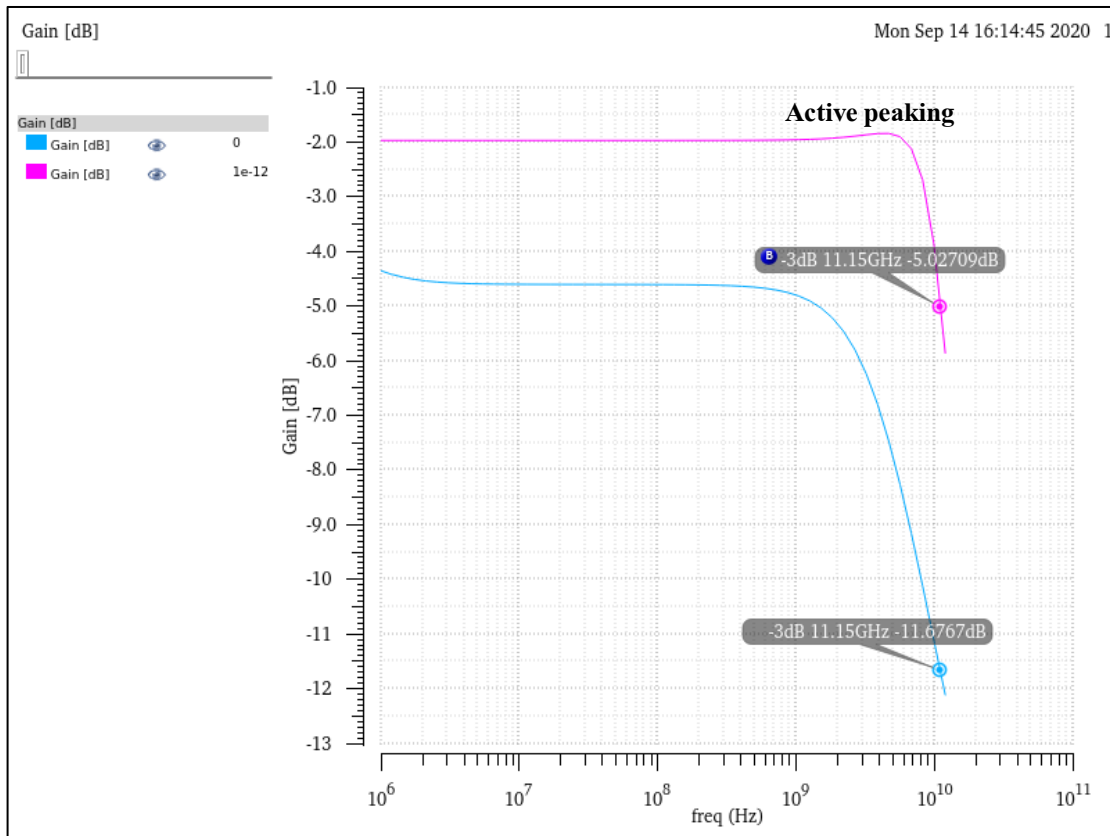
מתקבל רוחב סרט גדול מהמוגדר במפרט. הסבר זהה להסבר שניתן עבור המימוש NMOS.

- Gain

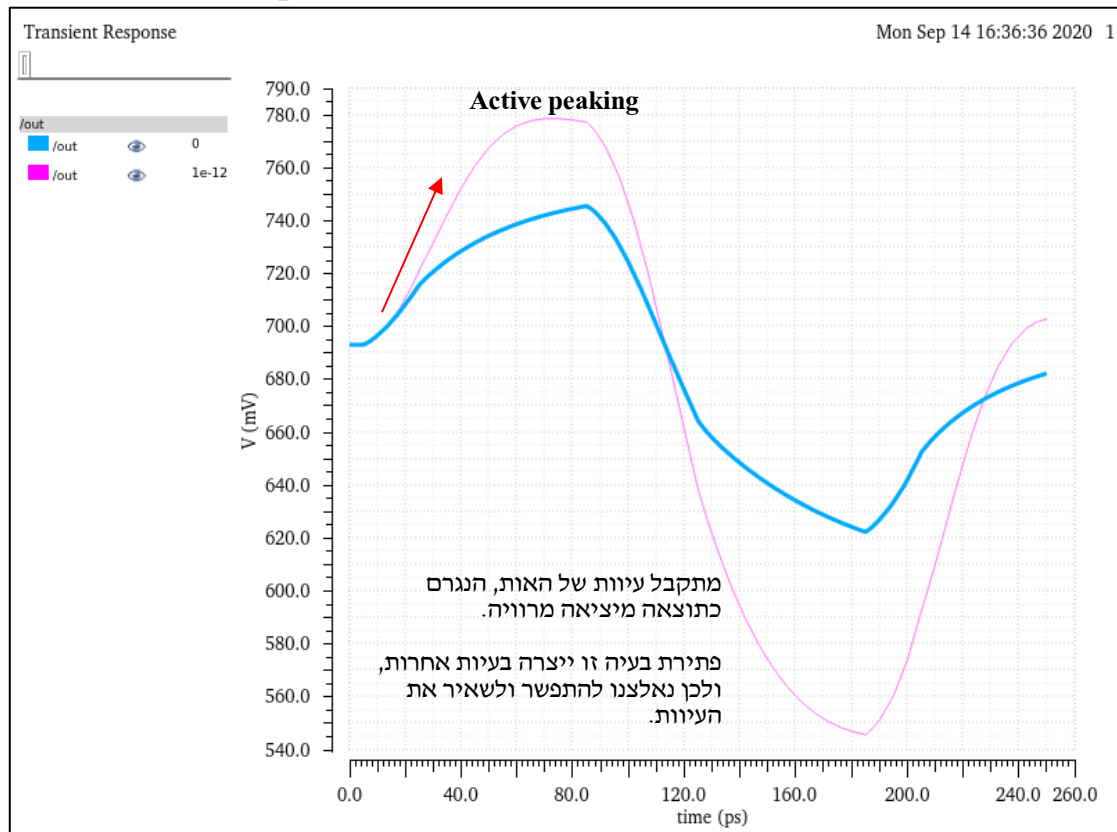


בשרטוט ניתן לראות כיצד פעולות active peaking מגבירה תחום תדרים.

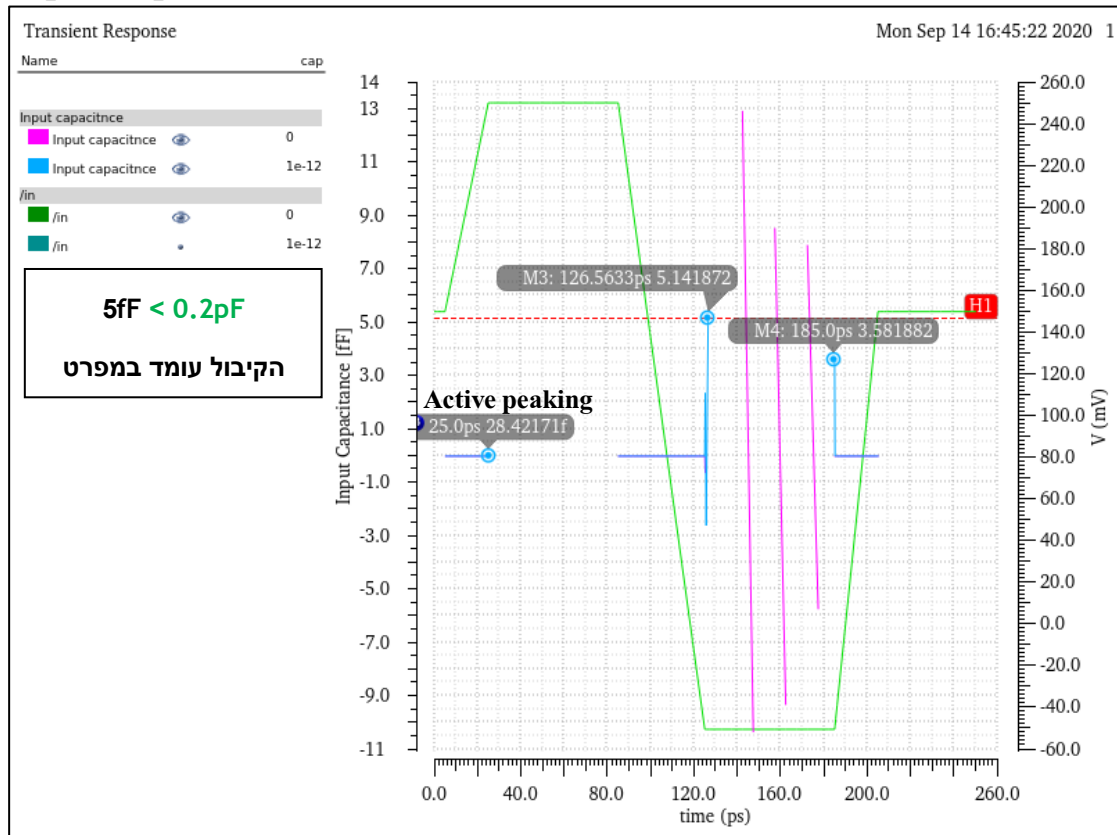
- Gain [dB]



### 3. Transient Response



- Input Capacitance



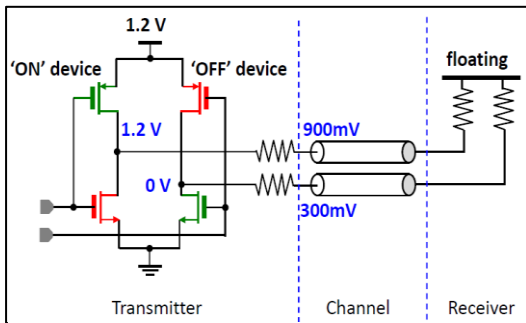
## DRIVER

יחידה זו ממוקמת במוצא המערכת של ה-DAC המשתמשת בטכנולוגיית CMOS, תפקידה לדחוף זרם או מתח שמעובר דרך התווך למקלט.

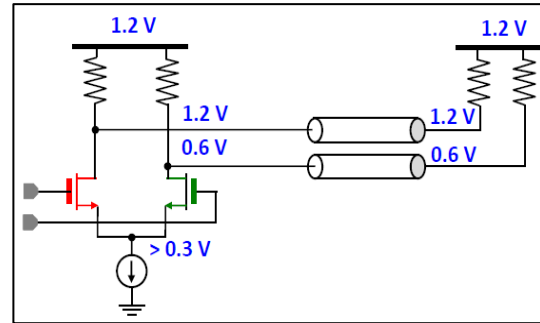
יחידה זו מחולקת לשלושה תתי בלוקים: Pre driver, driver, ESD. נבחן את תתי הבלוקים של יחידה זו ונבחן את עקרון הפעולה שלהם.

### סוגי DRIVERS

קיימים סוגים שונים של דרייברים:



מתאר דרייבר מסוג "Driver mode driver".



מתאר דרייבר מסוג "Current mode".

### עקרון הפעולה של דרייבר מסוג CURRENT MODE DRIVER

מצבי הפעולה של הדרייבר [Transmitter] תמונה מספר ימין, נניח לשם הפשטות כערכי הנגדים של הדרייבר שאופים ל-0.

המערכת עובדת בהצלבה כלומר ייתכן שתי מצבים אפשריים בלבד:

(a) מצב פעולה ראשון – מתח נמוך לטרנזיסטור השמאלי ומתח גבוה לטרנזיסטור ימני:

a. כניסת מתח נמוך אל טרנזיסטור השמאלי גורם לכך שהטרנזיסטור במצב קיטעון.

b. המתח המצוי ביציאה יהיה  $V_{out1} = V_{dd} - IR \cong V_{dd}$

c. כניסת מתח גבוה אל טרנזיסטור ימני גורם לכך שהטרנזיסטור פתוח להולכה.

d. המתח ביציאה נקבע ע"י מקור הזרם, וכתוצאה מכך מתח היציאה תלוי במקור זרם זה, נקרא לו

$V_{out2}$ .

(b) מצב פעולה שני – מתח גבוה לטרנזיסטור הימני ומתח גבוה לטרנזיסטור השמאלי: עובדת באותה תצורה

כמו במצב פעולה ראשון.

היחידה עובדת בתצורה דיפרנציאלית כלומר  $V_{CM} = V_{out1} - V_{out2}$  מאחר שיש 2 מצבי פעולה ניתן להבחין כי

$$V_{pk} = 2V_{cm}$$

### עקרון הפעולה של דרייבר מסוג VOLTAGE MODE DRIVER

נתבונן בתמונה מספר שמאל הבנויה מצמד של טרנזיסטורים מסוג NMOS ו-PMOS בעלי 2 כניסות המחוברים לכל צמד בהתאמה.

המערכת עובדת בהצלבה כלומר ייתכן שני מצבים אפשריים בלבד:

(1) מצב פעולה ראשון [הענף השמאלי בתמונה מספר X]:

a. כניסת מתח אפס אל הטרנזיסטורים הנמצאים בענף השמאלי

b. טרנזיסטור Pmos פתוח להולכה, וטרנזיסטור Nmos במצב קיטעון.

c. המתח המצוי ביציאה מתחיל להיטען עד למתח  $V_{DD} - V_T$

d. כניסת מתח גבוה אל הטרנזיסטורים הנמצאים בענף הימני

- e. טרנזיסטור Pmos במצב קיטעון, וטרנזיסטור Nmos פתוח להולכה.  
f. הזרם ביציאה נפרק לאדמה ולכן מתקבל מתח אפס.

(2) מצב פעולה שני – מתח גבוה לטרנזיסטורים בענף הימני ומתח נמוך לטרנזיסטורים בענף השמאלי: עובדת באותה תצורה כמו במצב פעולה ראשון.

היחידה עובדת בתצורה דיפרנציאלית כלומר  $V_{CM} = V_{out1} - V_{out2}$  מאחר שיש 2 מצבי פעולה ניתן להבחין כי  $V_{pk} = 2V_{cm}$

### מבנה המערכת – Soft switching & Voltage mode Driver

בסעיף זה נסקור את מבנה המערכת של הדרייבר שאיתו בחרנו לעבוד. (המסומן בכחול)  
יחידה זו עובדת בצורה דיפרנציאלית. הבנויה מ-4

כניסות שונות כאשר

הכניסות העליונות טרנזיסטורים

M1, M2 הם המוצא של יחידת ה-pre

driver המורכבת מטרנזיסטורי Pmos

הכניסות התחתונות טרנזיסטורים M3, M4 הם

המוצא של יחידת ה-pre driver התחתון

המורכבת מטרנזיסטורי Nmos

המוצא של יחידה זו מורכבת מ2 יציאות

דיפרנציאליות (בעלי הפרש של VCM) המחוברות לבלוק ה-ESD

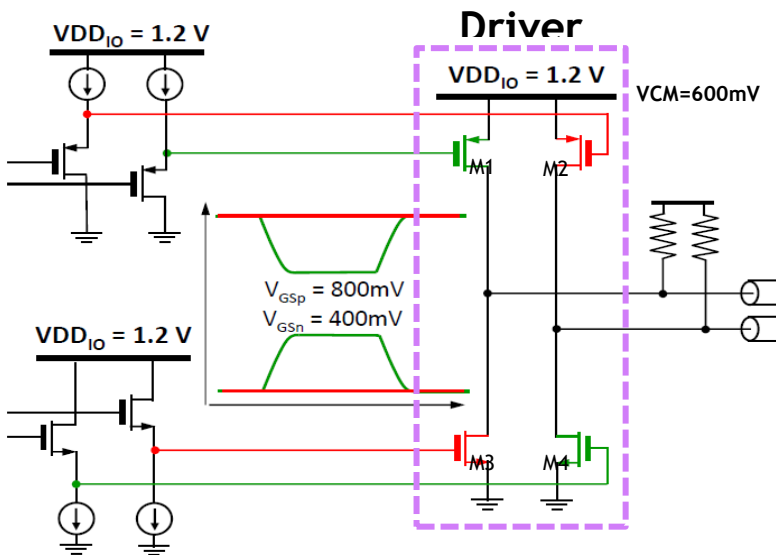
הערה: שימוש בשיטת ה-soft switching

מאפשרת

עבודה סביב נקודת עבודה אופטימלית, לכל

טרנזיסטור NMOS / PMOS.

ובכך מתקבלת לינאריות, תגובה מהירה, ורוחב פס גדול יותר



מתארת את המבנה הכללי של הדרייבר העובד בתצורה של "Soft switching" ואת אופן הפעולה של יחידה זו.

### עקרון הפעולה של ה-DRIVER

לדרייבר יש 2 מצבי פעולה, נדגים את הצורה הבסיסית ביותר עבור מתחי כניסה:  $V_{low} = 0$   $V_{high} = 1.2$   
(3) מצב פעולה ראשון [הענף השמאלי בתמונה מספר X]:

- כניסת מתח אפס אל טרנזיסטור M1 ואל טרנזיסטור M3 מיציאות של ה-pre driver.
- טרנזיסטור M1 פתוח להולכה, וטרנזיסטור M3 במצב קיטעון.
- המתח המצוי ביציאה מתחיל להיטען עד למתח  $V_{DD} - V_T$ .
- כניסת מתח גבוה אל טרנזיסטור M2 ואל טרנזיסטור M4 מיציאות של ה-pre driver.
- טרנזיסטור M1 במצב קיטעון, וטרנזיסטור M4 פתוח להולכה.
- המתח המצוי ביציאה נפרק לאדמה ומתקבל מתח אפס.

(4) מצב פעולה שני: [ענף ימני בתמונה מספר X]: עובד בצורה זהה למצב פעולה ראשון, רק שעבור כניסות

מתח אל הטרנזיסטורים יהיו הפוכות אחת מהשנייה. כלומר, כניסת מתח גבוה עבור טרנזיסטור M1

וטרנזיסטור M3, כניסת מתח נמוך אל טרנזיסטור M2 ואל טרנזיסטור M4

כך שבסה"כ המערכת עובדת בהצלחה ובצורה דיפרנציאלית כאשר הפרשי מתחים בין היציאות של

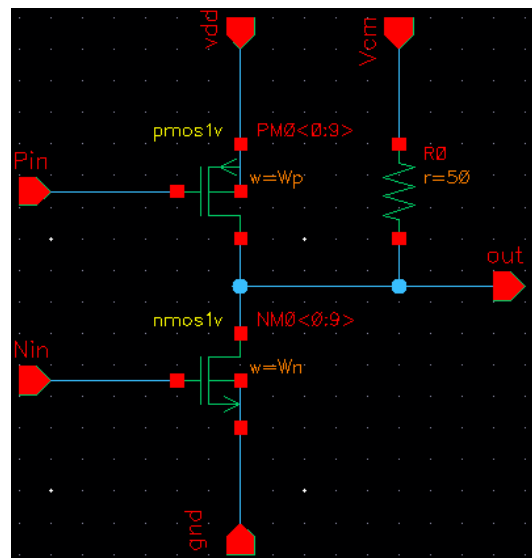
הדרייבר יהיה בעלי מתח  $V_{CM}$

### בדיקת התכונות ונכונות לוגית של דרייבר מסוג Soft switching & Voltage mode Driver

ההבדלים בין סוגי DRIVERS

<u>Voltage mode Driver</u>	<u>Current mode driver</u>	
צריכת הספק נמוכה יותר מאשר Current mode	צריכת הספק גבוה בעקבות מקור זרם.	הספק
	קל יותר לשלוט על התנגדות היציאה	התנגדות יציאה

### שרטוט



בדיקות הדרייבר נעשות יחד עם ESD ו-pre-Driver, במהלך האופטימוזציה, במשך הספר.

### ESD

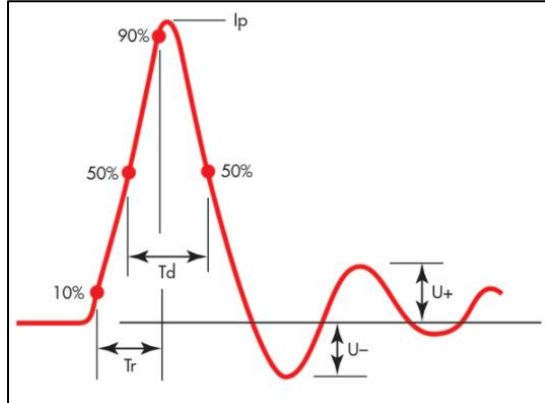
הסבר : מעגל הפרוטקשן ESD נועד להגן על כלל המעגל מנזקי ESD , ע"י פריקת זרם באופן בטוח.

עקרון פעולה מעגל ESD :

- המעגל נמצא במוצא המשדר, וקולט ממנו את הזרם/מתח ביציאה של הדרייבר.
- הזרם עובר דרך משרן ראשון ונגד טעינה, כאשר המשרן משמש בעצמו להגנת ESD על המעגל. ההגנה של המשרן מתבטאת בכך שהוא מתאם את העכבה של הדיודות עם שאר המעגל.
- על הקו שדרכו הזרם עובר למוצא יש צבת הגנה של ESD , שכל עוד המתח על הקו נמצא ברמת מתח מסוימת, הצבת תאפשר לזרם לזרום בו , וברגע שתהיה עלייה מעל מתח מוגדר מראש (כלומר מתרחש אירוע ESD) , הדיודות בצבת יפתחו ויטפלו בזרם העודף. ברגע שהמתח ירד מתחת למתח הסף , הדיודות יסגרו והזרם ימשיך לעבור במעגל.
- הזרם יעבור בסליל נוסף שיתאם בין העכבה של הדיודות ליציאה מהמעגל,
- בכך ימנע נזק למעגל.

מודל התנהגותי :

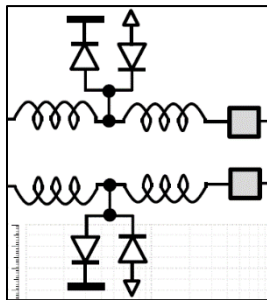
כאשר מתבצעת פריקת ESD לפי ה charge device model , מצופה לראות במוצא המעגל פיק של זרם בגובה כמה עשרות אמפר, שדועך במהירות בפרק זמן של כמה ננו שניות.



charge device model ESD PROTECTION בסימולציית

פריקה של הקפיצה בזרם אפסי מראה שהמעגל מטפל באירוע ESD בצורה יעילה ומהירה ובכך מונע נזק למעגל. אפשרויות מימוש ועיצוב סכמטי : ישנן שתי גישות עיקריות להגנת ESD במעגל : שיפור של הרכיבים הלא מוגנים במעגל, או הוספת רכיבים ייעודיים על מנת להסיט את המטען ולרסן את המטען. רוב המעגלים משתמשים בשילוב של שני השיטות הנ"ל. במימוש שעליו התבססנו מדובר על השיטה השנייה, הוספת רכיבים ייעודיים למעגל. אלמנט הגנה טוב ימזער את המתח הנכנס/יוצא מהמעגל, וכן יהיה בעל אימפדנס נמוך. זה יאפשר למטען הסטטי להפיק דרך האלמנט ולא דרך המעגל ובכך להגן על המעגל מנזק. אלמנט ההגנה צריך להיות בעל יכולת לטפל במקרים מרובים של ESD תוך כדי שהוא מגן על המעגל וכן לא נהרס בעצמו. אלמנט הגנה כזה הוא מהדק (CLAMP).

ניתן למיין מהדקים לשני סוגים, סטאטי ודינאמי. המהדקים הסטטיים מתאפיינים במתח או זרם יציב. הם מופעלים מעל רמת מתח מסוימת, וכאשר המתח המגיע מהמעגל עובר את המתח הנ"ל, המהדק מוליך זרם עד שהמתח מהמעגל יורד מתחת למתח הסף של המהדק. מהדקים דינאמיים מתאפיינים בתגובה מהירה יותר לשינויי מתח, כאשר הם מופעלים בזמן קצר ביותר לאחר מכן נפרקים לאט, תמיד בזמן קבוע, שנקבע על ידי קבוע RC. יתרונות של מהדקים סטטיים : תופסים פחות מקום בדרך כלל ופחות מורכבים ליישום. חסרונות : יכולים להיות מופעלים בטעות כאשר מסופק מתח למעגל, מה שיגרום לזרם גדול ויציב שיוכל לגרום נזק למעגל.

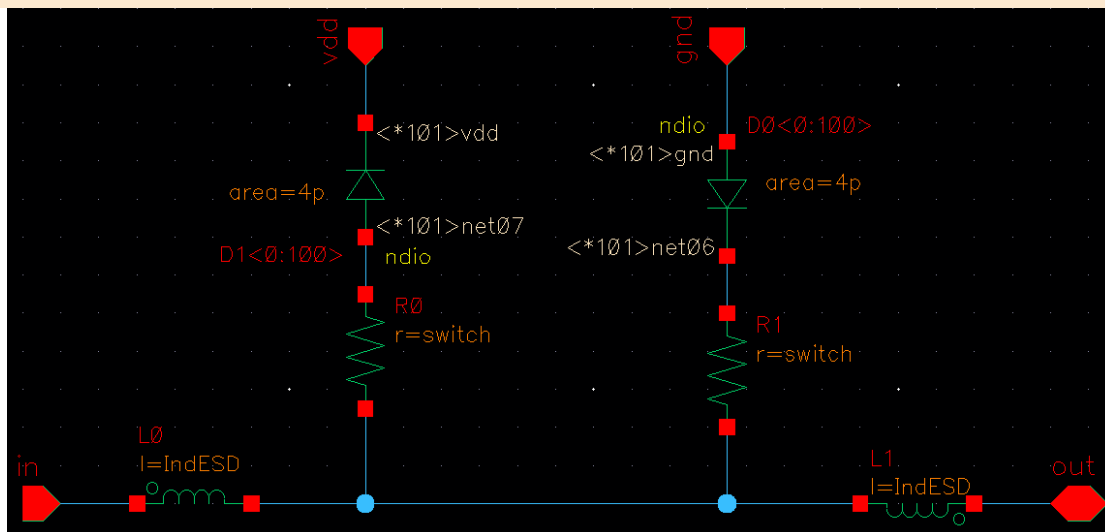


יתרונות של מהדקים דינאמיים : זמן תגובה מהיר יותר, יכולת לטפל באירועי ESD גדולים יותר. חסרונות : יכולים להיות מופעלים בטעות, אפילו על ידי רעש, ואם הם מופעלים בטעות הם יכולים לשבש את פעולת המעגל, וכנראה להרוס אותו. במימוש עליו התבססנו במאמר, ישנו מהדק סטטי בצורת דיודה. דיודה היא אלמנט הגנה בסיסי, עם יתרון של גודל קטן, וכן חסימה של זרם עבור מתח אחורי או שמירה על זרם נמוך בהולכה הפוכה על מנת למזער בזבוז אנרגיה.

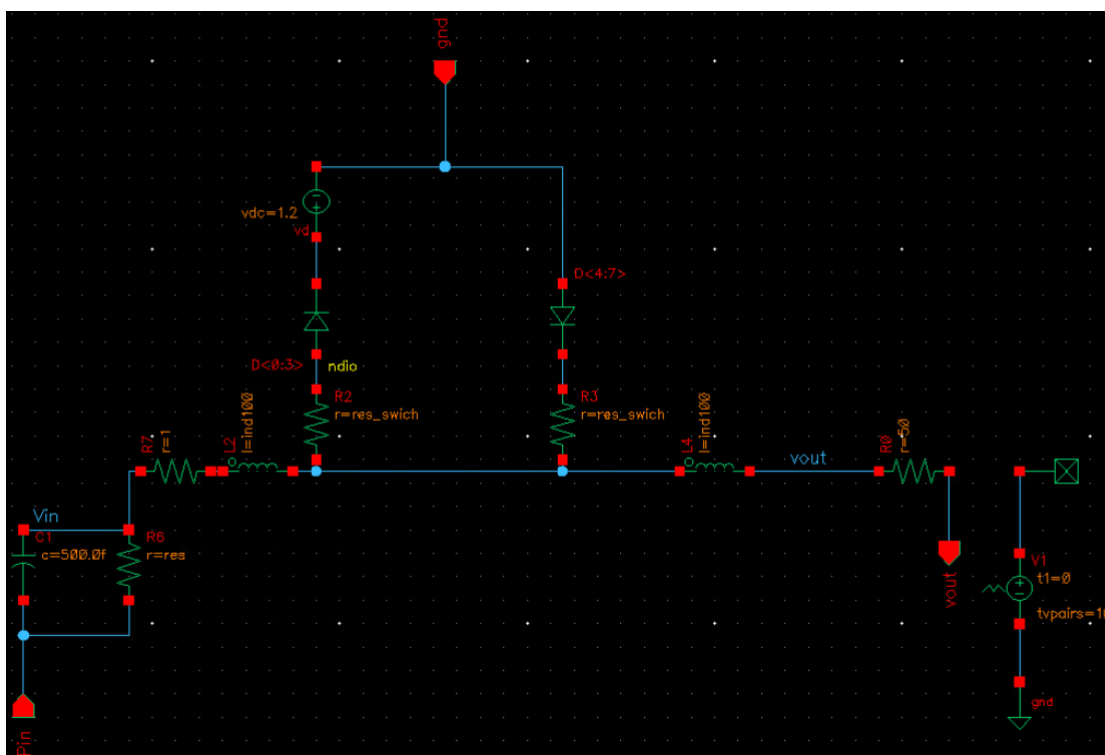
מעגל הגנה ESD כפי שמופיע במאמר

מפרט

	min	max	Units
Supply voltage	1.14	1.26	[V]
Output voltage	0.95	1.05	[V <sub>ppd</sub> ]
Power	-	-	[mW]
BW	6	7	[GHz]
Resistor	99	101	[Ω]
Diode capacitance	285	315	[fF]



## מעגל בדיקה



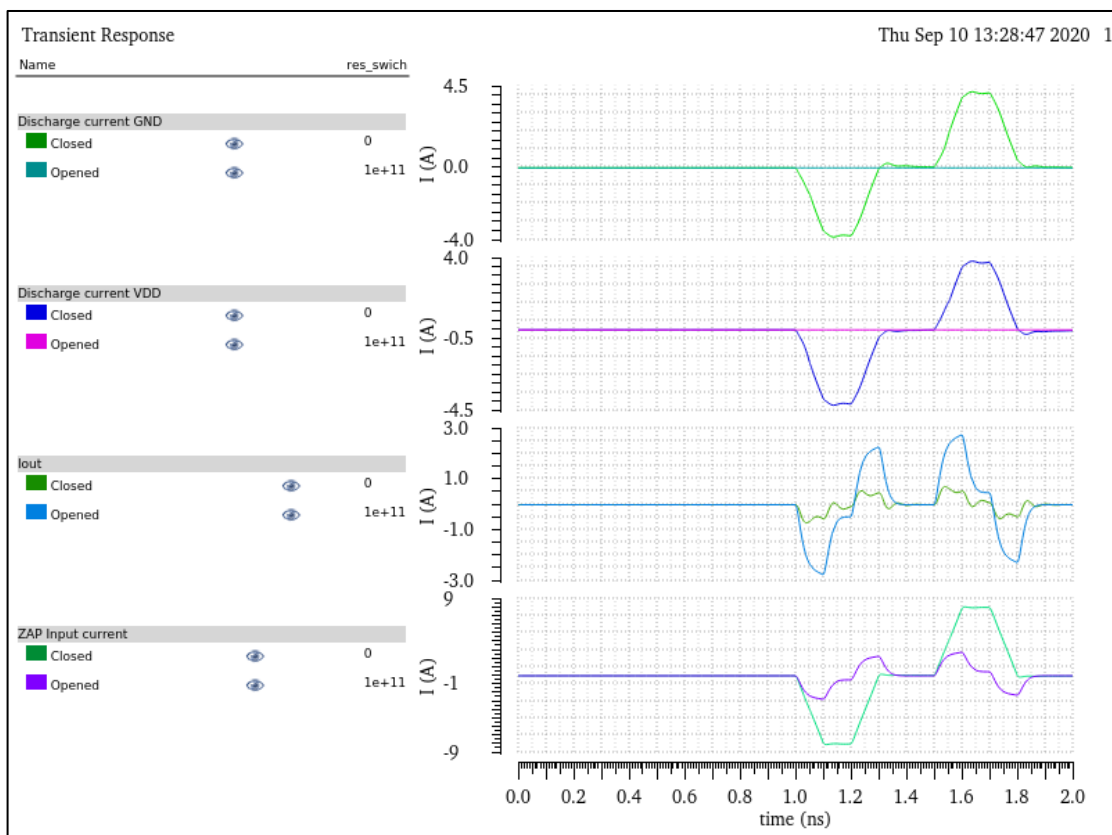
## סימולציות:

- נרצה לראות כי המעגל מקיים את פעולתו, וכן עומד במפרט אשר הוגדר בתחילת הפרויקט.
- נשים לב כי הסימולציות לא מתיישבות בצורה עקבית עם המפרט שהוגדר, יש הגעה לרוחב פס הרצוי ויש הגעה לקיבול הדיודות הרצוי, אך לא עבור מספר אחיד של דיודות.
- עבור אופן פעולה:
- ביצוע של סימולציית טרנזיאנט עם מקור פולסים שמדמה את הקלט, מגיע מהדרייבר לטובת בדיקת אופן פעולת המעגל.



- לבחינה, למעגל הוכנסו שני פולסים (זאפים) בעלי מתח של 500V ולאחר מכן הוכנסו למעגל שני פולסים בגובה 500V

## בדיקת ESD

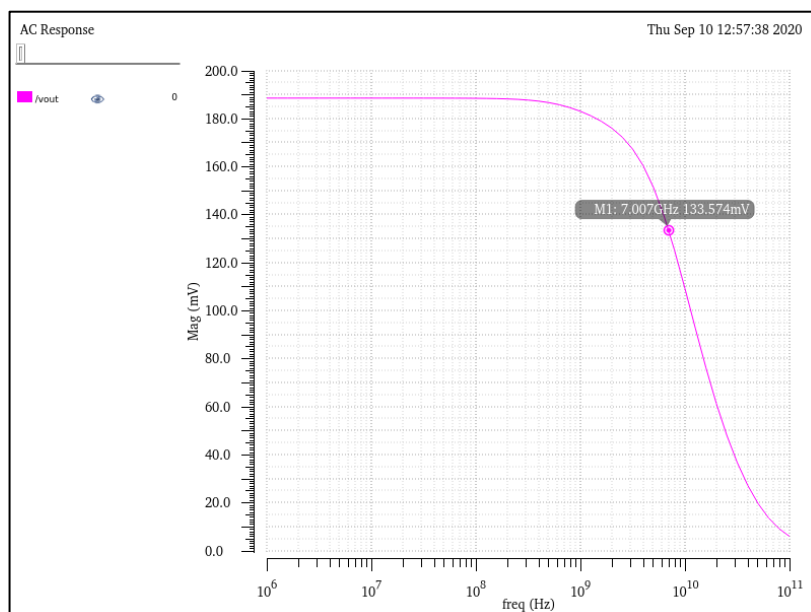


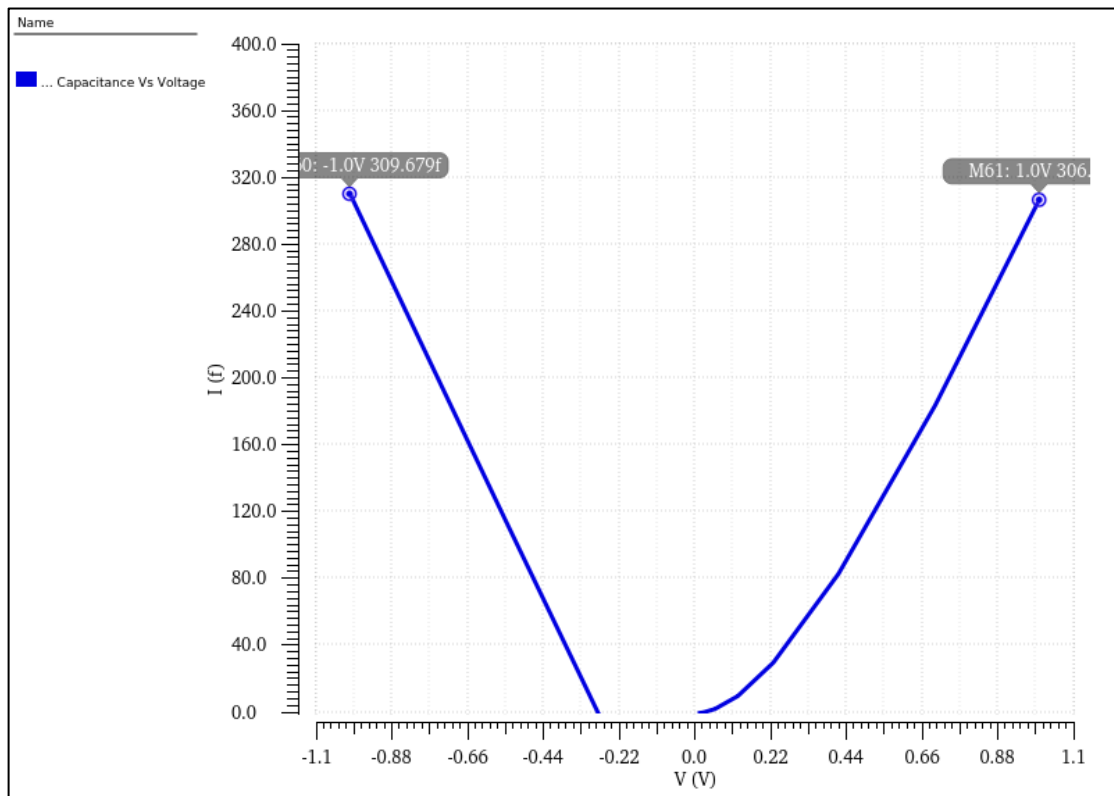
סריקת טרנזיאנט על הגגדים במעגל, עבור שתי התנגדויות שונות, זרם מול זמן.

- ביצוע של סימולציית AC לוודאו רוחב בפס במוצא ESD על מנת לראות שהוא עומד בדרישות המעגל.

גרף 2 : גרף סימולציית AC, מתח מול תדר למציאת רוחב פס.

- ביצוע של סימולציית טרנזיט על מתח כדי למצוא את קיבול הדיודות במעגל ולראות שהוא עומד בדרישות המפרט.





גרף 3 : זרם מול גזרת של מתח לפי זמן.

ניתוח תוצאות , מסקנות והשוואה לפתרונות אחרים.

לאחר עריכה של עשרה טסטים שונים אספנו את התוצאות לטבלה והן כדלהלן :

Number of diodes Per side	Bandwidth 0	I out	Capacitance
1	20.91G	2.654A	254.75fF – 252f.357f
2	20.73G	2.579A	262.fF – 267.35fF
5	20.15G	2.381A	311.553fF – 284.206fF
10	19.42G	2.091A	318.653fF, –382fF
25	16.59G	1.555A	407fF – 579fF
50	13.05G	1.2A	517.058fF  – 1057fF
75	10.57G	0.991A	592.98fF – 643.97fF
100	8.798G	0.849A	647.46fF – 1210.6fF

136	7.007G	0.707A	$703.6fF - 1357fF$
200	5.037G	0.547 A	$765.76fF - 1461.7fF$

זיהינו כי קיים קשר ישיר בין מספר הדיודות לרוחב הפס, וככל שהוספנו דיודות למעגל, כך רוחב הפס הלך והצטמצם בהתאם. מספר הדיודות המירבי שיכלנו לשים במעגל מבלי לפגוע ברוחב הפס שלו הינו 272 דיודות, 136 דיודות בכל צד של המעגל.

מגרף אחד ראינו כי המעגל עובד כפי שציפינו. עבור כל פולס ניתן לראות פולס גדול של זרם, שנמשך במשך כמה ננו שניות ולאחר מכן הזרם יורד לאזור האפס אמפר. הכנסנו שני פולסים וקיבלו שני פולסים של זרם.

מהגרף השני ראינו כי עבור 136 דיודות בכל צד, המעגל מצליח לספק רוחב פס של  $7GHz$ , כלומר המעגל עומד בדרישות המפרט.

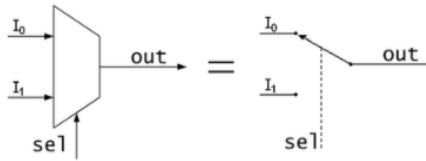
Band width	expr	bandwidth(VF"/vout") 3 "low")	7.001G		
------------	------	-------------------------------	--------	--	--

מהגרף השלישי ניתן לראות כי קיבול הדיודות עומד בדרישת המפרט ואיננו חורג מהערך המקסימלי של  $315fF$ .

## 1. יחידת המרבב – Mux

### 1.1 מבוא

המרבב (Mux) הוא התקן אלקטרוני הבוחר את אחת הכניסות מערוצי הקלט ( $I_0, I_1$ ) ומעביר אותה למוצא (Out), בהתאם לערך הכניסות הבקרה (sel).



תמונה מספר 1 – מרבב פשוט, בעל 2 כניסות ויציאה בודדת

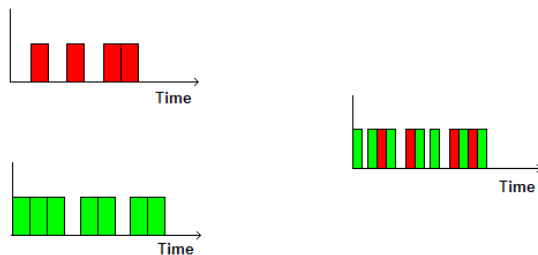
ניתן לחשוב עליו כמתג, כפי שניתן לראות בתמונה, כאשר בכל פעם בוחר ערוץ יחיד בין הכניסות השונות.

### ישנם סוגים שונים של מרבבים שאחד מהם הוא המרבב מסוג TDM

כלומר ריבוב חלוקת זמן (Time-division multiplexing)

מרבב זה מחלק את הזמן לחלונות זמן קצרים, כאשר כל חלון זמן מוקדש להעברה של המידע שהתקבל בערוץ כניסה מסוים. המרבב צובר את המידע המגיע מכל ערוץ וערוץ, ומוציא את מידע שנצבר מערוץ-כניסה מסוים רק כשמגיע הזמן המוקדש לאותו ערוץ-כניסה.

ניתן לראות זאת באיור הבא:



בכניסות של המux מתקבל שני מקורות שונים (הירוק והאדום), כאשר הנתונים עוברים בקצב לא מתואם.

ניתן לראות מצד ימין שני מקורות מרובבים יחדיו ב-TDM על ציר זמן אחד.

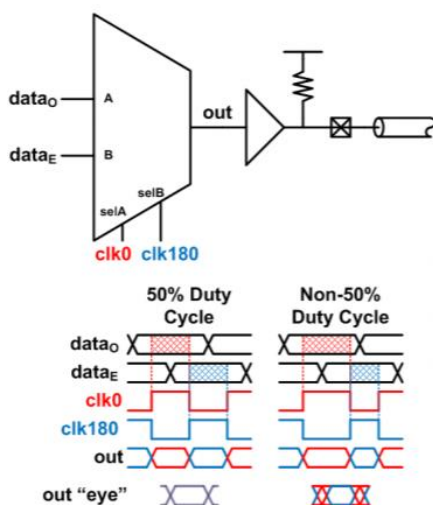
תמונה מספר 1.1 – מרבב חלוקת זמן (TDM)

### טכנולוגית Half – rate Mux

בתצורה הרגילה, של Full – rate המהירות מוגבלת ע"י התדר המקסימלי של השעון.

כדי להגביר את קצב המידע, ניתן במספר פאזות של שעון.

בטכנולוגית Half-rate משתמשים ב-2 פאזות של שעון בנפרד כפי שניתן לראות בתמונה. [אם נתבונן בקו האדום המקווקו]



תמונה מספר 1.2 – מרבב העובד בטכנולוגית 0.5Rate

עבור מחזור של שעון בודד, פעם אחת יש עברת נתונים מ  $data_o$  כאשר  $clk_o$  נמצא בעליית שעון  $clk180$  בירידה. פעם אחרת, יש העברת נתונים מ  $data_e$  כאשר  $clk_o$  נמצא בירידה שעון  $clk180$  בעלייה. בכך, הצלחנו לנצל את השעון לבצע שתי העברות נתונים במחזור שעון יחיד. מתקבל ביציאה, האות המרובב של שתי הכניסות המתוזמן על פי השעון [TDM]

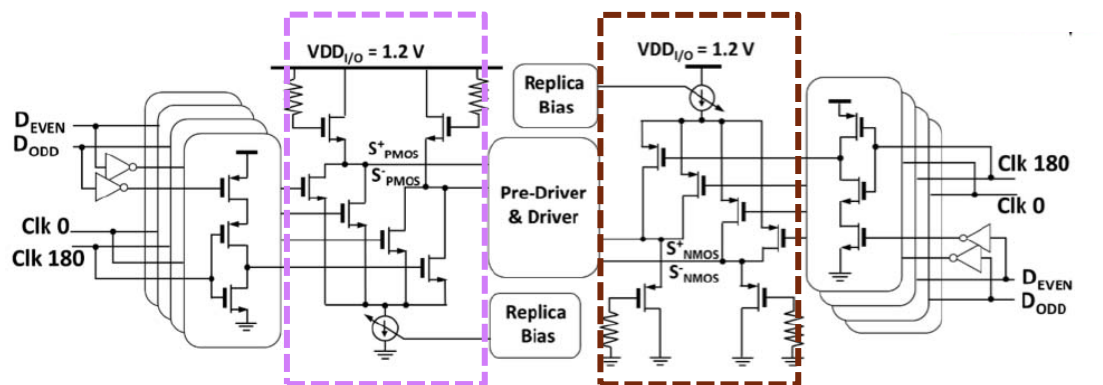
## 1.2 יחידת המרבב (2:1MUX) במאמר ותפקידו במעגל

המרבב שממומש במאמר ממומש בטכנולוגית  $Cmos - \frac{1}{2} Rate$  המשלב

האתגר שהיו צריכים להתמודד איתנו הוא הגבלת המהירות של השעון במעגל.

המטרה היא העברת המידע המתקבל מיחידות הקודמות (DSP ומרבב 2:64) אל הדרייבר, במהירות כפולה ממהירות השעון.

תצורת המימוש שבחרו בו היא מהתצורה הבאה:



תמונה מספר 1.3 – מרבב העובד בטכנולוגית  $0.5Rate$

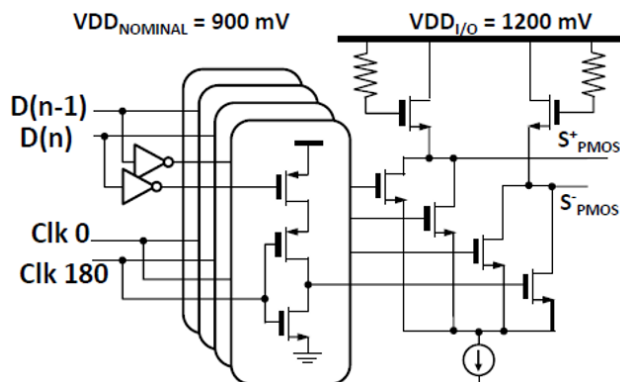
ניתן להבחין שיש שתי יחידות האחת מתצורה NMOS (המופיעה במסגרות הכחולה) המתאימה לכניסות של ה-Pmos של ה-Pre driver ובאופן הפוך עבור היחידה (המופיעה במסגרת השחורה).

## 1.3 אופן הפעולה (2:1MUX)

כדי להבין את אופן הפעולה של המערכת נתבונן ביחידת הNMOS:

### 1) נתבונן החלק הימני (יחידת 1)

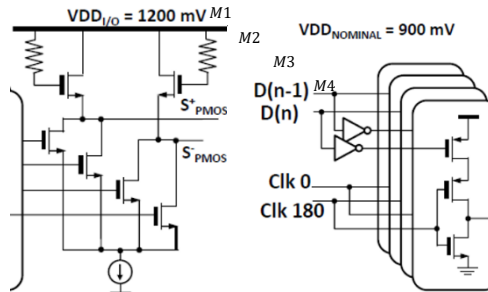
- לשם הפשטות: נניח שלכל הטרנזיסטורים אשר מחוברים למקור זרם, בעלי מתח  $V_g = 0$
- הטרנזיסטורים התחתונים נמצאים במצב קיטעון.



תמונה מספר 1.4 – מרבב העובד בטכנולוגית  $0.5Rate$  עם Level

- נתבונן בטרנזיסטורים העליונים המחוברים למתח  $V = 1200\text{mV}$
- נשים לב לשתי דברים:

- הטרנזיסטורים מושכים את האות כלפי מעלה
- נמצאים ברוויה ומגדלים את



רוחב הסרט (*Active*)

- תפקיד הטרנזיסטורים התחתונים הוא למשוך את האות כלפי מטה.

תמונה מספר 1.6 – יחידת

תמונה מספר 1.5 – יח' 1

Level shifter\* – ניתן לראות כמתח

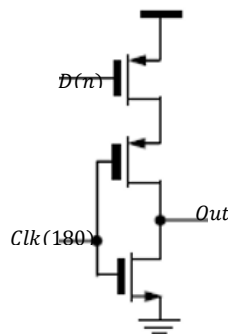
ההזנה של יחידת המהפך נמוך מאשר היחידה הימנית, בכך נחסוך בהספק (כי הרכיבים צורכים מתח נמוך מאשר המעגל השני).

## (2) נתבונן החלק השמאלי (יחידת המהפך)

היחידה מורכבת ממהפך - 2 טרנזיסטורים

התחתונים וטרנזיסטור העליון המשמש כמתח הזנה למהפך, כאשר הטרנזיסטור בהולכה.

ניתן להבחין בתמונה מספר 1.6 שישנם 4 מצבים שונים עבור רכיב זה (4 כניסות שונות ל-PMOS העליון). נבחר להתבונן ביחידה הבאה:



## פעולת היחידה:

- עבור מתח  $D(n)$  נמוך:

- ה-PMOS פתוח מכאן המהפך מקבל מתח הזנה.
- עבור ירידת שעון ב- $Clk$  נקבל ביציאה עליית שעון.
- עבור עליית שעון ב- $Clk$  נקבל ביציאה ירידת שעון.
- כלומר בסה"כ נקבל שהאות ביציאה הוא תמונה הפוכה של האות בכניסה.

- עבור מתח  $D(n)$  גבוה:

- ה-PMOS פתוח במצב קיטעון.
- מכאן, המהפך לא אקבל מתח הזנה, ולכן לא יהפוך את אות הכניסה ( $Out! = \overline{Clk}$ ).

(3) כאשר נחבר את שתי היחידות (תמונה מס' 1.4) נקבל את *Mux – half rate* כפי שהצגנו

בתמונה מס' 1.2.

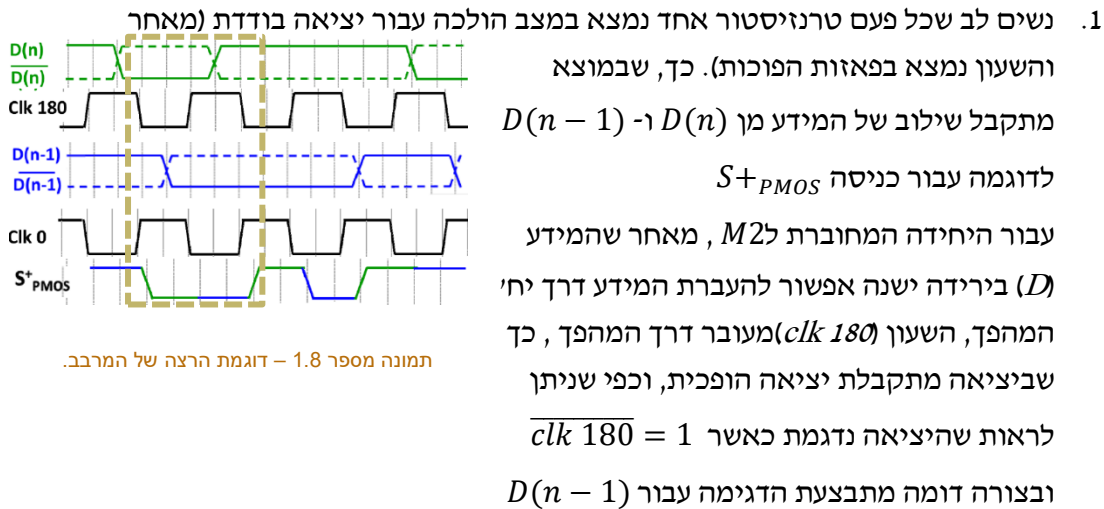
אופן הפעולה של כלל המעגל

- ישנם שתי יציאות בלבד  $S+_{PMOS}$  ו-  $S-_{PMOS}$
- כאשר כל יציאה מחוברת לשתי טרנזיסטורים המחוברים ליחידות מהפך בעלי מידע שונה ושעונים שונים

○ לדוגמה עבור כניסה  $S+_{PMOS}$  הכניסה מחוברת לטרנזיסטורים  $M1, M2$  כפי שניתן לראות בתמונה 1.5, טרנזיסטור  $M1$  מחובר ליחידת מהפך כאשר בכניסה

$$Vg_{inverter} = clk(0) \text{ ו- } D(n-1)$$

$$Vg_{inverter} = clk(180) \text{ ו- } D(n)$$

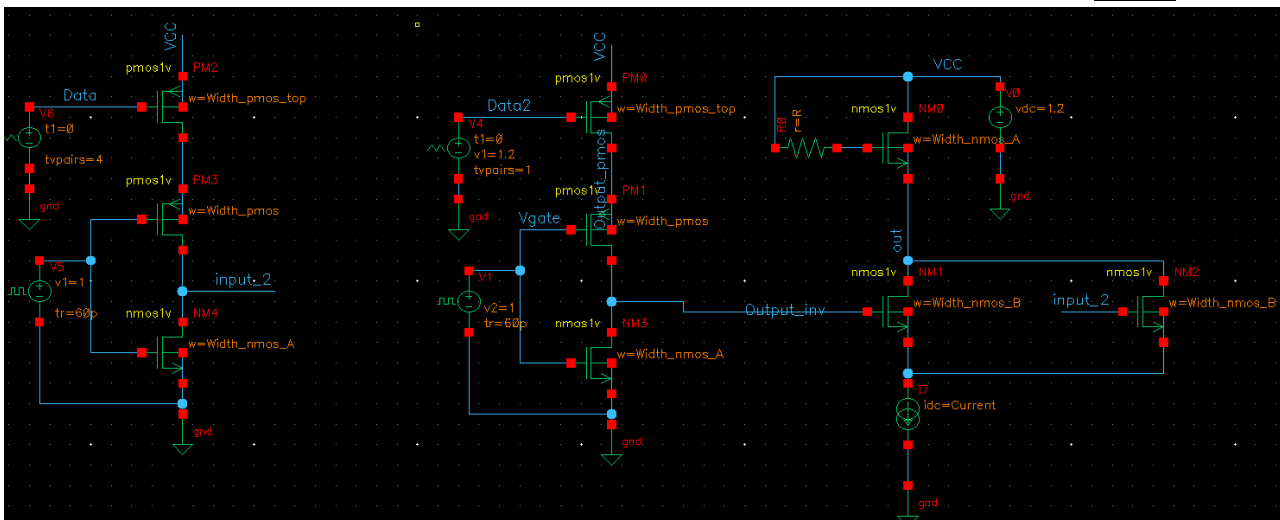


#### 1.4 שרטוט (Mux)

##### 1.4.1 תכנון ראשוני:

את המרבב תכננו בשני אופניים, כאשר התחלנו עם המימוש המוצג במאמר, להלן

##### שרטוט



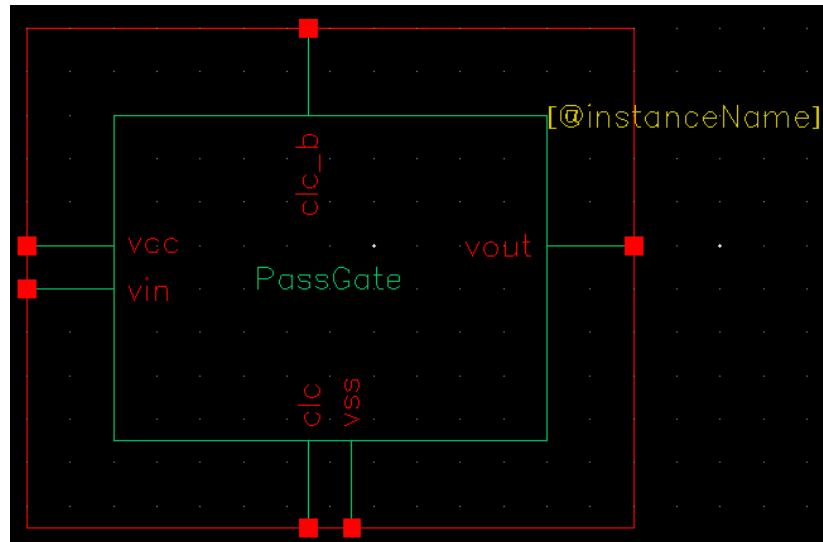
תמונה מספר 1.8 – תכנון ראשוני של יח' המרבב על פי המאמר.

במהלך פגישה עם אריאל, עלתה הצעה לתכנן מרבב המבוסס על  $Pass\ gate$ .

#### 1.4.2 תכנון שני:

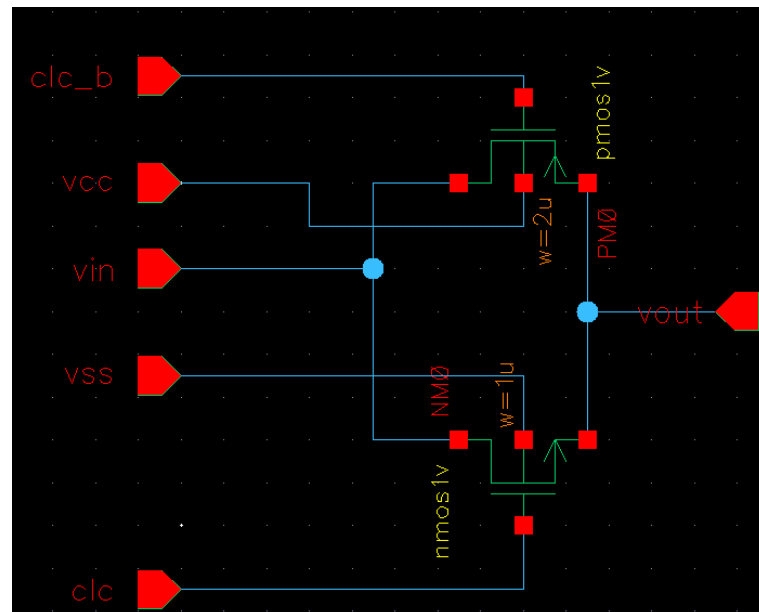
התחלנו בבניית מרבב העובד בתצורה של *Half – rate* בעל 2 כניסות ו-2 יציאות. התשמנו Pass Gate העובד בקומבינציה עם טרנזיסטור PMOS ו-NMOS במקביל, כאשר NMOS עובד בלוגיה טובה עבור מתחים נמוכים ו PMOS עובד בלוגיה טובה עבור מתחים גבוהים.

#### 1. סימבול: של pass gate



תמונה מספר 1.9 – סימבול *pass gate*.

#### 2. סכמה: של pass gaten מוצגת בתמונה הבאה

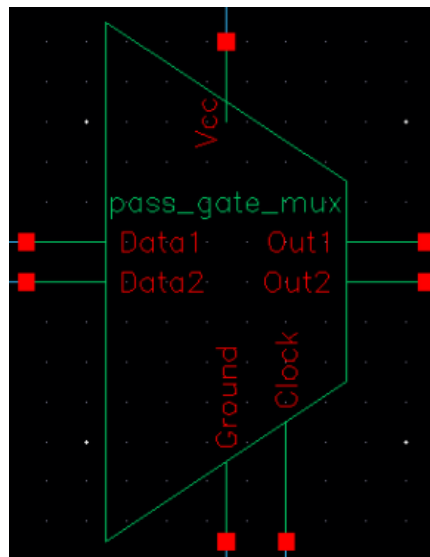


תמונה מספר 1.2.0 – סכמת *pass gate*.

לאחר יצירת ה-pass gate בעזרתו ובעזרת מהפך בנינו את המרבב, ניתן לראות:

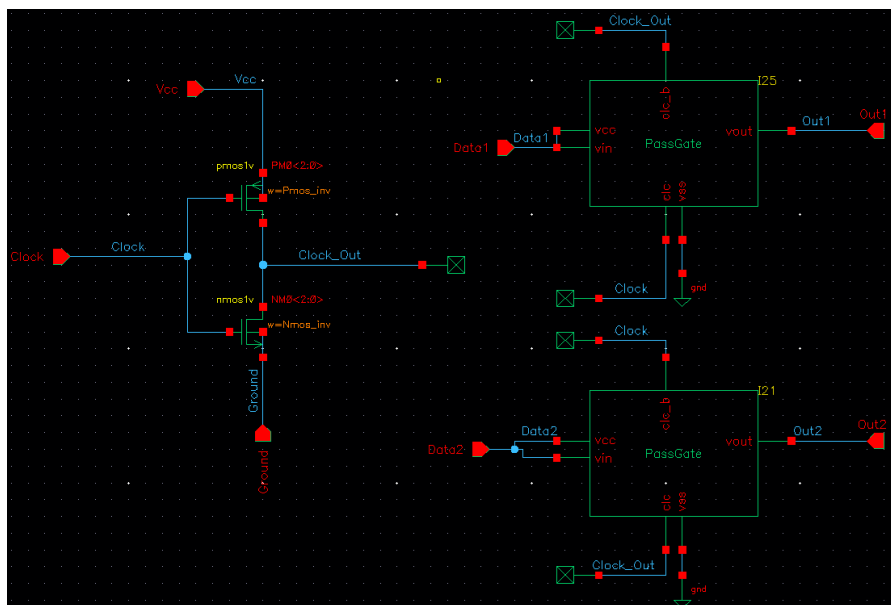


1. סימבול: של המרבב מוצגת בתמונה הבאה



תמונה מספר 1.2.1 – סימבול mux.

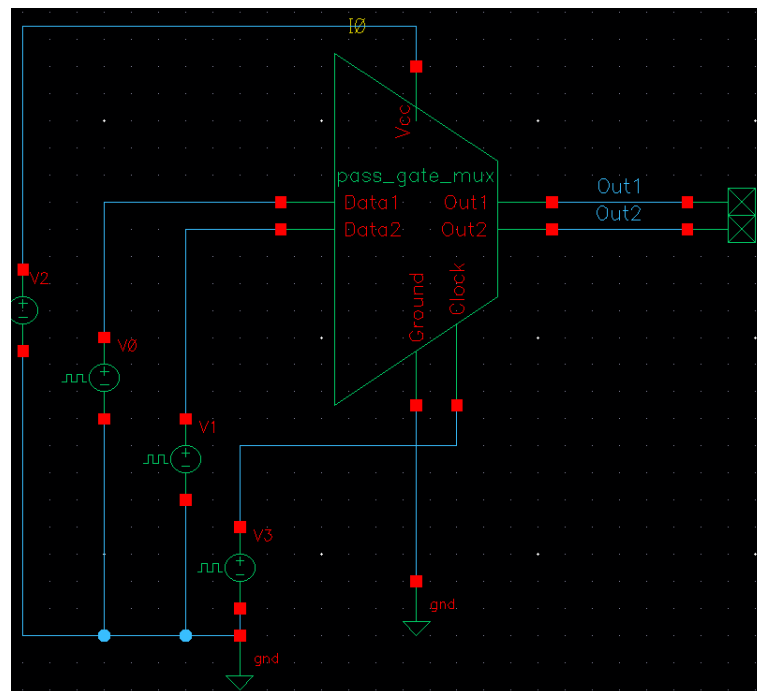
2. סכמה: של המרבב מוצגת בתמונה הבאה



תמונה מספר 1.2.1 – סכמה: של המרבב

3. סימולציה – ביצענו סימולציה פונקציונלית למרבב, כאשר השעון משמש כבורר בין המידע (Date) למידע (Date2) בצורה זו אנו מרווחים מהירות מאחר שאנו עובדים בתצורה של half-rate.

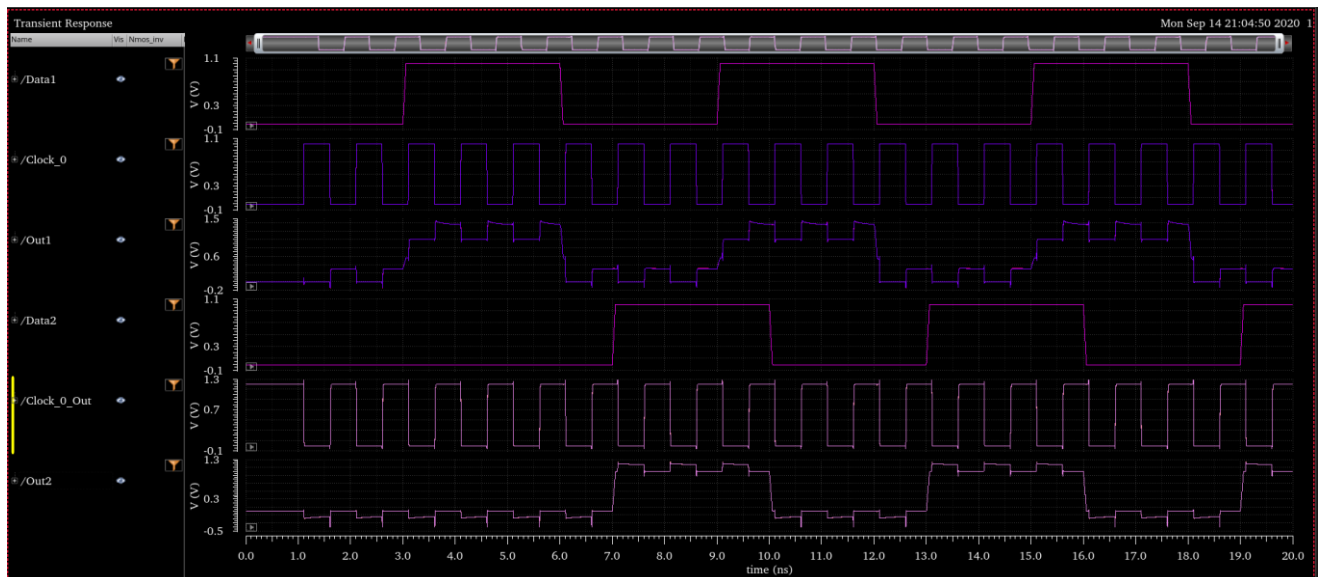
## להלן השרטוט של מערך הבדיקה ותוצאת הטסט



תמונה מספר 1.2.2 – מערך בדיקה: של המרבב

## הטסט : Transient Response

מטרת הטסט : בדיקה פונקציונלית של המערכת



תמונה מספר 1.2.1 – תוצאת טסט: של המרבב

הסבר הבדיקה : המיתוג מתבצע ע"י שעון יחיד (הפועל ב2 פאזות - עליית שעון וירידת שעון) ובכל זמן מחזור של שעון ישנה העברת מידע כניסת ערוץ *Data 1* למוצא *Out1* וכן העברת מידע מכניסת ערוץ *Data 2* למוצא *Out2*.

ניתוח תוצאות : ניתן לראות מן הגרף בזמנים  $6[ns] - 3[ns]$  שמתקיימים בהעברת מידע עבור *Data 1* בעליית השעון. ובאופן דומה, עבור הזמנים של  $10[ns] - 7[ns]$  את העברת המידע המתקבל עם העליית השעון היוצא מן המהפך.

מסקנות : ניתן להבחין כי מבחינה פונקציונלית המעגל אכן מעביר את המידע אל הערוץ הייעודי, אך ניתן להבחין בקפיצות של שתי היציאות. אנו מניחים כי קפיצות אלו נובעות מקיבולים.

בהמשך, היינו רוצים לבדוק שכאשר אנו מקצרים את היציאות נקבל שרשור של המידע.

## למידה מהתנסות בפרויקט

במהלך הפרויקט נתקלנו באתגרים מגוונים, שנבעו מהצורך לעמוד במפרטים שהגדרנו, למדנו שקיים טרייד אוף בין הדרישות השונות של המעגל ושקיים פער בין התיאוריה לסימולציה / מציאות.

## ביבליוגרפיה

- .1 A 112Gb/s 2.6pJ/b 8-Tap FFE PAM-4 SST TX in 14nm CMOS
- .2 Current steering DAC – Alexander Freiman
- .3 ADC Based Serial Links Design and Analysis – Samuel Palermo
- .4 A 10 to 112Gb/s DSP -DAC-Based Transmitter with 1.2  $V_{ppd}$  Output Swing in 7nm FinFET
- .5 ESD Protection Device and Circuit Design for Advanced CMOS Technologies
- oleg Semenov, Hossien Sarbishaei, Manoj Sachdev
- .6 [Introduction to Digital to Analog Converters \(DAC\) – Componetes 101](#)
- .7 CMOS Circuit Design, Layout, and Simulation, Third Edition, R. Jacob Baker, 2010
- .8 Charged Device Model (CDM) ESD Testing: Getting A Clearer Picture - Barry Fernelius