



Advanced VLSI

2020

112 Gb/s TX DAC

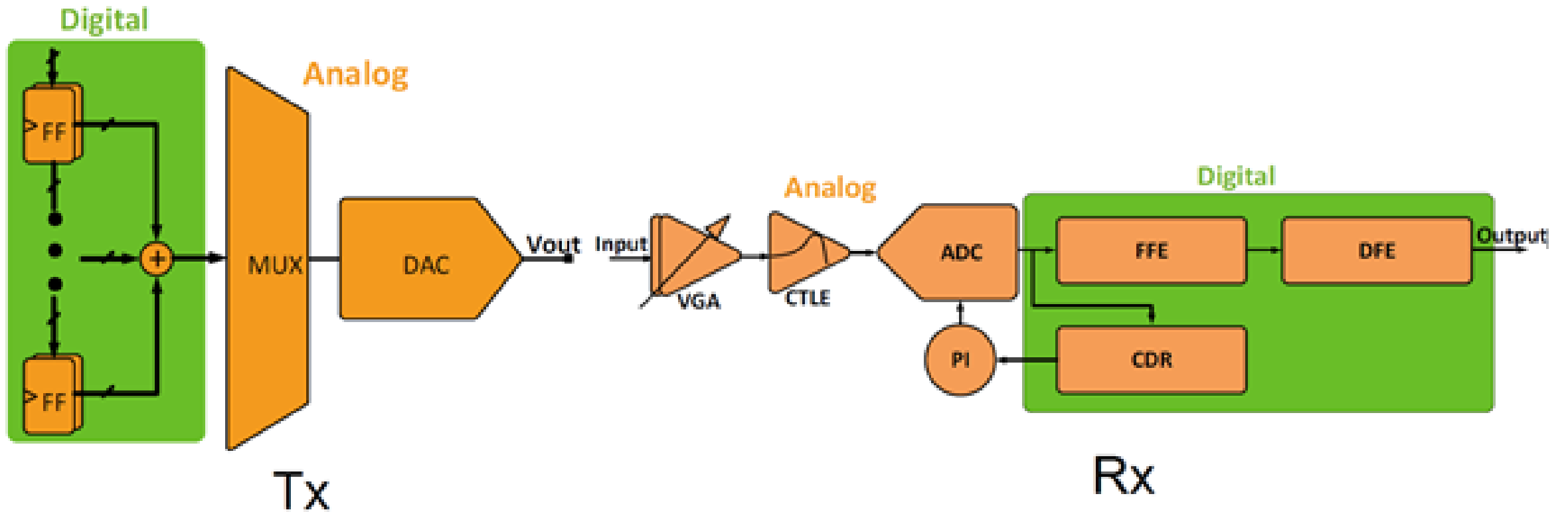
לירן גולן
יואב אשד
יואב זילברשטיין

רקע

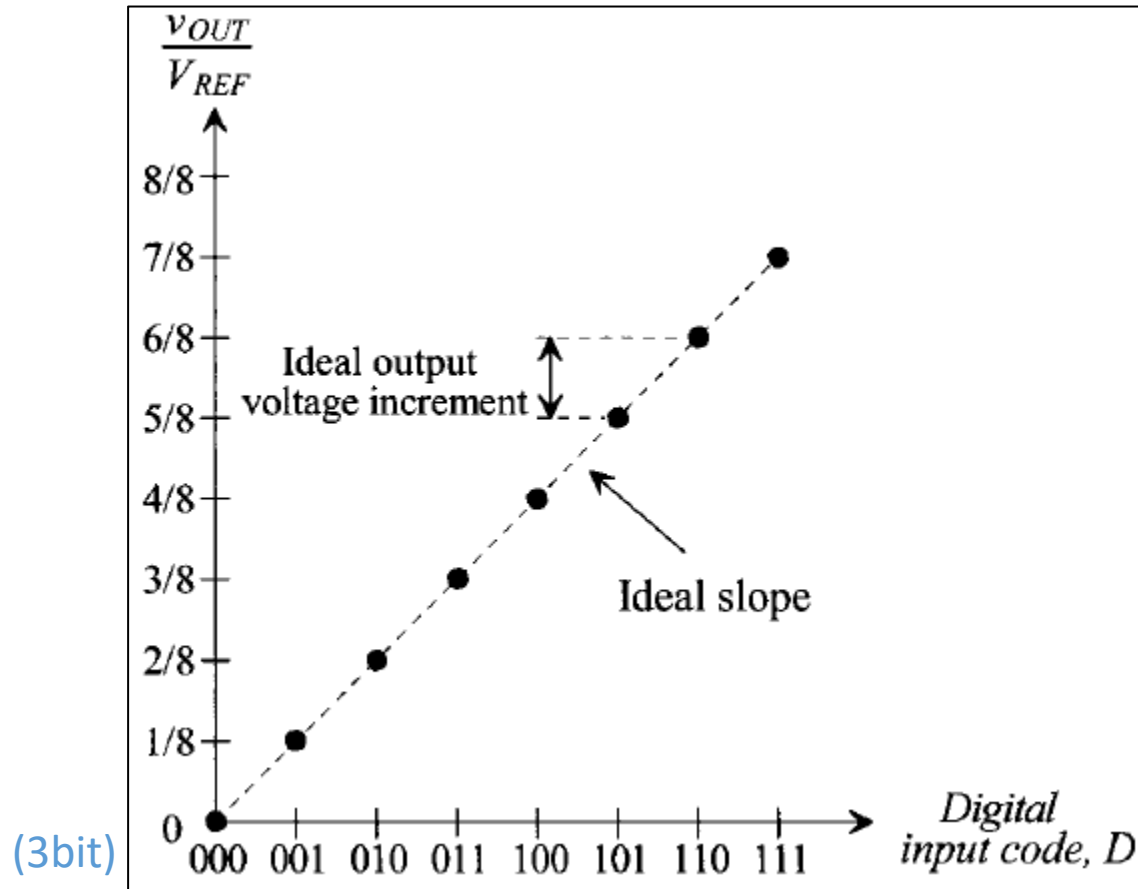
העומסים על מרכזי הנתונים (*data centers*) גדלים במהירות.
לכן יש צורך לפתח טכנולוגיות שיענו על הדרישות רוחב פס.



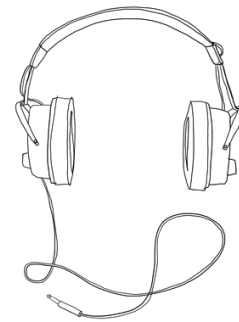
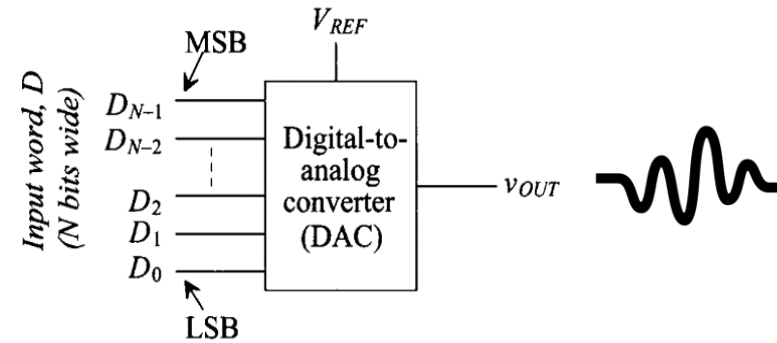
מבנה המערכת



DAC - Digital-to-Analog Converter



יחידה שממירה אות דיגיטלי לייצוג אנלוגי



ארכיטקטורות DAC

- **Resistor String DAC**
- **R-2R Ladder Networks**
- **Current Steering**
- **Charge-Scaling DACs**
- **Cyclic DAC**
- **Pipeline DAC**
- ...

Resistor String DAC

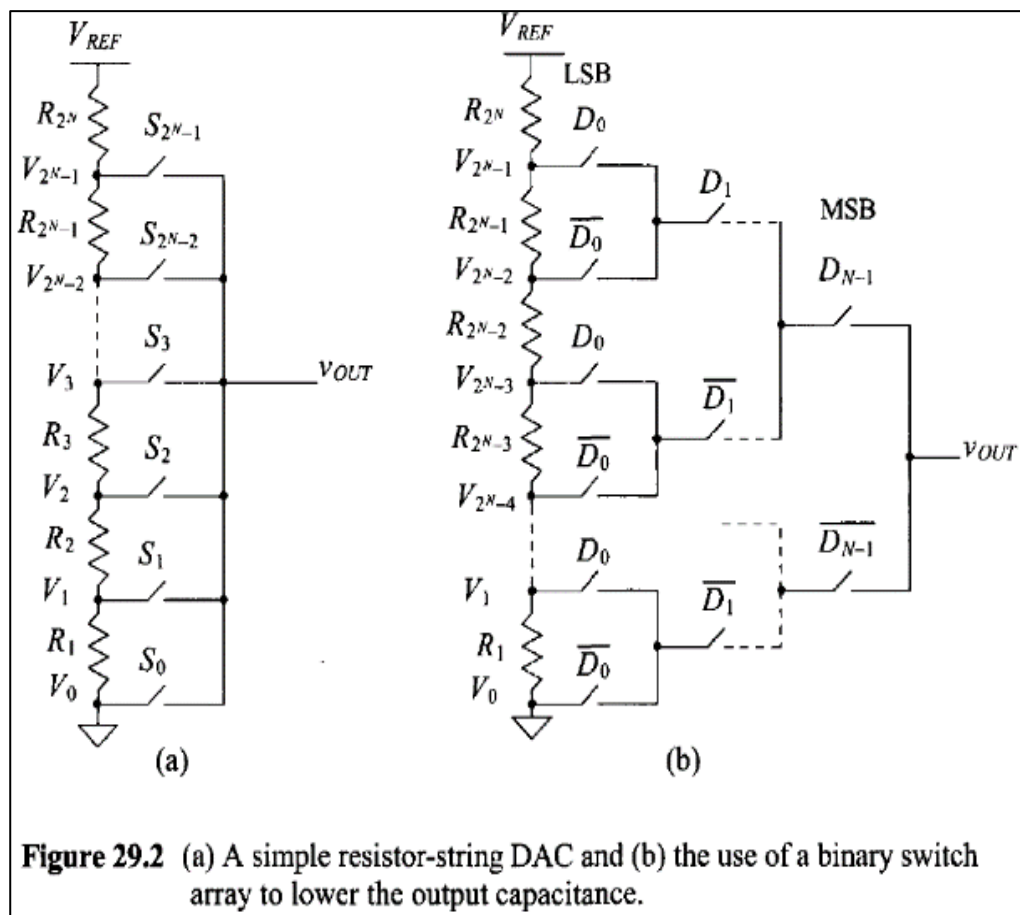
הDAC הבסיסי ביותר, מבוסס על שרשרת נגדים, 2^N ומתגים (עבור N כניסות).

היתרונות

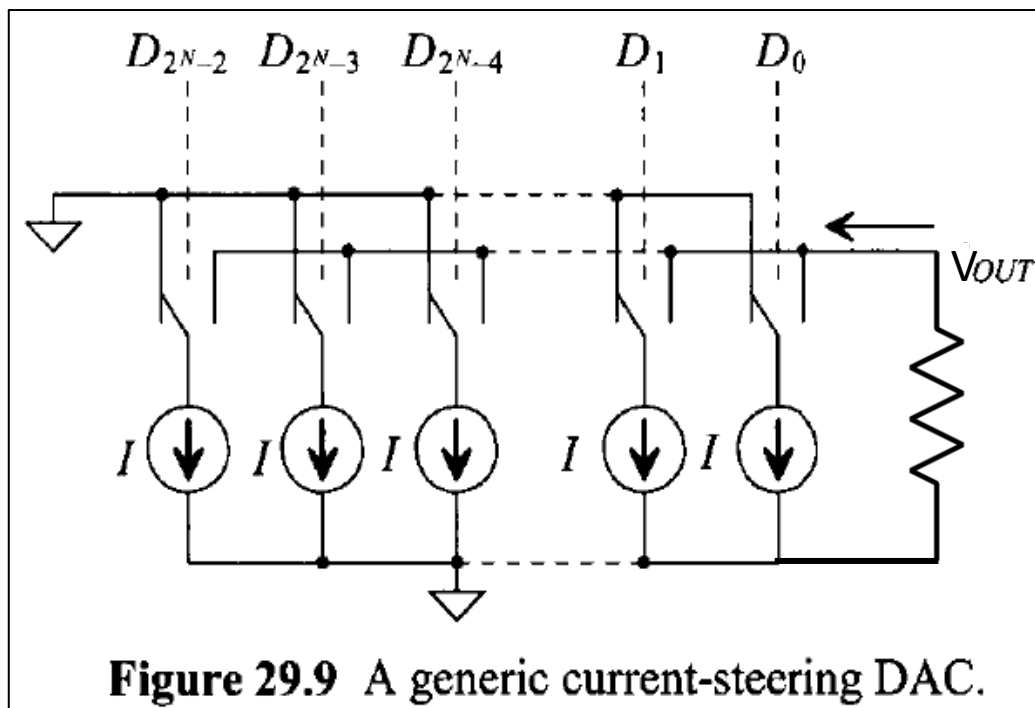
- פשוטה ליישום
- מובטח שהמוצא יהיה מונוטוני

חסרונות

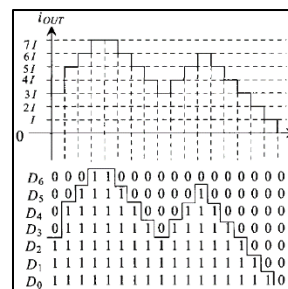
- קיבול פרזיטי גדול – (בתוצרה הבסיסית 2^N מפסקים)
- בזבוז הספק
- שטח



Current Steering DAC



- ארכיטקטורה המבוססת על סכימה של מקורות זרם מדויקים.
- נדרשת המרה לקוד thermometer code.
- נדרשים $2^N - 1$ מקורות זרם עבור קוד בינארי באורך N .



<div><div><div><div><div></div><div></div><div></div></div><div><div><div>A₀</div><div>A₁</div><div>A₂</div></div></div><div>Binary to thermometer conversion</div><div><div><div>D₁</div><div>D₂</div><div>D₃</div><div>D₄</div><div>D₅</div><div>D₆</div><div>D₇</div></div></div></div></div></div>	Decimal	Binary			Thermometer code							
		A0	A1	A2	D1	D2	D3	D4	D5	D6	D7	
	0	0	0	0	0	0	0	0	0	0	0	
	1	0	0	1	0	0	0	0	0	0	1	
	2	0	1	0	0	0	0	0	0	1	1	
	3	0	1	1	0	0	0	0	1	1	1	
	4	1	0	0	0	0	0	1	1	1	1	
	5	1	0	1	0	0	1	1	1	1	1	
	6	1	1	0	0	1	1	1	1	1	1	
	7	1	1	1	1	1	1	1	1	1	1	

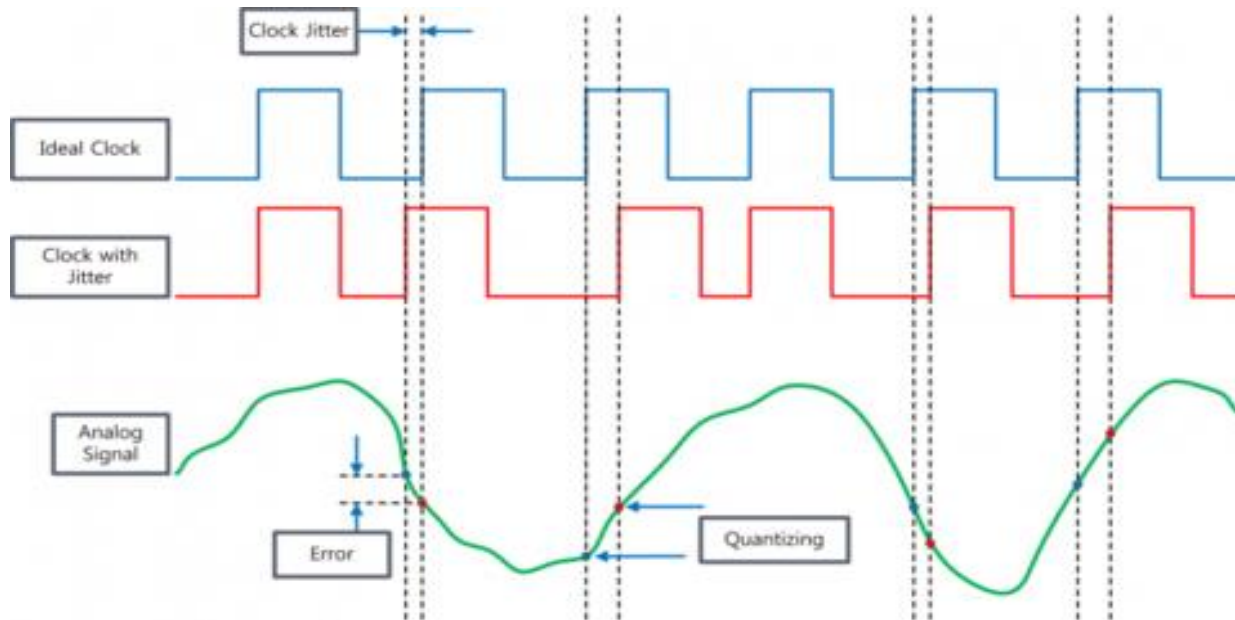
מושגים

- SNR: בכל מערכת פיזיקאלית קיימים רעשים, ולכן עלינו לקחת זאת בחשבון במהלך התכנון. SNR מוגדר כממוצע עוצמת האות וממוצע עוצמת הרעש. אנו מעוניינים שהיחס יהיה כמה שיותר גדול, ככול שהיחס גדל השפעת הרעש על המערכת תהיה פחות משמעותית.

היחס מוגדר

$$SNR = \frac{P_{signal}}{P_{noise}} = \left(\frac{A_{signal}}{A_{noise}} \right)^2$$

מושגים



- Random Jitter : שגיאת דגימה הנובעת מפער בין מחזורי השעון של שעון אידיאלי לשעון המערכת בפועל.

מושגים

ENOB - Effective number of bits: דרך לכמת את איכות ההמרה של אות

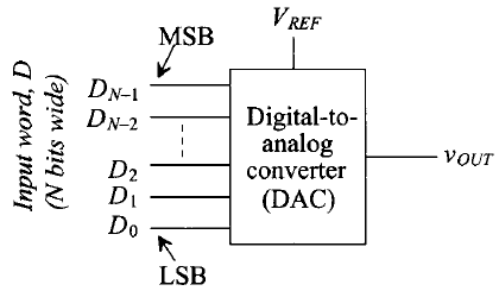
מהמרחב הדיגיטלי לאנלוגי. ENOB גבוה פירושו שרמות המתח שנקלטו בהמרה

מדיגיטלי לאנלוגי הינן מדויקות יותר. ENOB אידיאלי יתקבל עבור אפס רעש

תרמי, אפס DNL ואפס INL על מנת לקבל טרייד אוף בין ביצועים לצריכת

חשמל, נרצה שיתקיים $ENOB < N - 1$

מושגים



• LSB – least significant bit: מתייחס לביט הימני ביותר בכיסה.

LSB מגדיר את השינוי הקטן ביותר במתח האנלוגי במוצא.

$$1 \text{ LSB} = \frac{V_{REF}}{2^N}$$

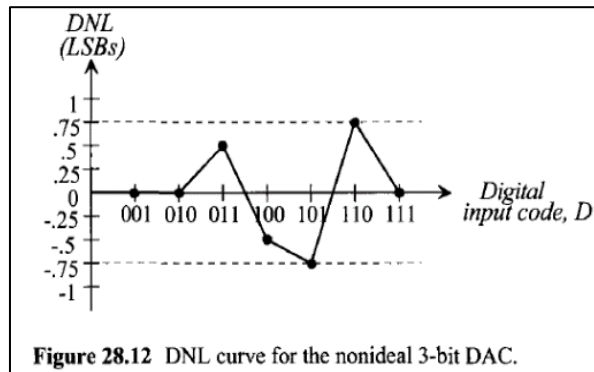
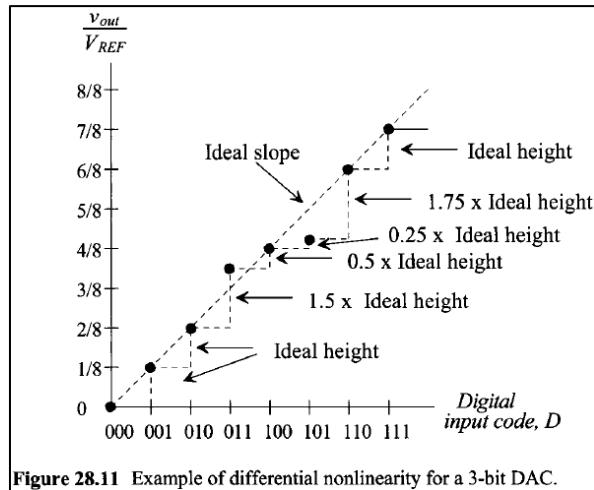
• MSB – Most significant bit: מתייחס לביט השמאלי ביותר בכניסה.

MSB מגדיר את השינוי הגדול ביותר במתח האנלוגי במוצא.

$$1 \text{ MSB} = \frac{1}{2} V_{REF}$$

שגיאות

DNL – Differential Non linearity



בפונקציית תמסורת אידיאלית, אם נעלה את קוד הכניסה הבינארי ב-1, הפלט האנלוגי יעלה ב-1 LSB.

DNL מייצג את הסטייה המקסימלית

של מדרגות הפלט מערך אנלוגי אידיאלי.

של ה-1 LSB.

$$DNL(i) = \frac{V_{out}(i) - V_{out}(i-1)}{\text{ideal LSB step with}} - 1, \quad 0 < i < 2^N - 2$$

ה-DNL מוגדר ע"י השגיאה DNL הגדולה ביותר.

שגיאות

INL – Internal non linearity

INL מאפיין חשוב שמגדיר את הבדל בין ערך מוצא ה-DAC לבין קו ישר העובר בין הערך במוצא הראשון לערך במוצא האחרון המשמש כייחוס.

INL מגדיר את הלינאריות של פונקציית התמסורת הכוללת.

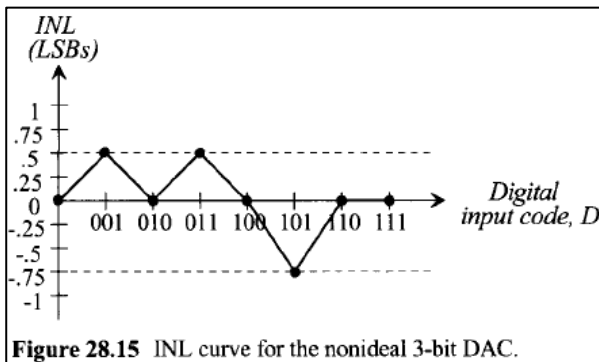
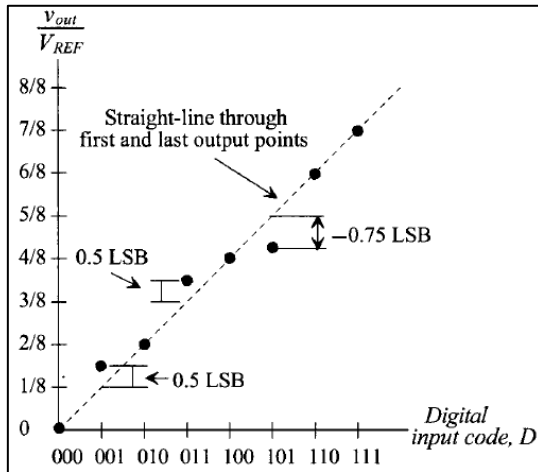


Figure 28.15 INL curve for the nonideal 3-bit DAC.

$$INL_n = (\text{Output value for input code } n) - (\text{Output value of the reference line at that point})$$

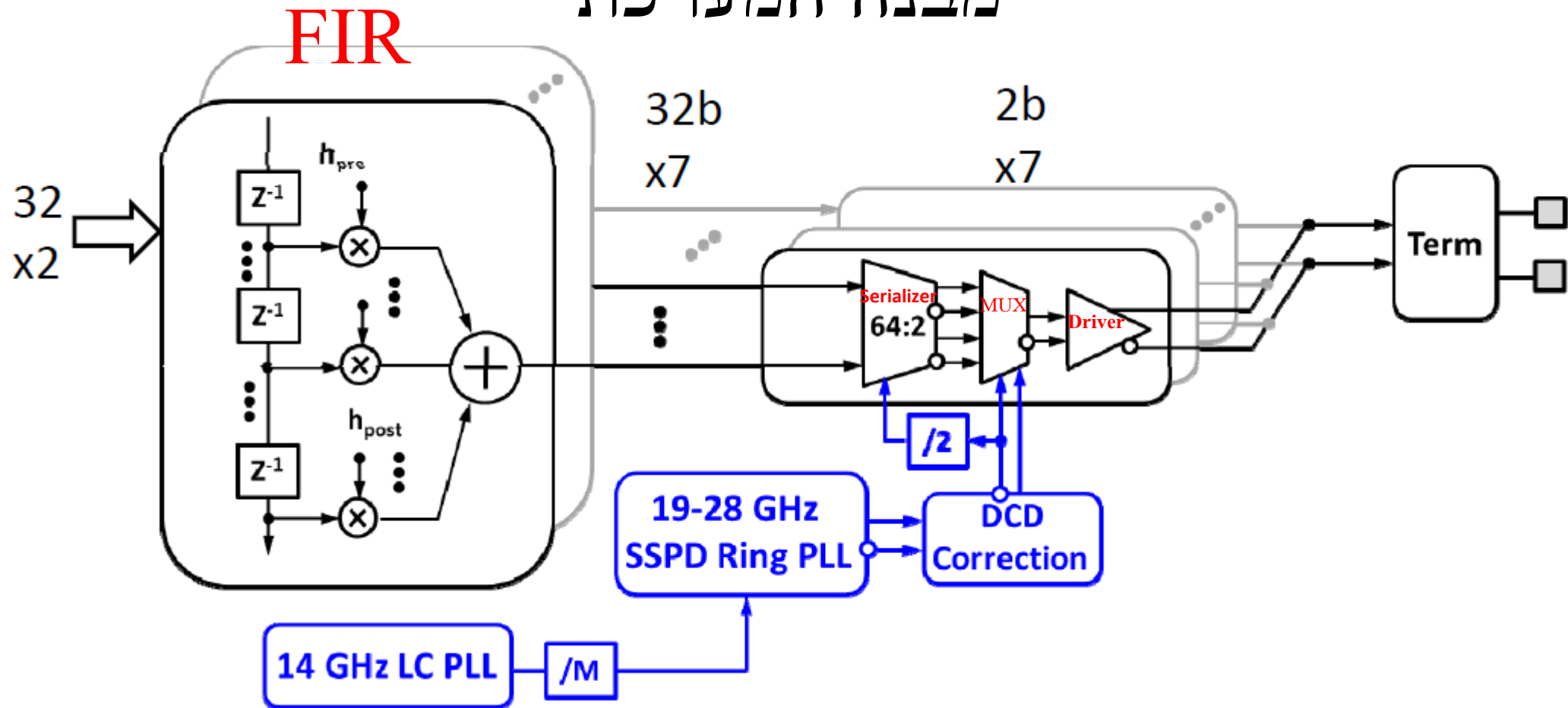
A 10-to-112Gb/s DSP-DAC-Based Transmitter with 1.2V p_{pp}d Output Swing in 7nm FinFET

E. Groen, Rambus, Sunnyvale, CA

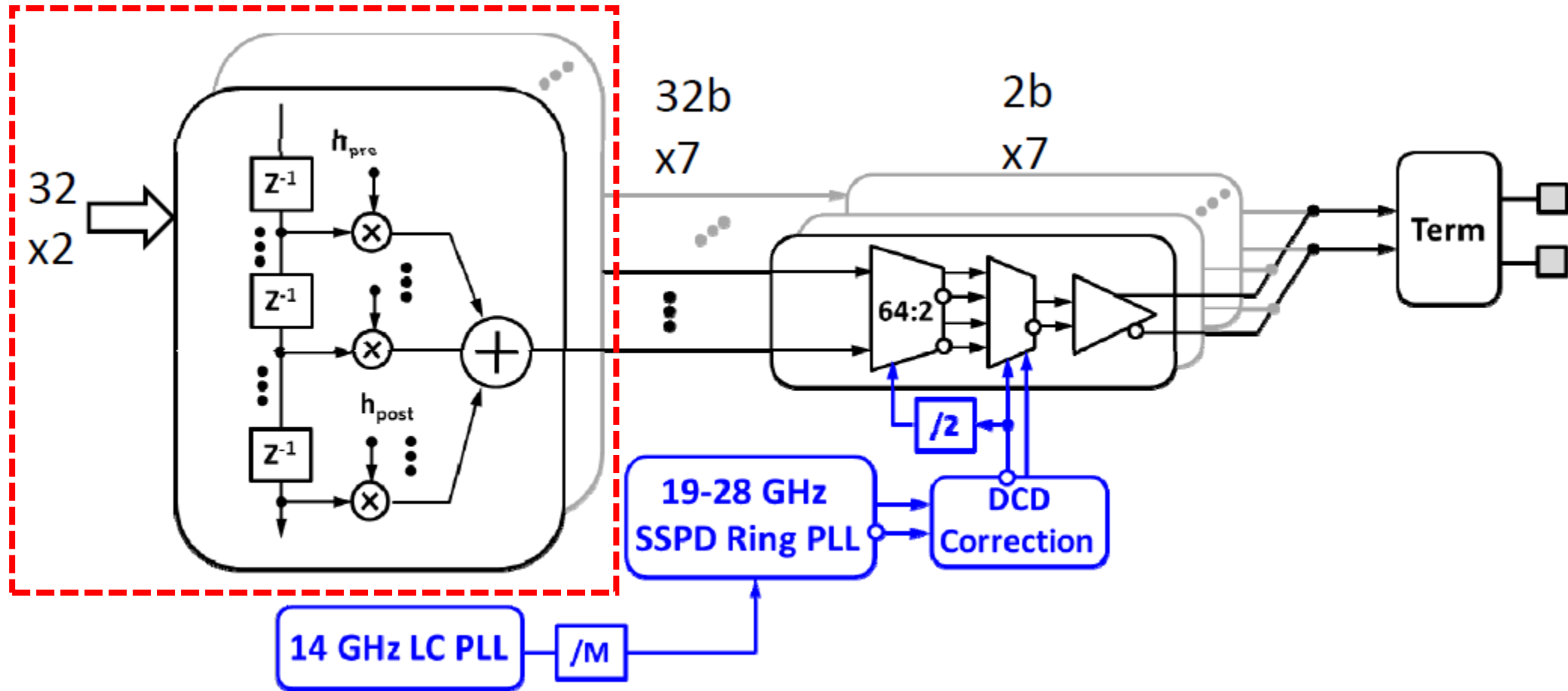
רקע

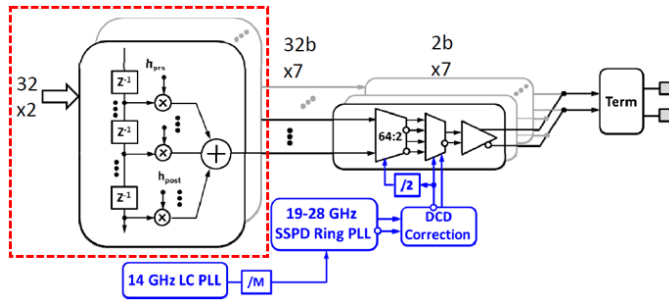
- ארכיטקטורה DAC בעלת יכולת להעביר 112 Gb/s.
- תאימות לפרוטוקולים NRZ, PAM-4.
- רוחב פס גדול.
- מתח מוצא 1.2 V_{pp}.
- נצילות אנרגטית 1.56 pJ/bit (175 mW at 112 Gb/s data rate including clocking).
- חסינות לרעש גבוהה.

מבנה המערכת



DSP - FIR

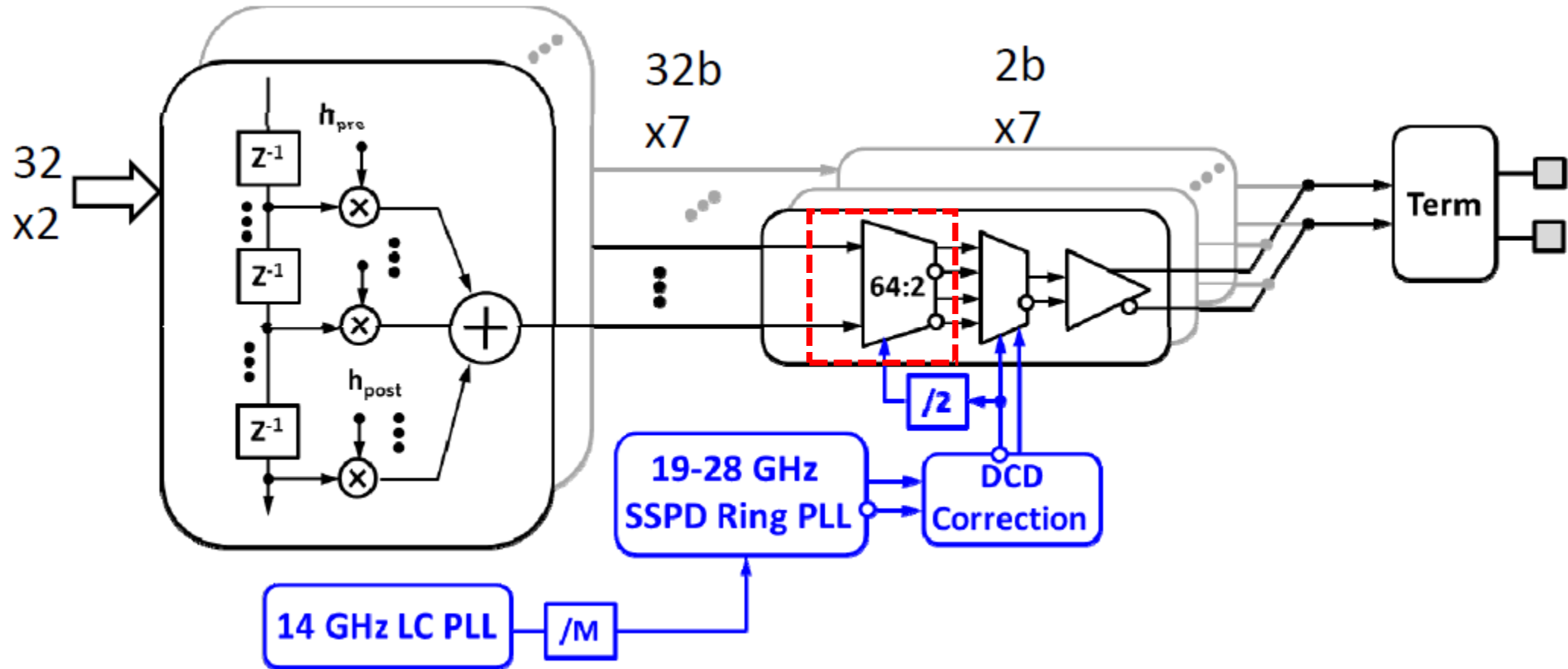


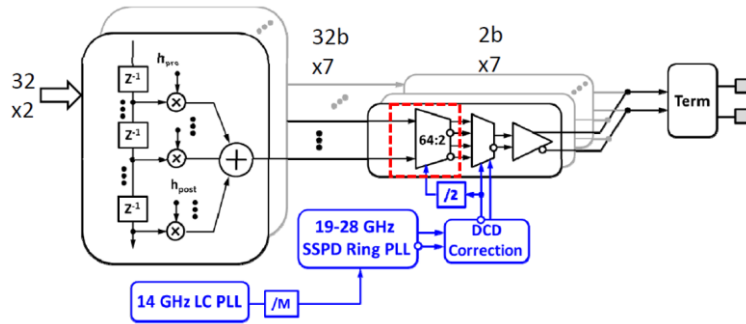


FIR

- גמישות
- חסינות לרעש (SNR) משופרת, מתח המוצא של המשדר בטווח של $1.2V$
- צריכת הספק נמוכה ע"י השעונים
- מבצע אקוליזציה כדי למנוע עיוותים (מתנהג כמו HPF).

Serializer





Serializer

דוגמא

הסרילייזר בעל 16 כניסות (כל כניסה בעלת 2 ביטים)

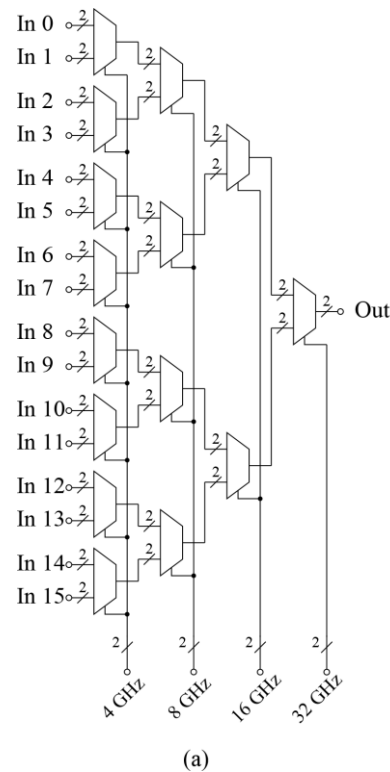
מטרה

להעביר כניסה אחת מבין 16 הכניסות בכל מחזור שעון של 32GHz.

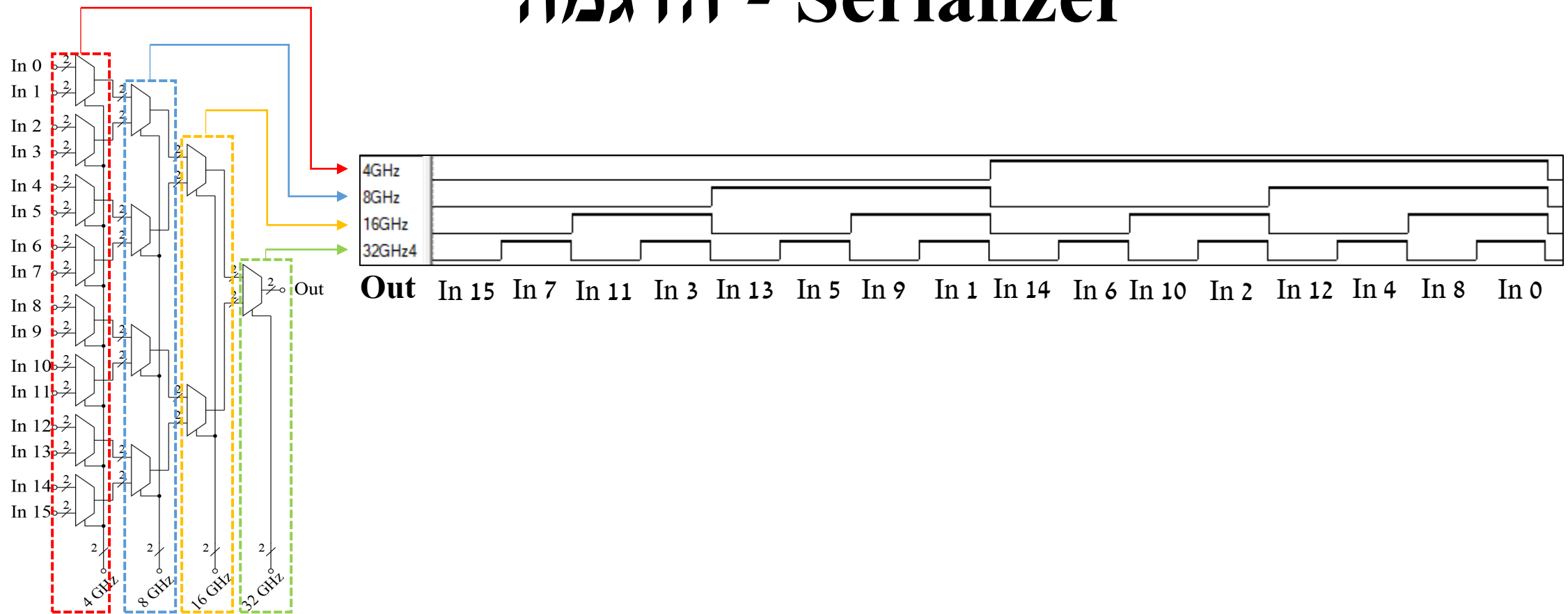
אופן הפועלה

הסרילייזר בעל 4 שלבים, בכל שלב יש מספר 1:2 MUXים, שהכניסה שמועברת למוצא של כל MUX נקבעת ע"פ השעון.

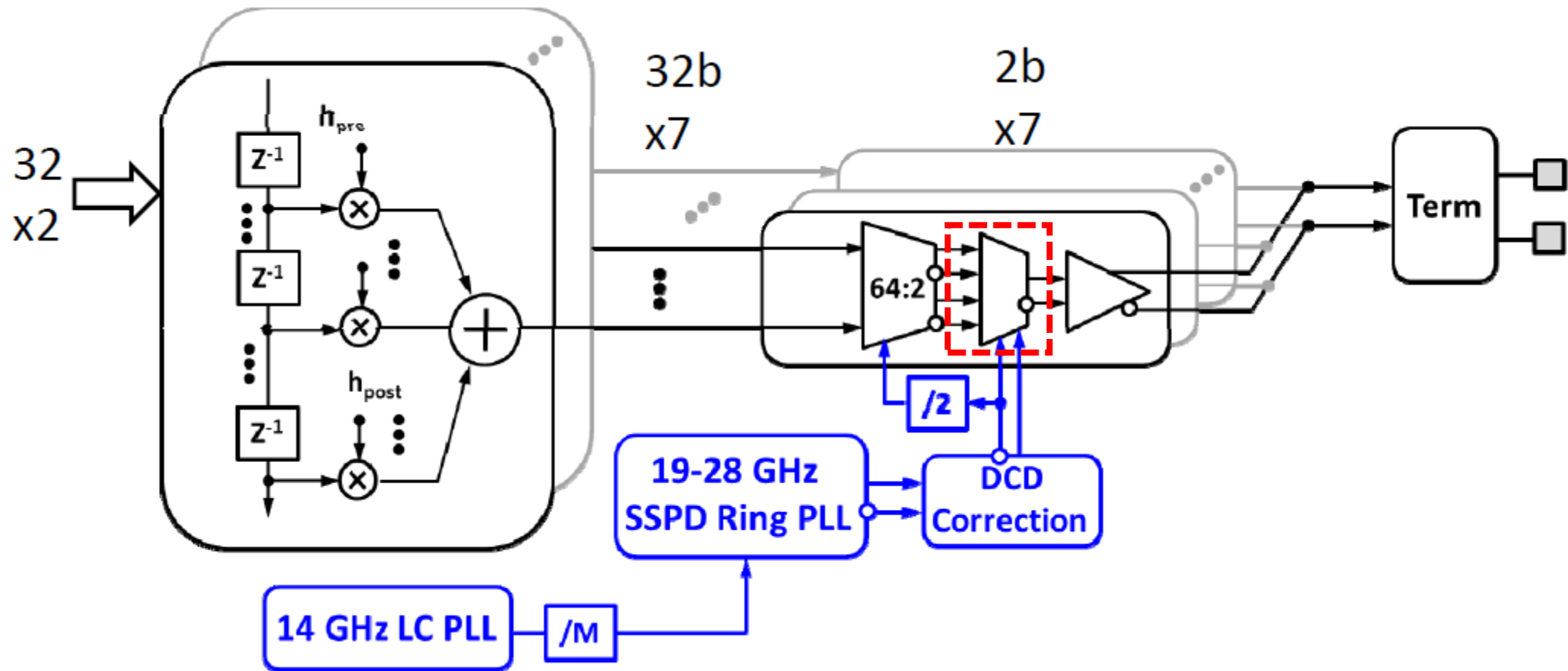
כל שלב בעל תדירות שעון שונה, ככול שמתקרבים למוצא של הסרילייזר, תדר השעון עולה (ראה שרטוט משמאל).

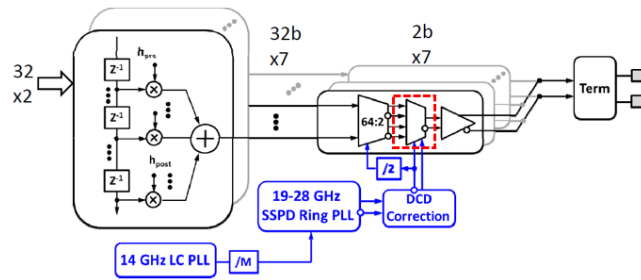


הדגמה - Serializer

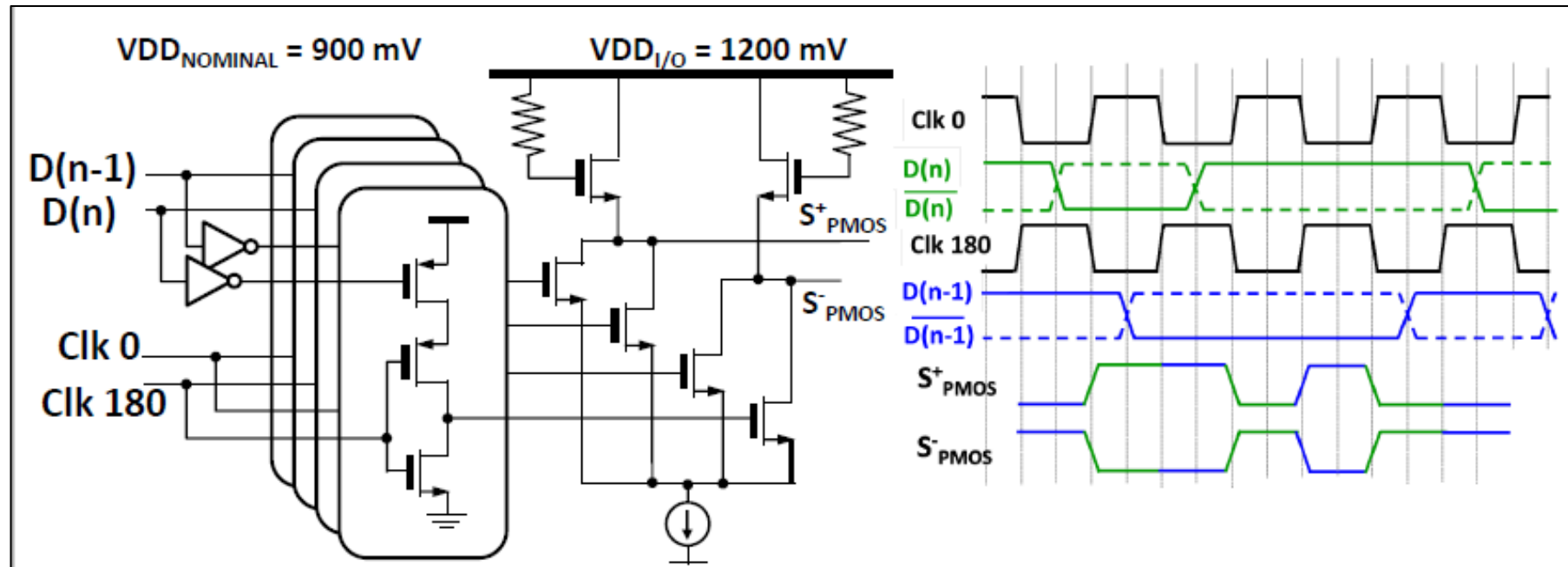


2 x MUX2:1

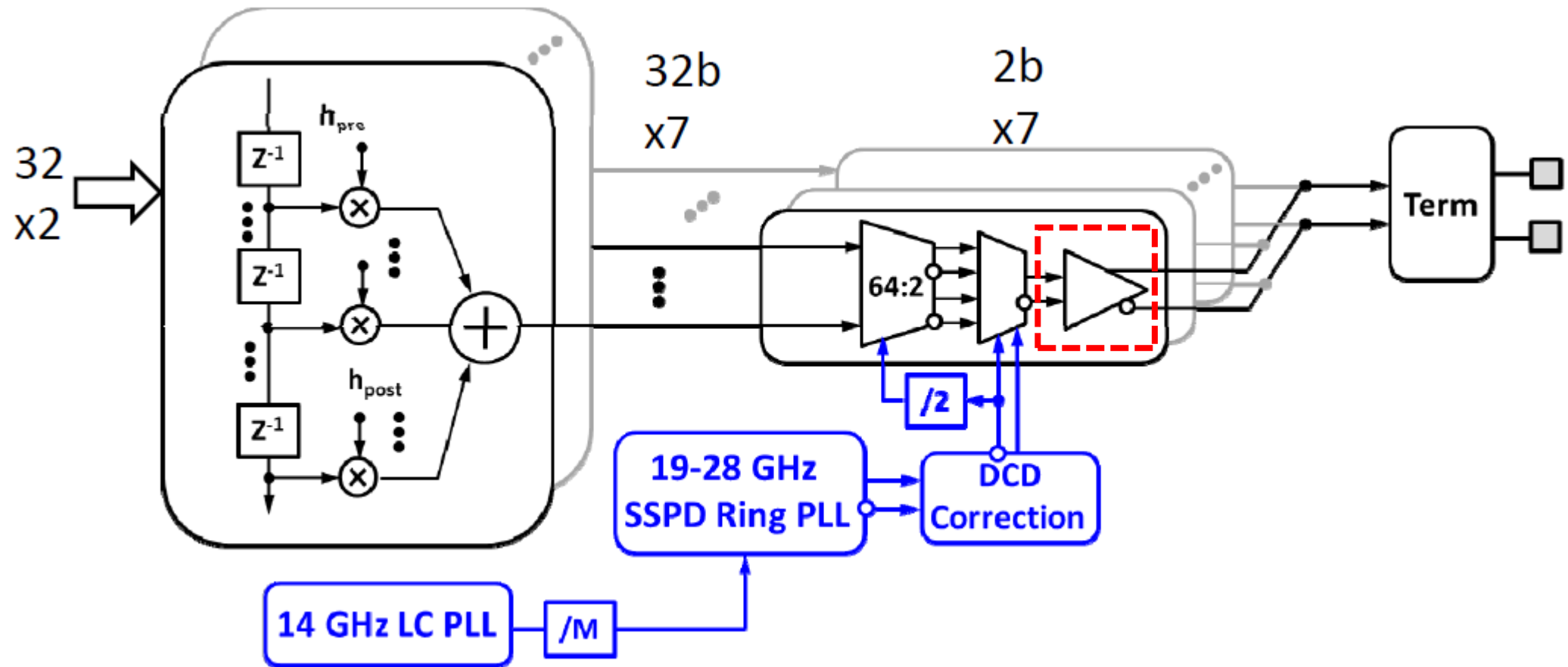




2 x MUX2:1



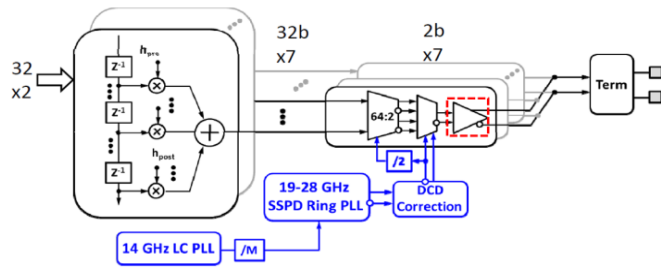
Driver



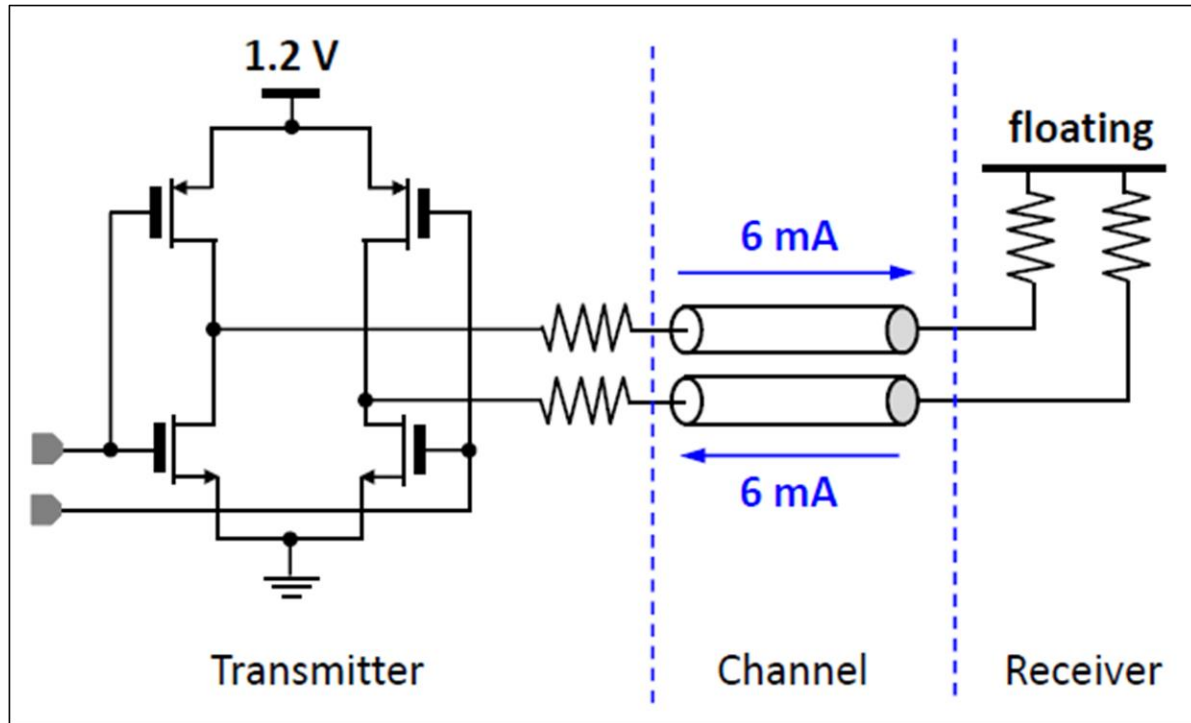


קיימים סוגים שונים של דרייברים, נציג שלושה סוגים.

- Voltage mode Driver •
- Current mode Driver •
- Soft Switching Driver •

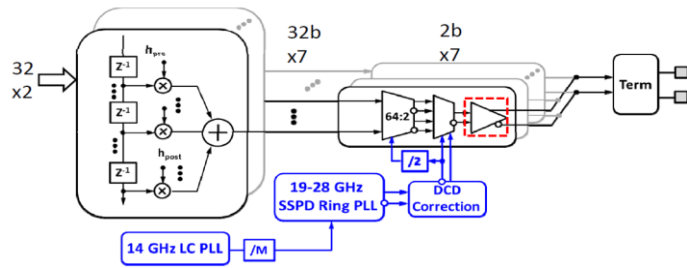


Voltage mode Driver



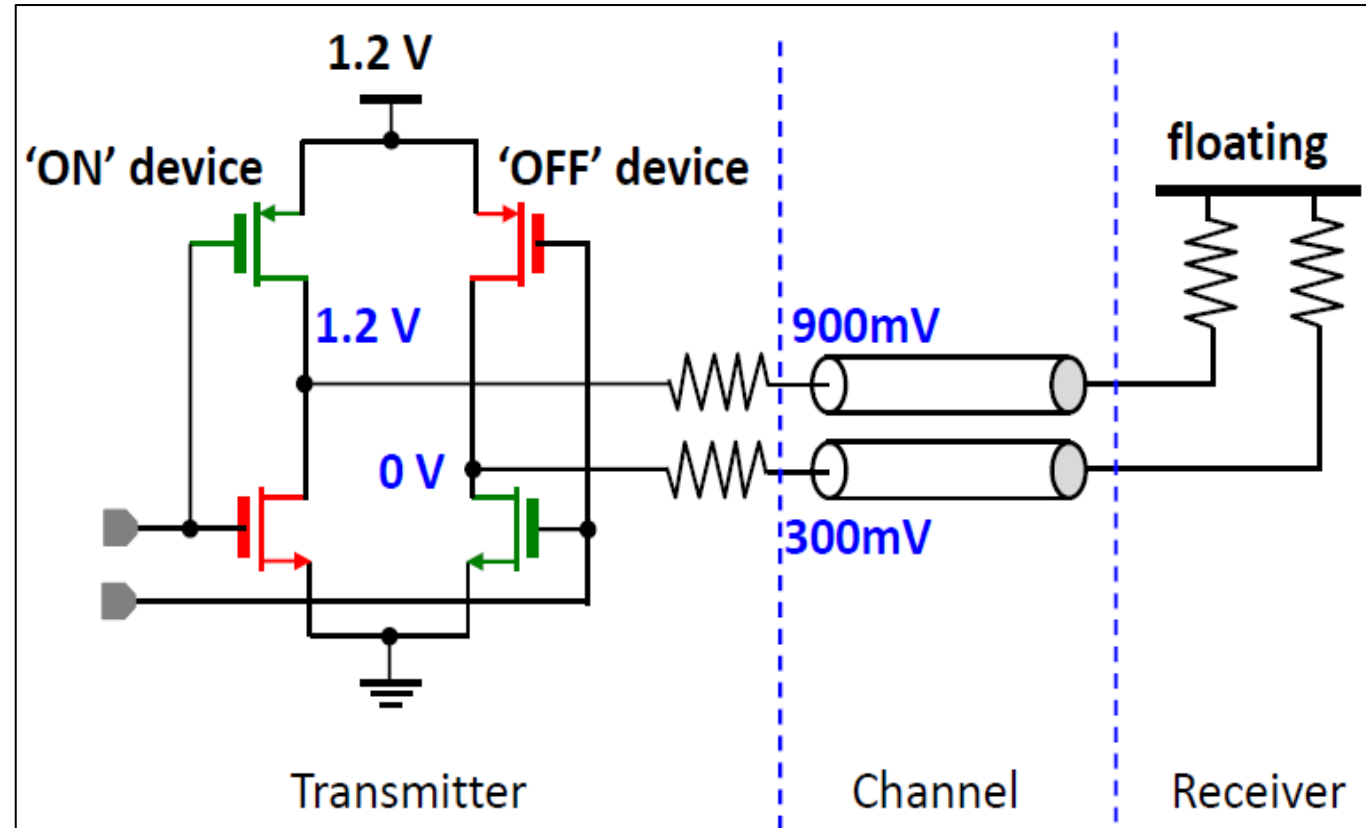
מבנה הדרייבר

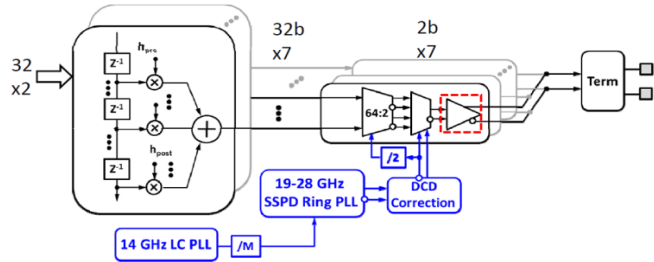
- נגדים ביציאה (כ 50Ω כל אחד)
- מתח הספקה של $1.2V$.



Voltage mode Driver

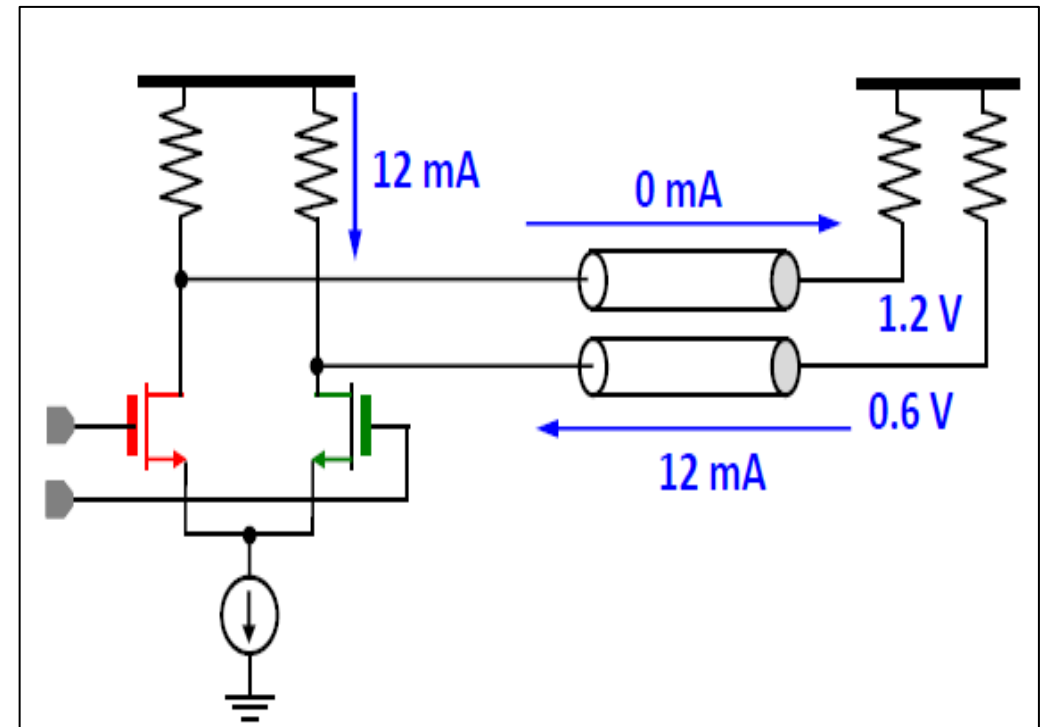
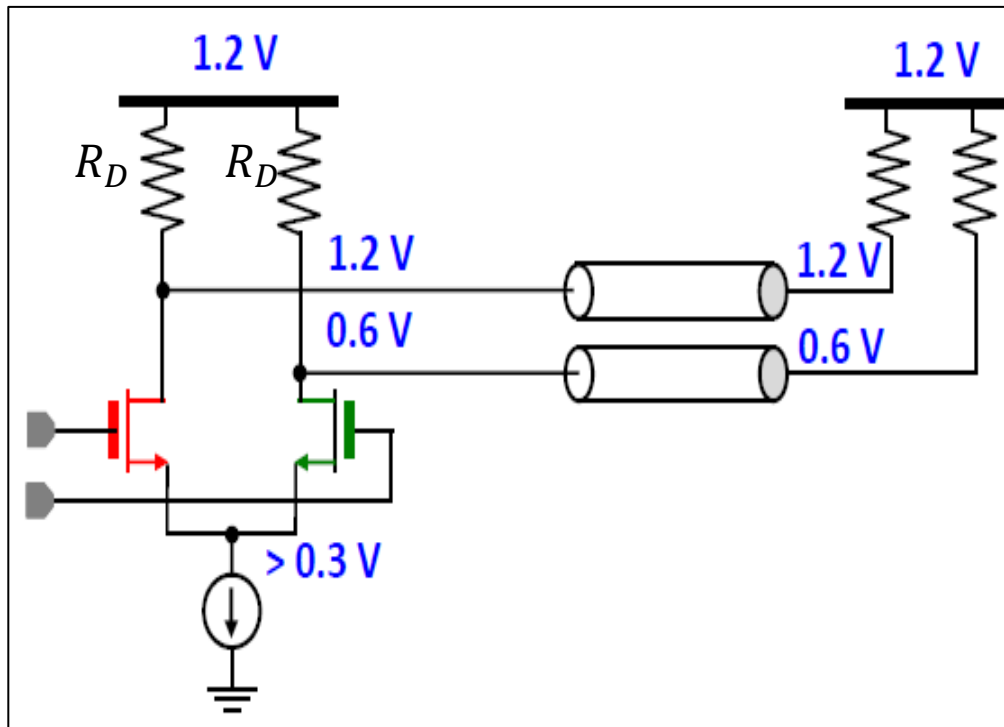
אופן הפעולה

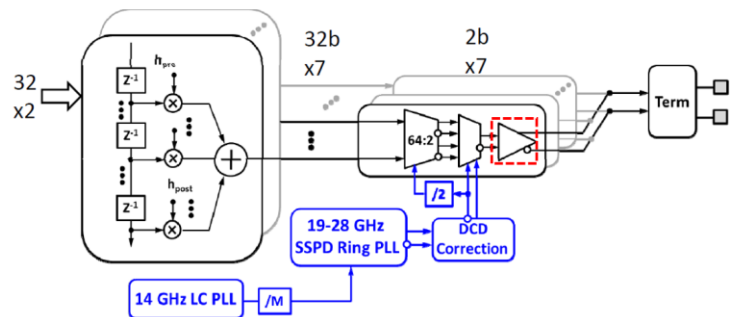




Current mode Driver

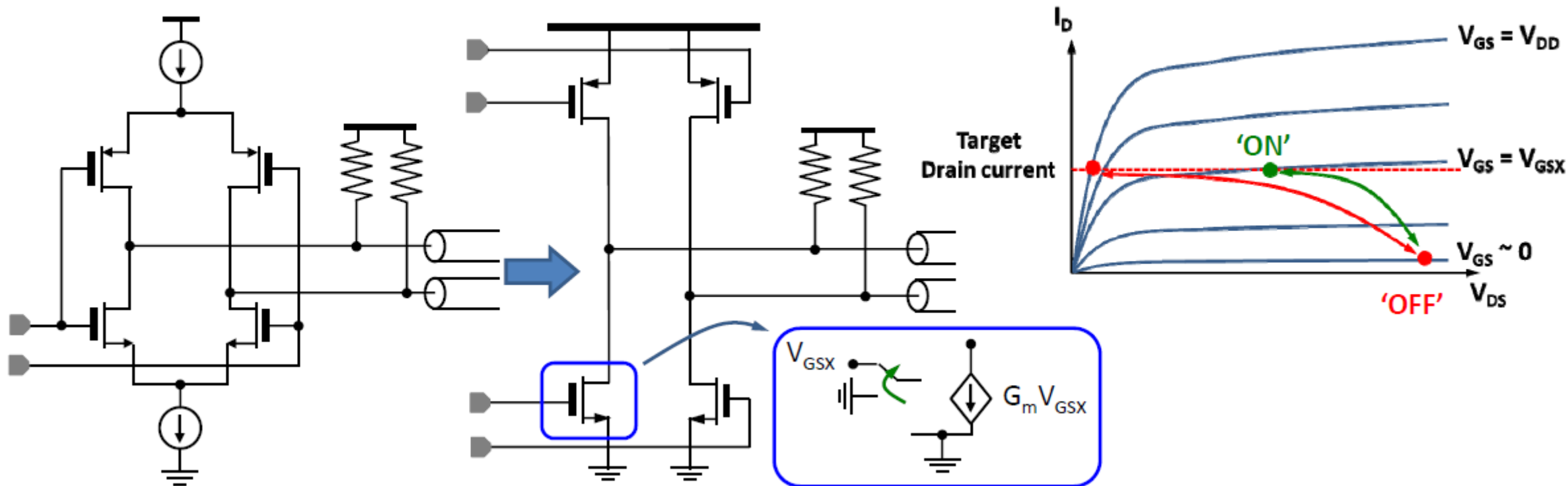
במימוש זה קיים בזבוז הספק, הנובע מנגדים R_D .

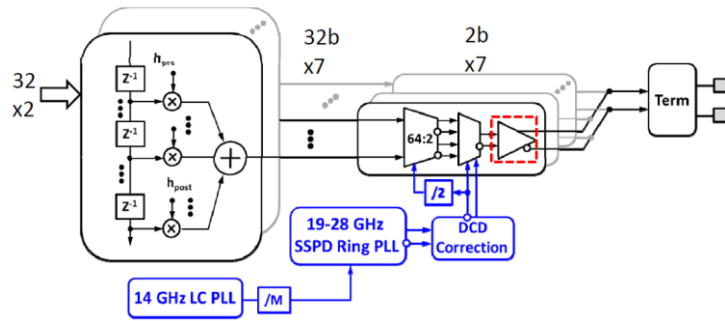




Soft switching Driver

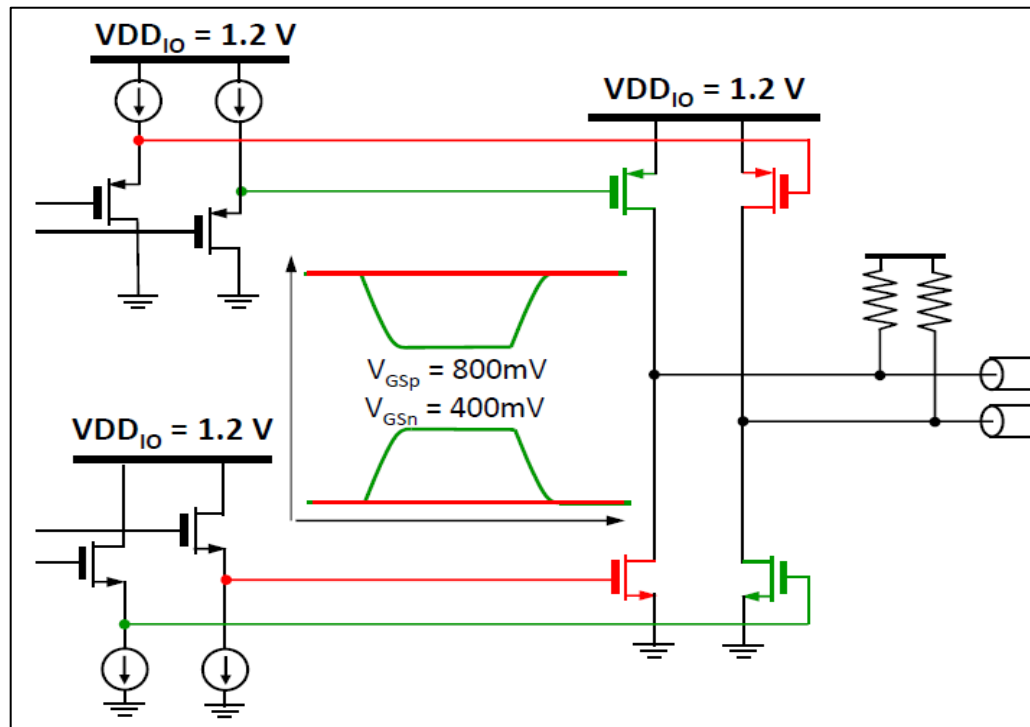
עבודה סביב נקודת עבודה אופטימלית, לכל טרנזיסטור NMOS / PMOS
ובכך מתקבלת לינאריות, תגובה מהירה, ורוחב פס גדול יותר.



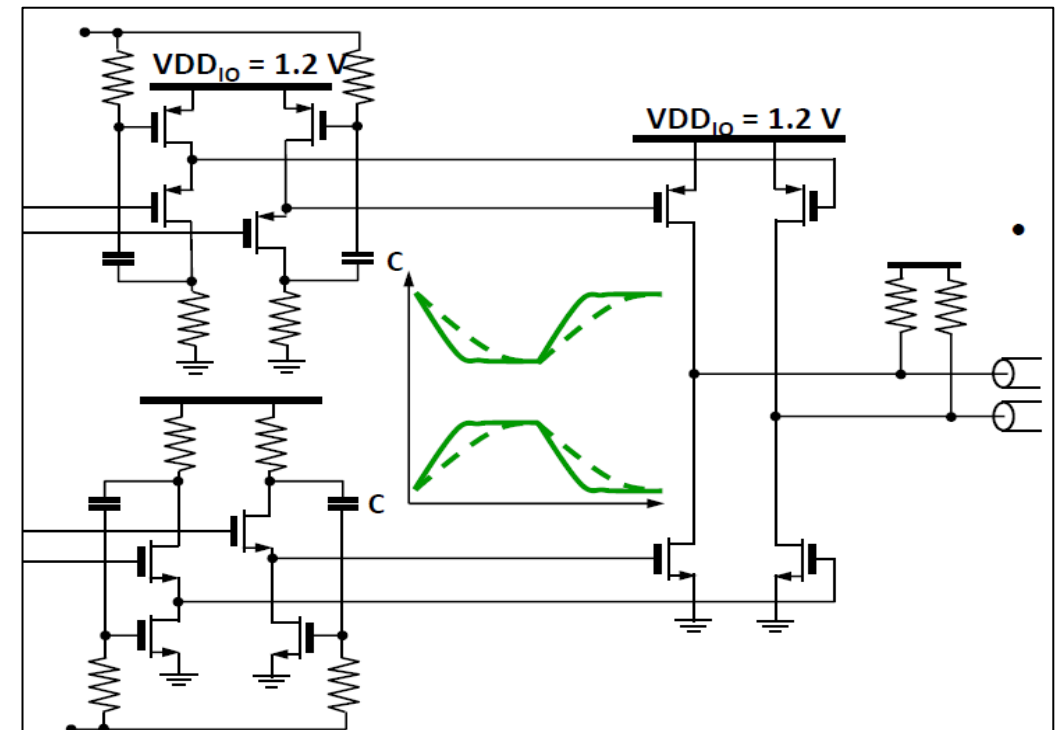


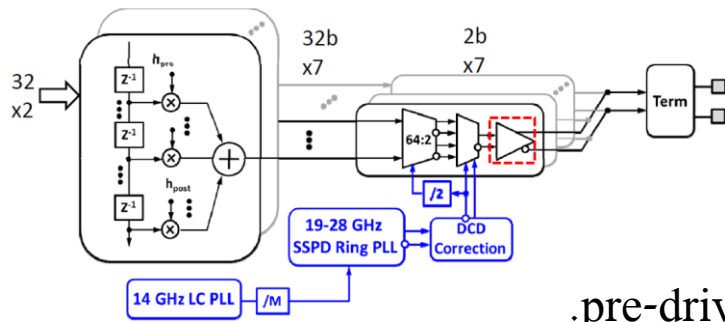
Source Follower pre-driver

Source follower



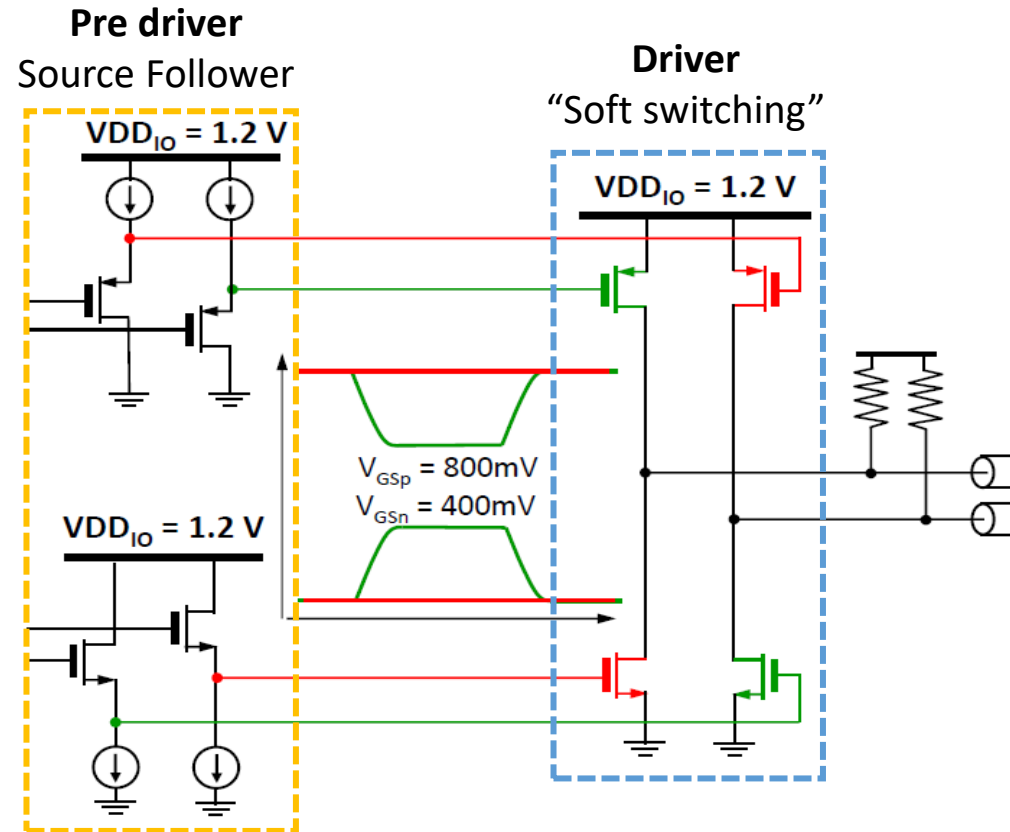
Source follower Improvement





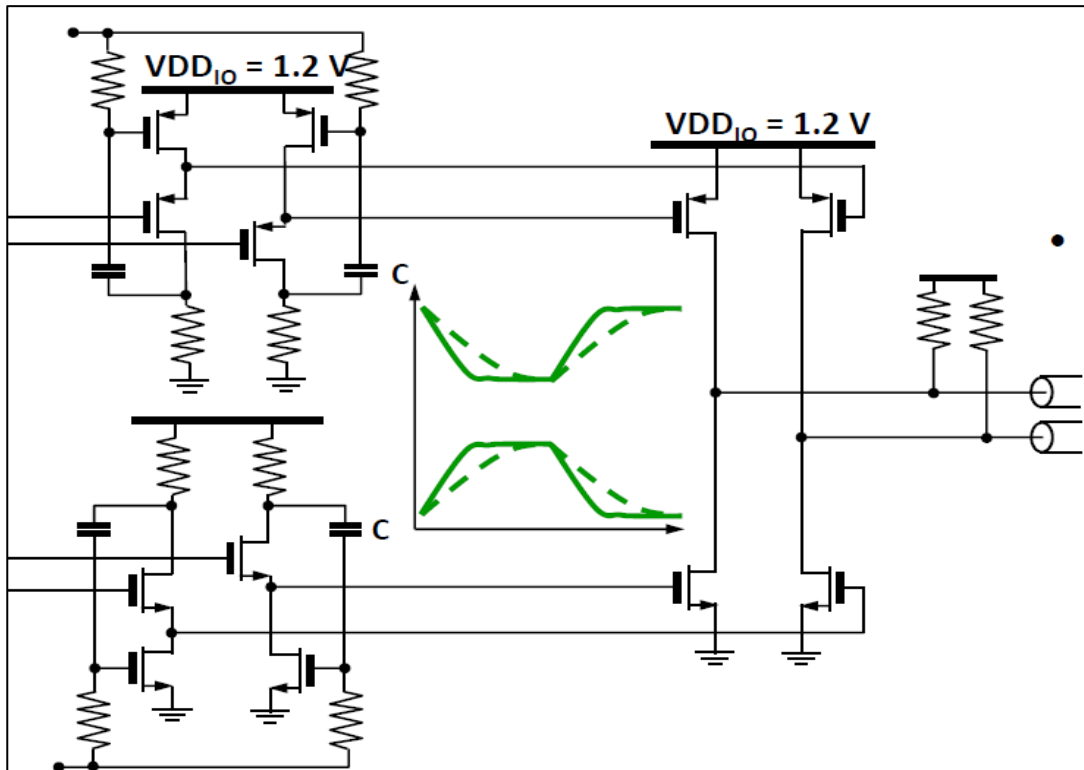
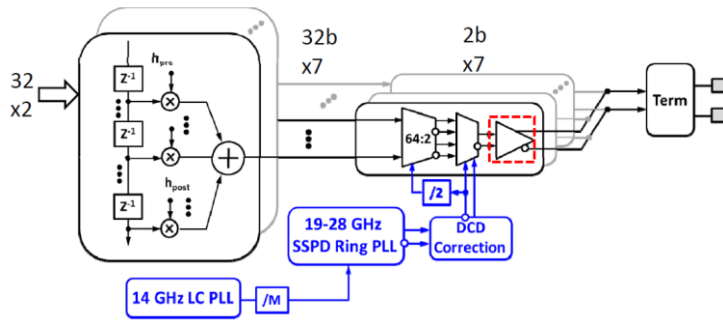
Source Follower pre-driver

מימוש "soft switching" בעזרת Source follower המשמש בתור יחידת pre-driver.



Source Follower pre-driver

Source follower Improvement

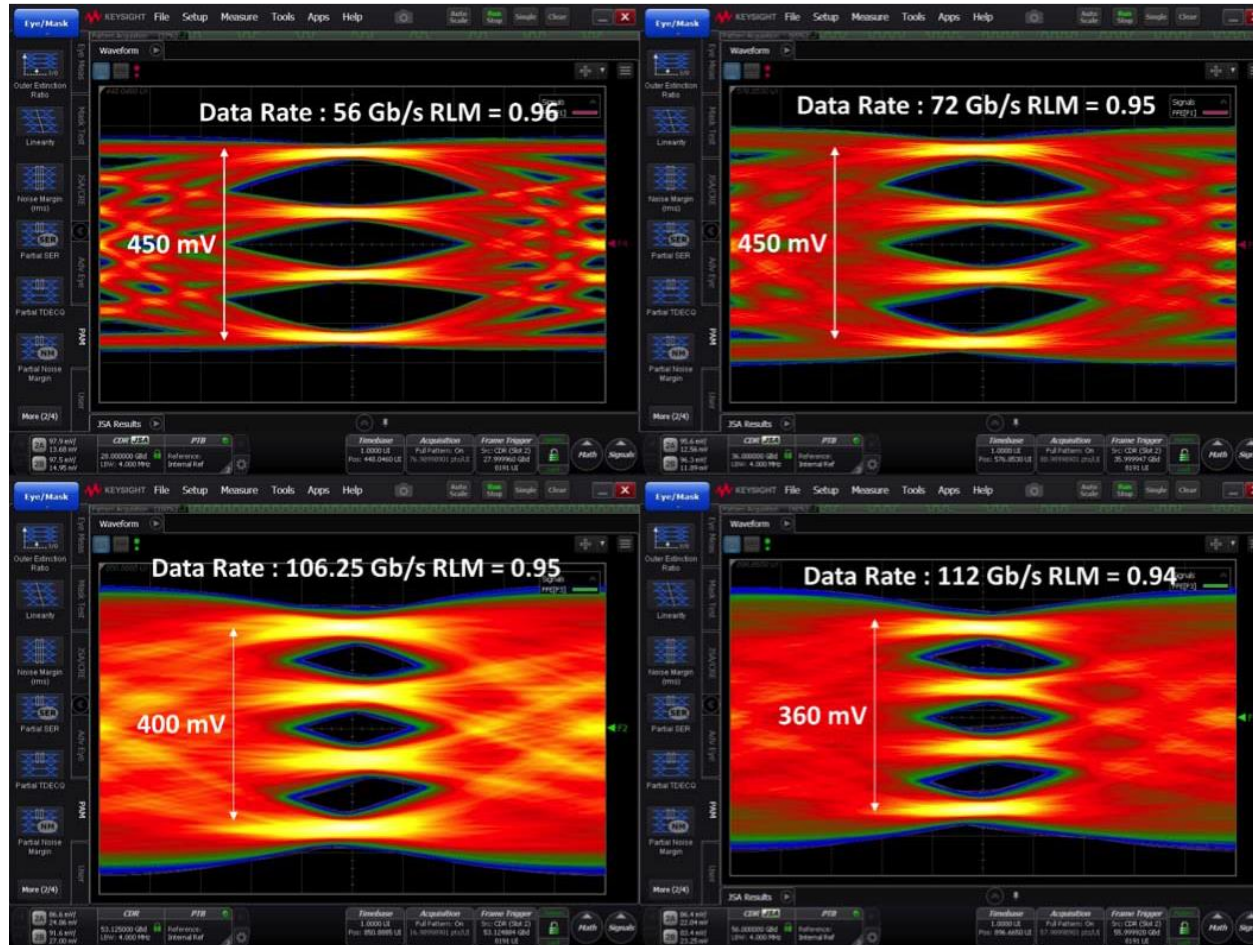


גרסה משופרת לpre-driver,

המבוססת על טכניקה "Active peaking".

source follower מניחת את האות במוצא בתדרים גבוהים. טכניקת "Active peaking" מגדילה את רוחב הפס, בכך שכל שהתדר עולה האימפדנס של הנגד מפצה על הירידה באימפדנס של הקבל. ובכך מתקבלת ירידה חדה כפי שניתן לראות בשרטוט (קו מקווקוו).

Measurements



Measured output eye at 56, 72, 106.25 and 112Gb/s.
Data rates are representative of CEI 56G, CEI 112G and 400GBASE-KR4. These eyes are generated from a signal path that includes package, trace and cable loss that are compensated using FFE taps and scope EQ.

Performance summary and comparison with state-of-the-art solutions.

	This Work	ISSCC 2018 [1]	ISSCC 2018 [2]	VLSI 2018 [3]
Technology	7nm FinFET	14nm FinFET	10nm FinFET	16nm FinFET
Architecture	DSP-DAC	DSP-DAC	Analog	Analog
Supported Data Rate	10 Gb/s-to-112 Gb/s	112 Gb/s	56 Gb/s, 112 Gb/s	56 Gb/s, 112 Gb/s
Transmit EQ	Up to 7-tap FIR	8-tap FIR	3-tap FIR	4-tap FIR
Serializer	DDR	QDR	QDR	QDR
Transmitter	H bridge	SST	CML	SST
Transmit Swing	1.2 Vppd	0.92 Vppd	0.75Vppd	1 Vppd
Clocking	Shared LC-PLL Local SSRPLL	External	Shared LC Local I/Q gen	LC-PLL
Clock Distribution Frequency & Length	2.25 GHz to 3.625 GHz over 2.1 mm	----	14 GHz LC PLL 510 um	----
Random Jitter	LC PLL 142 fs (RMS) Ring PLL 258 fs (RMS) (Integrated from 4 MHz to 29 GHz)	----	154 fs (RMS)	LC PLL130 fs (RMS)
Power Consumption (mw)	Transmitter: 118 mW Tx SSRPLL: 45 mW Shared clocking: 12 mW Total : 175 mW	Total:286 mW	Transmitter: 193 mW Clocking:39 mW Total: 232 mW	Total: 345 mW
FoM (pJ/bit)	1.05 pJ/bit w/o clocking 1.56 pJ/bit with clocking	2.55 pJ/bit w/o clocking	1.72 pJ/bit w/o clocking 2.07 pJ/bit w clocking	3.08 pJ/bit with clocking
Area (mm ²)	0.193 mm ²	0.183 mm ² Without clocking	0.03 mm ²	0.3825 mm ²

Thank you 😊

מקורות

- CMOS Circuit Design, Layout, and Simulation, Third Edition, R. Jacob Baker, 2010, (931 – 985)
- A 10-to-112Gb/s DSP-DAC-Based Transmitter with 1.2V p_{pp}d Output Swing in 7nm FinFET, E. Groen, ISSCC, 2020