

Survey of Non-Volatile Memories: a taxonomy

Lisandro Silva¹, Lizandro Oliveira¹, Maurício Pilla¹

¹Universidade Federal de Pelotas (UFPel)
Centro de Desenvolvimento Tecnológico (CDTEC)
Laboratory of Ubiquitous and Parallel Systems LUPS
Caixa Postal – 96010-610 – Pelotas – RS – Brazil

{lsoliveira, lldsilva, pilla}@inf.ufpel.edu.br

1. Proposta

Redigir um *survey* sobre as diferentes tecnologias de memória não-voláteis e apresentar uma proposta de taxonomia para as memórias pesquisadas. Serão abordados trabalhos que utilizam NVM em caches SPM e MP (juntamente com a memória DRAM).

2. Justificativa

O consumo de energia é tão importante quanto o desempenho em sistemas embarcados alimentados a bateria, pois cada vez mais estes sistemas precisam processar computação intensiva com um baixo consumo energético. Devido à alta contribuição do acesso à memória no consumo total de energia de sistemas embarcados, a arquitetura de memória influencia fortemente os objetivos dos projetos dos dispositivos embarcados.

Novas técnicas são propostas devido aos problemas enfrentados com o avanço da tecnologia, como por exemplo, a memória tradicional baseada em SRAM (*Static Random Access Memory*) on-chip tornou-se um gargalo em consumo energético para o projeto de sistemas embarcados, devido principalmente ao seu alto leakage. As tecnologias emergentes de memórias não voláteis (NVM, *Non-Volatile Memories*), tal como STT-RAM (*Spin-Transfer Torque RAM*) e PCRAM (*Phase Change RAM*), são soluções candidatas para os futuros sistemas de memória, pois elas possuem algumas vantagens sobre as memórias SRAMs e DRAMs tradicionais, como por exemplo, um menor *leakage*, uma maior densidade e não volatilidade.

Como exemplo de vantagens das memórias tradicionais pode-se citar a latência de acesso e consumo energético de algumas operações quando comparadas com NVMs. Assim, o trabalho busca explorar a utilização de NVMs em diversos níveis da hierarquia de memória como por exemplo, em SPM, caches e memórias principais, identificando os tipos de memórias utilizadas, a metodologia adotada e os resultados obtidos nos trabalhos abordados.

Foram selecionados cinco (05) papers iniciais: [Wang et al. 2013], [Hu et al. 2013], [Komalan et al. 2015], [Mittal et al. 2015] e [Mittal and Vetter 2016].

A pesquisa será ampliada buscando também por papers ainda mais recentes.

3. Eventos candidatos

- *Brazilian Symposium on Computing Systems Engineering (SBESC)*
- *IEEE Transactions on Parallel and Distributed Systems (TPDS)*

- *International Symposium on Computer Architectures and High Performance Computing (SBAC-PAD)*
- *International Symposium on Computer Architecture (ISCA)*
- *International European Conference on Parallel and Distributed Computing (Euro-Par)*

Referências

- Hu, J., Xue, C. J., Zhuge, Q., Tseng, W. C., and Sha, E. H. M. (2013). Data allocation optimization for hybrid scratch pad memory with sram and nonvolatile memory. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 21(6):1094–1102.
- Komalan, M. P., Tenllado, C., Pérez, J. I. G., Fernández, F. T., and Catthoor, F. (2015). System level exploration of a stt-mram based level 1 data-cache. In *2015 Design, Automation Test in Europe Conference Exhibition (DATE)*, pages 1311–1316.
- Mittal, S. and Vetter, J. S. (2016). A survey of software techniques for using non-volatile memories for storage and main memory systems. *IEEE Transactions on Parallel and Distributed Systems*, 27(5):1537–1550.
- Mittal, S., Vetter, J. S., and Li, D. (2015). A survey of architectural approaches for managing embedded dram and non-volatile on-chip caches. *IEEE Transactions on Parallel and Distributed Systems*, 26(6):1524–1537.
- Wang, P., Sun, G., Wang, T., Xie, Y., and Cong, J. (2013). Designing scratchpad memory architecture with emerging stt-ram memory technologies. In *2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)*, pages 1244–1247.