

第1章 概论

一、名词解释：

历年真题：

名词解释题：

(2002 年) 1. 主机：由 CPU、存储器与 I/O 接口合在一起构成的处理系统称为主机。

(2003 年) 16. 主机：由 CPU、存储器与 I/O 接口合在一起构成的处理系统称为主机。

(2004 年) 18. ALU 算术逻辑运算单元，负责执行各种算术运算和逻辑运算。

(2005 年) 21. 应用软件：完成应用功能的软件，专门为解决某个应用领域中的具体任务而编写。

近 4 年都考了名称解释，所以第一章的名称解释是考试的重点，这里给大家列出了名词解释大家要熟悉一下，这都是本章的基本概念，也有利于做选择题及填空题。

1. 主机：由 CPU、存储器与 I/O 接口合在一起构成的处理系统称为主机。
2. CPU：中央处理器，是计算机的核心部件，由运算器和控制器构成。
3. 运算器：计算机中完成运算功能的部件，由 ALU 和寄存器构成。
4. ALU：算术逻辑运算单元，负责执行各种算术运算和逻辑运算。
5. 外围设备：计算机的输入输出设备，包括输入设备，输出设备和外存储设备。
6. 数据：编码形式的各种信息，在计算机中作为程序的操作对象。
7. 指令：是一种经过编码的操作命令，它指定需要进行的操作，支配计算机中的信息传递以及主机与输入输出设备之间的信息传递，是构成计算机软件的基本元素。
8. 透明：在计算机中，从某个角度看不到的特性称该特性是透明的。
9. 位：计算机中的一个二进制数据代码，计算机中数据的最小表示单位。
10. 字：数据运算和存储的单位，其位数取决于具体的计算机。
11. 字节：衡量数据量以及存储容量的基本单位。1 字节等于 8 位二进制信息。
12. 字长：一个数据字中包含的位数，反应了计算机并行计算的能力。一般为 8 位、16 位、32 位或 64 位。
13. 地址：给主寄存器中不同的存储位置指定的一个二进制编号。
14. 存储器：计算机中存储程序和数据部件，分为内存和外存。
15. 总线：计算机中连接功能单元的公共线路，是一束信号线的集合，包括数据总线、地址总线和控制总线。
16. 硬件：由物理元器件构成的系统，计算机硬件是一个能够执行指令的设备。
17. 软件：由程序构成的系统，分为系统软件和应用软件。
18. 兼容：计算机部件的通用性。
19. 软件兼容：一个计算机系统上的软件能在另一个计算机系统上运行，并得到相同的结果，则称这两个计算机系统是软件兼容的。
20. 程序：完成某种功能的指令序列。
21. 寄存器：是运算器中若干个临时存放数据的部件，由触发器构成，用于存储最频繁使用的数据。
22. 容量：是衡量容纳信息能力的指标。
23. 主存：一般采用半导体存储器件实现，速度较高。成本高且当电源断开时存储器的内容会丢失。
24. 辅存：一般通过输入输出部件连接到主存储器的外围设备，成本低，存储时间长。
25. 操作系统：主要的系统软件，控制其它程序的运行，管理系统资源并且为用户提供操作界面。
26. 汇编程序：将汇编语言程序翻译成机器语言程序的计算机软件。

27. 汇编语言：采用文字方式（助记符）表示的程序设计语言，其中大部分指令和机器语言中的指令一一对应，但不能被计算机的硬件直接识别。

28. 编译程序：将高级语言程序转换成机器语言程序的计算机软件。

29. 解释程序：解释执行高级语言程序的计算机软件，解释并立即执行源程序的语句。

30. 系统软件：计算机系统的一部分，进行命令解释、操作管理、系统维护、网络通信、软件开发和输入输出管理的软件，与具体的应用领域无关。

31. 应用软件：完成应用功能的软件，专门为解决某个应用领域中的具体任务而编写。

32. 指令流：在计算机的存储器与 CPU 之间形成的不断传递的指令序列。从存储器流向控制器。

33. 数据流：在计算机的存储器与 CPU 之间形成的不断传递的数据序列。存在于运算器与存储器以及输入输出设备之间。

34. 接口：计算机主机与外围设备之间传递数据与控制信息的电路。计算机可以与多种不同的外围设备连接，因而需要有多种不同的输入输出接口。

第 2 章 数据编码和数据运算

一、名词解释：

历年真题：

（2001 年，2002 年）基数：在浮点数据编码中，对阶码所代表的指数值的数据，在计算机中是一个常数，不用代码表示。

（2003 年）移码：带符号数据表示方法之一，符号位用 1 表示正，0 表示负，其余位与补码相同。

（2004 年）溢出：指数的值超出了数据编码所能表示的数据范围。

（2005 年）偶校验码：让编码组代码中 1 的个数为偶数，违反此规律为校验错。

近 5 年每年都考名称解释，所以第二章的名称解释是考试的重点，这里给大家列出了名词解释大家要熟悉一下，这都是本章的基本概念，有利于做选择题及填空题。

1. 原码：带符号数据表示方法之一，一个符号位表示数据的正负，0 代表正号，1 代表负号，其余的代表数据的绝对值。

2. 补码：带符号数据表示方法之一，正数的补码与原码相同，负数的补码是将二进制位按位取反后在最低位上加 1。

3. 反码：带符号数据的表示方法之一，正数的反码与原码相同，负数的反码是将二进制位按位取反。

4. 阶码：在浮点数据编码中，表示小数点的位置的代码。

5. 尾数：在浮点数据编码中，表示数据有效值的代码。

6. 机器零：在浮点数据编码中，阶码和尾数都全为 0 时代表的 0 值。

7. 上溢：指数的绝对值太大，以至大于数据编码所能表示的数据范围。

8. 下溢：指数的绝对值太小，以至小于数据编码所能表示的数据范围。

9. 规格化数：在浮点数据编码中，为使浮点数具有唯一的表示方式所作的规定，规定尾数部分用纯小数形式给出，而且尾数的绝对值应大于 $1/R$ ，即小数点后的第一位不为零。

10. Booth 算法：一种带符号数乘法，它采用相加和相减的操作计算补码数据的乘积。

11. 海明距离：在信息编码中，两个合法代码对应位上编码不同的位数。

12. 冯·诺依曼舍入法：浮点数据的一种舍入方法，在截去多余位时，将剩下数据的最低位置 1。

13. 检错码：能够发现某些错误或具有自动纠错能力的数据编码。

14. 纠错码：能够发现某些错误并且具有自动纠错能力的数据编码。

15. 奇校验码：让编码组代码中 1 的个数为奇数，违反此规律为校验错。
16. 海明码：一种常见的纠错码，能检测出两位错误，并能纠正一位错误。
17. 循环码：一种纠错码，其合法码字移动任意位后的结果仍然是一个合法码字。
18. 桶形移位器：可将输入的数据向左、向右移动 1 位或多位的移位电路。

第 3 章 存储系统

一、名词解释：

历年真题：

(2001 年) 2. DRAM：动态随机访问存储器，利用电容电荷存储信息。

(2001 年) 6. 逻辑地址：程序员编程所用的地址以及 CPU 通过指令访问主存时所产生的地址。

(2001 年) 10. 随机存取方式：可按地址访问存储器任一编址单元，其访问时间相同且与地址无关。

六年以来就考了这 3 个名称解释，而且近 4 年都没有考，所以第三章的名称解释不是考试的重点，这里给大家列出了名词解释大家要熟悉一下，这都是本章的基本概念，有利于做选择题及填空题。

1. RAM：随机访问存储器，能够快速方便的访问地址中的内容，访问的速度与存储位置无关。

2. ROM：只读存储器，一种只能读取数据不能写入数据的存储器。

3. SRAM：静态随机访问存储器，采用双稳态电路存储信息。

4. DRAM：动态随机访问存储器，利用电容电荷存储信息。

5. EDO DRAM：增强数据输出动态随机访问存储，采用快速页面访问模式并增加了一个数据锁存器以提高数据传输速率。

6. PROM：可编程的 ROM，可以被用户编程一次。

7. EPROM：可擦写可编程的 ROM，可以被用户编程多次。靠紫外线激发浮置栅上的电荷以达到擦除的目的。

8. EEPROM：电可擦写可编程的 ROM，能够用电子的方法擦除其中的内容。

9. SDRAM：同步型动态随机访问存储器，在系统时钟控制下进行数据的读写。

10. 快闪存储器：一种非挥发性存储器，与 EEPROM 类似，能够用电子的方法擦除其中的内容。

11. 相联存储器：一种按内容访问的存储器，每个存储单元有匹配电路，可用于在 cache 中查找数据。

12. 多体交叉存储器：由多个相互独立、容量相同的存储体构成的存储器，每个存储体独立工作，读写操作重叠进行。

13. 访存局部性：CPU 的一种存取特性，对存储空间的 90% 的访问局限于存储空间的 10% 的区域中，而另外 10% 的访问则分布在 90% 的区域中。

14. 直接映象：cache 的一种地址映象方式，一个主存块只能映象到 cache 中的唯一一个指定块。

15. 全相联映象：cache 的一种地址映象方式，一个主存块可映象到任何 cache 块。

16. 组相联映象：cache 的一种地址映象方式，将存储空间分成若干组，各组之间用直接映象，组内各块之间用全相联映象。

17. 全写法（写直达法）：cache 命中时的一种更新策略，写操作时将数据既写入 cache 又写入主存，但块变更时不需要将调出的块写回主存。

18. 写回法：cache 命中时的一种更新策略，写 cache 时不写主存，而当 cache 数据被

替换出去时才写回主存。

19. 按写分配: cache 不命中时的一种更新策略, 写操作时把对应的数据块从主存调入 cache。

20. 不按写分配: cache 不命中时的一种更新策略, 写操作时该地址的数据块不从主存调入 cache。

一般写回法采用按写分配法, 写直达法则采用不按写分配法。

21. 虚拟存储器: 为了扩大容量, 把辅存当作主存使用, 所需要的程序和数据由辅助的软件和硬件自动地调入主存, 对用户来说, 好像机器有一个容量很大的内存, 这个扩大的存储空间称为虚拟存储器

22. 层次化存储体系: 把各种不同存储容量、不同访问速度、不同成本的存储器件按层次构成多层的存储器, 并通过软硬件的管理将其组成统一的整体, 使所存储的程序和数据按层次分布在各种存储器件中。

23. 访问时间: 从启动访问存储器操作到操作完成的时间。

24. 访问周期时间: 从一次访问存储的操作到操作完成后可启动下一次操作的时间。

25. 带宽: 存储器在连续访问时的数据吞吐率。

26. 段式管理: 一种虚拟存储器的管理方式, 把虚拟存储空间分成段, 段的长度可以任意设定, 并可以放大或缩小。

27. 页式管理: 一种虚拟存储器的管理方式, 把虚拟存储空间和实际存储空间等分成固定容量的页, 需要时装入内存, 各页可装入主存中不同的实际页面位置。

28. 段页式管理: 一种虚拟存储器的管理方式, 将存储空间逻辑模块分成段, 每段又分成若干页。

29. 固件: 固化在硬件中的固定不变的常用软件。

30. 逻辑地址: 程序员编程所用的地址以及 CPU 通过指令访问主存时所产生的地址。

31. 物理地址: 实际的主存储器的地址称为“真实地址”。

三、简答题:

历年真题:

(2000 年) 6. 静态存储器依靠什么存储信息? 动态存储器又依靠什么原理存储信息? 试比较它们的优缺点。(5 分)

【答案】:

(1) 静态存储器依靠双稳态电路的两个稳定状态来分别存储 0 和 1。速度较快, 不需动态刷新, 但集成度稍低, 功耗大, 价格高。

(2) 动态存储器依靠电容上暂存电荷来存储信息, 电容上有电荷为 1, 无电荷为 0。集成度高, 功耗小, 价格较低, 速度较慢, 需定时刷新。

(2001 年) 5. (不算 CPU 中的寄存器级) 存储系统一般由哪三级组成? 请分别简述各层存储器的作用(存放什么内容)及对速度、容量的要求。

【答案】:

① 主存: 存放需要 CPU 运行的程序和数据, 速度较快, 容量较大;

② Cache: 存放当前访问频繁的内容, 即主存某些页的内容复制。特点是速度最快、容量较小;

③ 外存: 存放需联机保存但暂不执行的程序和数据。容量很大而速度较慢。

(2002 年) 1. 静态存储器(SRAM)依靠什么来存储信息? 为什么称为“静态”存储器?

【答案】:

静态存储器依靠双稳态电路的两个稳定状态来分别存储 0 和 1。这类存储器在电源正常情况下, 可以长期保存信息不变(除非重新写入), 不需要动态刷新, 所以称为“静态”

存储器。

(2003 年) 27. 动态存储器 RAM 和静态存储器 RAM 各依靠什么来存储信息? 分别说明它们的优缺点。

【答案】:

静态存储器 RAM: 依靠双稳态电路的两个稳定状态来存储信息 0 和 1, 其优点是速度高。缺点: 价格高、容量小、功耗大。动态存储器 RAM: 依靠电容器存储电荷来存储信息, 充电至高电平为 1, 放电至低电平为 0。优点: 容量大、价格低。缺点: 速度慢, 需要动态刷新。

2004 年) 26. 何谓虚拟存储器? 其主要好处是什么?

【答案】:

虚拟存储器: 为了扩大容量, 把辅存当作主存使用, 所需要的程序和数据由辅助的软件和硬件自动地调入主存, 对用户来说, 好像机器有一个容量很大的内存, 这个扩大了存储空间称为虚拟存储器。虚拟存储器的主要好处是虚拟扩大主存容量, 减轻用户对程序进行分块的烦恼, 提高软件开发效率。

(2005 年) 26. 简述静态存储器的写操作过程。

【答案】:

要将外部数据写入静态存储器, 外部电路要驱动数据线, 使得外部信息输入的存储单元, 改变存储单元的导通和截止状态, 从而将信息写入到存储器。

其他简答题目:

由上可见, 本每年要考一个简答题, 动态存储器 RAM 和静态存储器 RAM 的题目多次考到, 虚拟存储器考过一次。同学除了要掌握已经考过的题目外, 有关 CACHE 的题目一定要注意。

需要同学熟悉的题目:

1、主存与 CACHE 之间的映象方式: 有直接映象、全相联映象、组相联映象三种。直接映象是指主存储器中的每个块只能够映象到 CACHE 中唯一一个指定块的地址映象方式。全相联映象是指每个主存块都能够映象到任一 CACHE 块的地址映象方式。组相联映象是直接映象和全相联映象两种方式的结合, 它将存储空间分成若干组, 在组间直接映象方式, 而在组内使用全相联映象方式。

2、CACHE 的替换策略: 随机法是用一个随机数产生器产生一个随机的替换块号; 先进先出法是替换最早调入的存储单元; 近期最少用法替换近期最少使用的存储。

3、CACHE 的更新策略: 写操作 CACHE 命中时, CACHE 更新策略有两种: ① 写直达法: 将内容同时写入 CACHE 和主存。② 写回法: 将内容只写入 CACHE, 当 CACHE 数据被替换出去才写回主存。写操作 CACHE 不命中时, 更新策略有两种: ① 按写分配法: 当 CACHE 不命中时将该地址对应的块从主存调入 CACHE。② 当 CACHE 不命中时将该地址对应的块不从主存调入 CACHE。

4、虚拟存储器的管理方式: 页式虚拟存储器是把虚拟存储空间和实际存储空间等分成固定容量的页, 各虚拟页可装入中不同的实际页面位置; 段式虚拟存储器是将主存按段分配, 段长度不固定, 由 OS 为程序分配各段; 段页式是前两种的结合, 它将存储空间按逻辑模块分段再分成若干页通过段表和页表进行访存。

5、提高存储器工作速度的技术主要有芯片技术和结构技术。

【答案】:

芯片技术: (1) 快速页式动态存储器 (FPM DRAM) 存储器的下一次访问可以利用上一次访问的行地址, 这样就可以减少两次输入地址带来的访问延迟。(2) 增强数据输出存储器 (EDO DRAM) 与 FPM DRAM 相似, 增加了一个数据锁存器, 并采用不同的控制逻辑连接到芯片的数据驱动电路中以提高数据传输速率。(3) 同步型动态存储器芯片 (SDRAM), 芯片在系统时钟控制下进行数据的读出与写入。(4) 相联存储器是一种按内容访问的存储器, 每个存储单元有匹配电路, 可用于 cache 中查找数据, 整个存储器阵列同时进行数据的匹配操作。

结构技术: (1) 增加存储器的数据宽度: 将存储器的位宽展到多个字的宽度以增加同时访问的数据量, 从而提高数据访问的吞吐率。(2) 采用多体交叉存储器: 由多个相互独立、容量相同的存储体构成的存储器, 每个存储体独立工作, 读写操作重叠进行, 从而提高数据访问的速度。

6、虚拟存储器中, 页面的大小不能太小, 也不能太大, 为什么?

【答案】:

虚拟存储器中, 页面如果太小, 虚拟存储器中包含的页面个数就会过多, 使得页表的体积过大, 页表本身占据的存储空间过大, 操作速度将变慢; 当页面太大时, 虚拟存储器中的页面个数会变少, 由于主存的容量比虚拟存储器的容量少, 主存中的页面个数会更少, 每一次页面装入的时间会变长, 每当需要装入新的页面时, 速度会变慢。所以在虚拟存储器中如果页面的大小太大或太小, 都会影响访存速度。

四、设计题目:

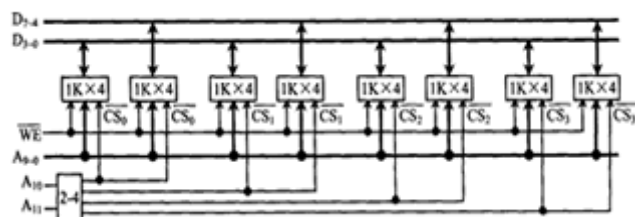
历年真题:

(2000 年) 1. 用 $16K \times 8$ 存储芯片构成 $64KB$ 存储器, 请画出逻辑图, 并注明地址线. 数据线. 片选线. 读写控制线等。(6 分)

(2001 年) 2. (15 分) 用 $1K \times 4$ 片的存储芯片构成一个 $4K \times 8$ 的存储器, 地址线 $A_{15} \sim A_0$ (低), 双向数据线 $D_7 \sim D_0$ WE 控制读写, CE 为片选输入端。画出芯片级逻辑图, 注明各种信号线, 列出片选逻辑式。

【分析】: 用 $1K \times 4$ 位 / 片的存储芯片构成一个 $4K \times 8$ 的存储器, 所需的芯片数量为: $(4K \times 8) / (1K \times 4) = 8$ 片, 每两片作为一组共 4 组, 每组内采用位扩展法组成一个 $1K \times 8$ 的模块, 4 个 $1K \times 8$ 的模块按字扩展法构成 $4K \times 8$ 的存储器。此存储器的容量为 $4KB$, 需 12 位地址, 选用 $A_{11} \sim A_0$ 作为地址线, $A_{12} \sim A_{15}$ 不用, 各芯片的容量均为 $1K$, 需 10 位地址, 用 $A_9 \sim A_0$ 向每个芯片提供地址, A_{10} 、 A_{11} 通过一个 2-4 译码器对 4 个模块进行选择, 每个输出控制一个模块内的两个芯片, 各个模块的片选控制信号对应的输入分别为: 00、01、10、11, 所有作为所有芯片的读写控制信号, $D_7 \sim D_0$ 为 8 条数据线。

【答案】:



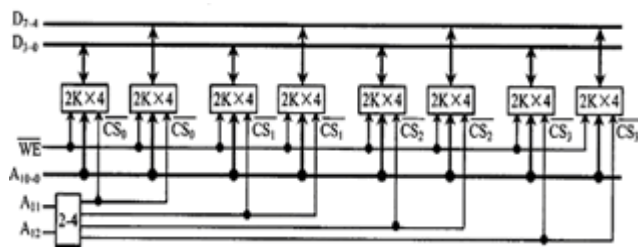
各片选信号的逻辑式为:

$$\overline{cs_0} = \overline{A_{11}} \overline{A_{10}} \quad \overline{cs_1} = \overline{A_{11}} A_{10} \quad \overline{cs_2} = A_{11} \overline{A_{10}} \quad \overline{cs_3} = A_{11} A_{10}$$

(2002 年) 2. (15 分) 用 $2K \times 4$ 位/片的 RAM 存储芯片构成一个 8KB 的存储器, 地址总线为 A_{15} (高位) $\sim A_0$ (低位), 数据总线 D_7 (高位) $\sim D_0$ (低位), 控制读写。请写出片选逻辑式, 画出芯片级逻辑图, 注意各信号线。

【分析】: 用 $2K \times 4$ 位/片的 RAM 存储芯片构成一个 8KB ($8K \times 8$ 位) 的存储器, 所需的芯片数量为: $(8K \times 8) / (2K \times 4) = 8$ 片, 每两片作为一组共 4 组, 每组内采用位扩展法组成一个 $2K \times 8$ 的模块, 4 个 $2K \times 8$ 的模块按字扩展法构成 $8K \times 8$ 的存储器, 即 8KB 的存储器。此存储器的容量为 8KB, 需 13 位地址 ($2^{13} = 8K$), 选用 $A_{12} \sim A_0$ 作为地址线, A_{13}, A_{14}, A_{15} 不用, 各芯片的容量均为 2K, 需 11 位地址, 用 $A_{10} \sim A_0$ 向每个芯片提供地址, A_{11}, A_{12} 通过一个 2-4 译码器对 4 个模块进行选择, 每个输出控制一个模块内的两个芯片, 各个模块的片选控制信号 CS 对应的输入分别为: 00, 01, 10, 11, \overline{WE} 作为所有芯片的读写控制信号, $D_7 \sim D_0$ 为 8 条数据线。

【答案】:



$$\overline{cs_0} = \overline{A_{12}} \overline{A_{11}} \quad \overline{cs_1} = \overline{A_{12}} A_{11} \quad \overline{cs_2} = A_{12} \overline{A_{11}} \quad \overline{cs_3} = A_{12} A_{11}$$

(2003 年) 33. (15 分) 用 $4k \times 8$ 位/片的 SRAM 存储器芯片设计一个 $16K \times 16$ 位的存储器。已知地址总线为 $A_{15} \sim A_0$ (低), 双向数据总线为 $D_{15} \sim D_0$ (低), 读写控制信号为 \overline{WR} 。请画出该存储器逻辑图, 注明各种信号线, 列出各片选逻辑式。

(2004 年) 33. 用 $2K \times 16$ 位/片的 SRAM 存储器芯片设计一个 $8K \times 32$ 位的存储器, 已知地址总线为 $A_{15} \sim A_0$ (低), 数据总线 $D_{31} \sim D_0$ (低), 为读写控制信号。请画出该存储器芯片级逻辑图, 注明各种信号线, 列出片选信号逻辑式。

(2005 年) 33. 用 64×4 位/片的 SRAM 存储器芯片设计一个总容量为 256 字节存储器, CPU 地址总线为 $A_{15} \sim A_0$ (低), 双向数据总线 $D_7 \sim D_0$ (低), 读写控制信号为 R/\overline{W} , 芯片的片选控制信号为 \overline{CS} 。请写出片选信号逻辑式, 绘出该存储器逻辑框图, 注明各信号线。

由上可见每年考题基本一样, 同学要注意的是: ① 地址线条数的计算, 多少条片内地址线, 多少条片选, 多少条空闲。② 不要漏掉控制线。③ 画图注意布局, 要规整、清晰, 在演算纸上画好后再画道试卷上。

第 4 章 指令系统

一、名词解释:

历年真题:

2001 年

3. 堆栈：数据的写入写出不需要地址，按先进后出的顺序读取数据的存储区。

4. 立即寻址方式：操作数直接在指令中给出。

六年以来就考了这 2 个名称解释，而且近 4 年都没有考，所以第四章的名称解释不是考试的重点，这里给大家列出了名词解释大家要熟悉一下，这都是本章的基本概念，有利于做选择题、改错题和填空题。

1. 指令系统：计算机中各种指令的集合，它反映了计算机硬件具备的基本功能。

2. 计算机指令：计算机硬件能识别并能直接执行操作的命令，描述一个基本操作。

3. 指令编码：将指令分成操作码和操作数地址码的几个字段来编码。

4. 指令格式：指定指令字段的个数，字段编码的位数和编码的方式。

5. 立即数：在指令中直接给出的操作数。

6. 指令字长度：一个指令字所占有的位数。

7. 助记符：用容易记忆的符号来表示指令中的操作码和操作数。

8. 汇编语言：采用文字方式（助记符）表示的程序设计语言，其中大部分指令和机器语言中的指令一一对应，但是不能被计算机的硬件直接识别。

9. 伪指令：汇编语言程序所提供的装入内存中的位置信息，表示程序段和数据段开始信息及结束信息等。且不转换成 2 进制机器指令。

10. 大数端：当一个数据元素的位数超过一个字节或者一个字的宽度，需存储在相邻的多个字节的存储位置时，将数据的最低字节存储在最大地址位置的存储方式。

11. 小数端：当一个数据元素的位数超过一个字节或者一个字的宽度，需存储在相邻的多个字节的存储位置时，将数据的最低字节存储在最小地址位置的存储方式。

12. 操作数寻址方式：指令中地址码的内容及编码方式。

13. 系统指令：改变计算机系统的工作状态的指令。

14. 特权指令：改变执行特权的指令，用于操作系统对系统资源的控制。

15. 自陷指令：特殊的处理程序，又叫中断指令。

16. 寻址方式：对指令的地址码进行编码，以得到操作数在存储器中的地址的方式。

17. 相对转移：转移到的目标指令的地址与当前指令的地址有关，是用当前指令的 PC 与一个偏移量相加，和为目标指令的 PC。

18. 绝对转移：转移到的目标指令的地址与当前指令的地址无关，指令中给定的目标地址即为目标指令的 PC。

19. 无条件转移：一种转移指令类型，不管状态如何，一律进行转移操作。

20. 条件转移：一种转移指令类型，根据计算机中的状态决定是否转移。

21. RISC：精简指令系统计算机，即指令系统中的指令数量少，且指令功能相对简单。

22. CISC：复杂指令系统计算机，即指令系统中的指令数量多，且指令功能相对较强。

23. 堆栈：数据的写入写出不需要地址，按先进后出的顺序读取数据的存储区。

四、简答题：

（2000 年）3. 若要使某些数位为 1，例如让 10010010 变为 11011010，应使用何种运算指令？如何操作？（5 分）

【答案】：

应选用逻辑或运算指令，并设置屏蔽字为 01001000，则原操作数 10010010 与屏蔽字 01001000 进行逻辑或运算如下，结果为 11011010。

```
      10010010
    OR 01001000
    -----
      11011010
```


(2002 年) 2. 简述寄存器间接寻址方式的含义, 说明其寻址过程。

【答案】:

含义: 操作数的地址在寄存器中, 指令中给出寄存器号。

寻址过程: 从指令中取出寄存器号, 找到对应的寄存器, 以该寄存器内容作为地址访问主存, 读出操作数。

(2003 年) 29. 若存储器堆栈是按向低地址生长方式生成的, 那么压栈和弹出操作的具体过程是什么?

【答案】:

压栈操作过程: 先移动栈顶指针: $(SP) - 1 \rightarrow SP$;

后压入数据: 数据 $\rightarrow (SP)$

弹出操作过程: 先弹出数据: $((SP)) \rightarrow$ 寄存器;

后动栈顶指针: $(SP) + 1 \rightarrow SP$

(2004 年) 27. 堆栈有哪两种基本操作? 它们的含义是什么?

【答案】:

堆栈的两种基本操作是入栈和出栈。

入栈操作过程: 先移动栈顶指针: $(SP) - 1 \rightarrow SP$; 后压入数据: 数据 $\rightarrow (SP)$

出栈操作过程: 先弹出数据: $((SP)) \rightarrow$ 寄存器; 后动栈顶指针: $(SP) + 1 \rightarrow SP$

(2005 年) 27. 假设寄存器 R 中的数值为 2000, 主存地址为 2000 和 3000 的地址单元中存放的内容分别为 3000 和 4000, PC 的值为 5000, 若按以下寻址方式, 访问到的操作数各是多少? ① 寄存器寻址 R; ② 寄存器间接寻址(R); ③ 直接寻址 2000; ④ 存储器间接寻址(2000); ⑤ 相对寻址-3000(PC)。

【分析】: 本题与教材 P113 的 12 题, 基本相同。主要考察考生对寻址方式含义的理解。

【答案】: ① 寄存器寻址 R, 操作数是 2000; ② 寄存器间接寻址(R), 操作数是 3000; ③ 直接寻址 2000, 操作数是 3000; ④ 存储器间接寻址(2000), 操作数是 4000; ⑤ 相对寻址-3000(PC), 操作数是 2000

由上可见, 本章每年都回考简答题。考试的两个重点: 一个是有关堆栈操作的知识, 另一个是各种寻址方式的含义。这两方面大家一定重点掌握。

下面一些知识也要求大家了解

① 数据的寻址方式:

(1) 隐含寻址: 在指令中不指出操作数地址, 根据指令的操作码可判定操作数的存储位置, 即操作数的地址隐含在操作码中。例: POP 出栈

(2) 立即数寻址: 操作数直接在指令中给出。例: ADD #3 累加器加 3

(3) 寄存器寻址: 指令的操作码是一个寄存器号, 操作数在这个寄存器中。例: ADD R1, R2, R3。R2 中的内容和 R3 中的内容相加后, 结果送 R1。

(4) 直接寻址: 操作数直接在指令中给出。例: ADD R1, 1000 存储单元 1000 中的内容和 R1 中的内容相加后, 结果送 R1。

(5) 寄存器间接寻址: 操作数的地址在寄存器中, 其寄存器号在指令中给出。例: ADD R1, (R2) R2 中放的是一个操作数的地址。

(6) 存储器间接寻址: 操作数的地址在主存储器中, 其存储器地址在指令中给出。例: ADD R1, (1000) 存储单元 1000 中放的是一个操作数的地址。

(7) **相对寻址**：操作数的地址是程序计数器 PC 的值加上偏移量形成的，这个偏移量在指令中给出。是一种特殊的变址寻址方式，偏移量用补码表示，可正可负。相对寻址可用较短的地址码访问内存。例：ADD R1, 100 (PC) PC 的内容加上 100 是操作数的地址。

(8) **基址寻址**：是由基址寄存器提供基准地址、指令提供偏移量；此寻址方式面向系统，对由逻辑地址空间到物理地址空间的变换提供支持，用以解决程序在存储器中再定位和扩大寻址空间等问题。

(9) **变址寻址**：是由指令提供基准地址、变址寄存器提供偏移量；此寻址方式面向用户，常用于访问字符串、向量数据结构和循环程序设计。

② **转子指令行过程**：① 将下一条指令的地址 (PC 的值) 存放在一个临时存储位置，以便于子程序返回时取出这个地址，继续执行下一条指令；② 将子程序的起始地址装入 PC 中，这样取指令时将读取子程序中的指令。子程序的最后一条指令一般是一条返回指令，它将存放在临时存储位置的指令地址取出，放回 PC，这样程序就返回原程序了。

第 5 章 控制器

一、名词解释：

历年真题：

(2001 年) 6. 逻辑地址：程序员编程所用的地址以及 CPU 通过指令访问主存时所产生的地址。与内存物理地址无固定对应关系的地址。

(2001 年) 7. 微程序控制器：将执行指令所需要的微命令以代码形式编成微指令序列 (微程序)，存入一个控制存储器，需要时从该存储器中读取。按这种方式工作的控制器为微程序控制器。

(2002 年) 3. 控制存储器 (CPU 内的)：CPU 内用于存放实现指令系统全部指令的微程序的只读存储器称为控制存储器。

(2004 年) 20. 垂直型微指令：一种微指令类型，设置微操作码字段，采用微操作码编码法，由微操作码规定微指令的功能。

(2005 年) 23. 微程序控制器：将执行指令所需要的微命令以代码形式编成微指令序列 (微程序)，存入一个控制存储器，需要时从该存储器中读取。按这种方式工作的控制器为微程序控制器。

近年以来每年考本章的名词解释，所以第五章的名称解释是考试的重点。这里给大家列出了本章的名词解释，大家要熟悉一下，这都是本章的基本概念，有利于做名称解释、选择题、改错题和填空题。

1. 指令周期：从一条指令的启动到下一条指令的启动的间隔时间。
2. 机器周期：指令执行中每一步操作所需的时间。
3. 指令仿真：通过改变微程序实现不同机器指令系统的方式，使得在一种计算机上可以运行另一种计算机上的指令代码。
4. 指令模拟：在一种计算机上用软件来解释执行另一种计算机的指令。
5. 硬连线逻辑：一种控制器逻辑，用一个时序电路产生时间控制信号，采用组合逻辑电路实现各种控制功能。
6. 微程序：存储在控制存储中的完成指令功能的程序，由微指令组成。
7. 微指令：控制器存储的控制代码，分为操作控制部分和顺序控制部分。
8. 微操作：在微程序控制器中，执行部件接受微指令后所进行的操作。
9. 微地址：微每时令在控制存储器中的存储地址。

10. 控制存储器：CPU 内用于存放实现指令系统全部指令的微程序的只读存储器称为控制存储器。

11. 相容性微操作：在同时或同一个 CPU 周期内可以并行执行的微操作。

12. 相斥性微操作：不能在同时或不能在同一个 CPU 周期内并行执行的微操作。

四、简答题：

历年真题：

（2000 年）4. 在 CPU 中，哪些寄存器属于控制用的指令部件？它们各起什么作用？（5 分）

【答案】：

（1）程序计数器 PC，提供取指地址，从而控制程序执行顺序。

（2）指令寄存器 IR，存放现行指令，作为产生各种微操作命令的基本逻辑依据。

（3）程序状态寄存器 PS，记录程序运行结果的某些特征标志，或用来设置程序运行方式与优先级，参与形成某些微操作命令。

（2001 年）1. 硬连线控制器如何产生微命令？产生微命令的主要条件是哪些？

【答案】：

硬连线控制器依靠组合逻辑电路产生命令；（1 分）

组合逻辑电路的输入是产生微命令的条件，主要有：① 指令代码；② 时序信号；③ 程序状态信息与标志位；④ 外部请求信号。（4 分）

（2002 年）3. 微程序控制器怎么产生操作控制信号，这种控制器有何优缺点？

【答案】：

操作控制信号的产生：事先把操作控制信号以代码形式构成微指令，然后存放到控制存储器中，取出微指令时，其代码直接或译码产生操作控制信号。

优点：规整、易于修改和扩展。

缺点：速度较慢。

（2003 年）26. 当读取并执行一条指令时，控制器的主要功能是什么？

【答案】：

① 从主存取指令，并计算下一条指令在主存中的地址；

② 对指令进行译码，产生相应的操作控制信号；

③ 控制指令执行的步骤和数据流动的方向。

（2004 年）28. 与硬连线控制器相比，微程序控制器有哪些优缺点？

【答案】：与硬连线控制器相比，微程序控制器的优点是设计规整、易于修改和扩展。缺点是比硬连线控制器速度慢。

（2005 年）28. 硬连线控制器主要由哪几部分构成？它是如何产生控制信号的？

【答案】：硬连线控制器主要由时钟源、环形脉冲发生器、控制信号编码器电路和指令译码器电路构成。硬连线控制器采用组合逻辑与时钟信号结合的方式产生控制信号。

由上可见，每年都会考本章的简答题。考试的两个重点：一个是硬连线控制器的有关知识，另一个是微程序控制器有关内容。这两方面大家一定重点掌握

下面一些知识也要求大家了解

① **微程序控制器的构成：**控制存储器、微指令寄存器 μIR 、微地址寄存器 μAR 、地址转移逻辑等。

② **微指令控制字编码的方式：**微指令编码的 3 种方式分别是：直接表示法、编码表示法、混合表示法。

直接表示法是将每个控制信号都作为微指令中的一个位。这种方法的特点是简单直观，其输出直接用于控制，但编码效率低。

编码表示法是将微指令进行分组编码，将不同时出现的相斥信号分在一个组中，然后将其编码成较短的代码。这种方法减少了控制存储器所需要的存储器的代码的数量，但是编码的指令代码需要译码器译码，增加了控制信号的延迟，影响 CPU 的工作频率。

混合表示法是把直接表示法与编码方法相结合使用，即采用部分直接表示部分编码的方法，将一些速度要求较高，或与其他控制信号都相容的控制信号以直接方式表示，而将剩余信号以编码方式。混合表示法便于综合考虑指令字长、灵活性和执行速度方面的要素。

③ **微地址的形成方法：**（微指令中顺序控制字段的编码）微地址的形成方法有三种方式：计数器方式、断定方式和结合方式。

计数器方式，又称增量方式。用微程序计数器 μPC 来产生指令的微地址，将微程序中的各条微指令按顺序安排在控制存储器中，后继地址由现行微地址加上一个增量形成。

断定方式，根据机器状态决定下一条微指令的地址，下一条微指令的地址包含在当前微指令的代码中。

结合方式，是将计数器方式和断定方式相结合。

④ **中央处理器的基本功能：**计算机的中央处理器（CPU）具有以下 4 个方面的基本功能：

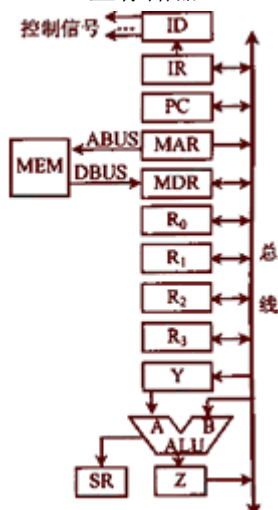
- （1）指令控制，即对程序运行的控制；
- （2）操作控制，即对指令内操作步骤的控制；
- （3）数据运算，即对数据进行算术运算和逻辑运算，这是 CPU 的最基本功能；
- （4）异常处理和中断处理，如处理运算中的溢出等错误情况以及处理外部设备的服务请求等。

此外，CPU 还具有存储管理、总线管理、电源管理等扩展功能

五、设计题：

历年真题：

（2000 年）2. 模型机数据通路如图所示，其中：MAR 存储器地址寄存器，MDR 存储器数据寄存器，MM 主存储器， $R_0 \sim R_3$ 通用寄存器，Y、Z 暂存寄存器，PC 程序计数器，IR 指令寄存器，ID 指令译码器。欲取出并执行逻辑乘指令 AND R_0 , ADDR；指令含意是：将以 ADDR 为直接地址的存储单元的内容读出，并与 R_0 内容进行逻辑乘，结果存入 R_0 中。请和寄存器级传送形式，设计其分步流程。（7 分）



指令寄存器，ID 指令译码器。欲取出并执行逻辑乘指令 AND R_0 , ADDR；指令含意是：将以 ADDR 为直接地址的存储单元的内容读出，并与 R_0 内容进行逻辑乘，结果存入 R_0 中。请和寄存器级传送形式，设计其分步流程。（7 分）

【答案】：

PC \rightarrow MAR

$PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $IR(\text{地址段}) \rightarrow MAR$
 $DBUS \rightarrow MDR, MDR \rightarrow Y$
 $R0 \odot Y \rightarrow Z$
 $Z \rightarrow R0$

(2001 年) 1. (10 分) 画出单总线 CPU 内部框图(寄存器级), 拟出加法指令 ADD R1, (R2) 的读取与执行流程。源寻址方式采用寄存器间址方式。

【答案】:

$PC \rightarrow MAR$
 $PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $R2 \rightarrow MAR$
 $DBUS \rightarrow MDR, MDR \rightarrow Y$
 $R1+Y \rightarrow Z$
 $Z \rightarrow R1$

(2002 年) 1. (10 分) 以单总线的 CPU 数据通路结构为背景, 拟出加法指令 ADD R3,R1,R2 的指令流程。本指令功能是将 R1 和 R2 中的数相加, 结果送入 R3。教材 P122 原题

【答案】:

$PC \rightarrow MAR$
 $PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $R1 \rightarrow Y$
 $R2+Y \rightarrow Z$
 $Z \rightarrow R3$

(2003 年) 34. (10 分) 单总线 CPU 结构如图所示, 图中有运算部件 ALU, 寄存器 Y 和 Z, 通用寄存器 R0~R3, 状态寄存器 SR, 指令寄存器 IR, 程序计数器 PC, 主存地址寄存器 MAR, 主存数据寄存器 MDR 等部件。试拟出 CPU 读取和执行存储指令 STORE R1, (A) 的流程。指令中 R1 表示源寻址为寄存器寻址, (A) 表示目的址为存储器间接寻址。

【答案】:

$PC \rightarrow MAR$
 $PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $A(IR \text{ 地址段}) \rightarrow MAR$
 $DBUS \rightarrow MDR, MDR \rightarrow MAR$
 $R1 \rightarrow MDR$

(2004 年) 34. 单总线 CPU 结构图如下, 其中有运算部件 ALU、寄存器 Y 和 Z、通用寄存器 R0~R3、指令寄存器 IR、程序计数器 PC、主存地址寄存器 MAR 和主存数据寄存器 MDR 等部件, 试拟出加法指令 ADD R1, B(R2) 的读取和执行流程。其中 R1 表示目的寻址为寄存器寻址; B(R2) 表示源寻址为变址寻址, B 是偏移量, R2 是变址寄存器。

【答案】:

$PC \rightarrow MAR$

$PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $B(IR \text{ 地址段}) \rightarrow Y$
 $R2+Y \rightarrow Z$
 $Z \rightarrow MAR$
 $DBUS \rightarrow MDR, MDR \rightarrow Y$
 $R1+Y \rightarrow Z$
 $Z \rightarrow R1$

(2005 年) 34. 单总线 CPU 结构如下图所示, 其中有运算部件 ALU、寄存器 Y 和 Z, 通用寄存器 R0~R3、指令寄存器 IR、程序计数器 PC、主存地址寄存器 MAR 和主存数据寄存器 MDR 等部件。试拟出 CPU 读取并执行取数指令 LOAD R0, (A) 的流程。指令中 R0 表示目的寻址为寄存器寻址, (A) 表示源寻址为存储器间接寻址。

【答案】:

$PC \rightarrow MAR$
 $PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $A(IR \text{ 地址段}) \rightarrow MAR$
 $DBUS \rightarrow MDR, MDR \rightarrow MAR$
 $DBUS \rightarrow MDR$
 $MDR \rightarrow R0$

补充几个此类题目:

1. 试拟出加法指令 ADD R1, (mem) 的读取和执行流程。

【答案】:

$PC \rightarrow MAR$
 $PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $IR(\text{地址段}) \rightarrow MAR$
 $DBUS \rightarrow MDR, MDR \rightarrow MAR$
 $DBUS \rightarrow MDR, MDR \rightarrow Y$
 $R1+Y \rightarrow Z$
 $Z \rightarrow R1$

2. 试拟出转移指令 JMP #A 的读取和执行流程。[考试可能性最大]

【答案】:

$PC \rightarrow MAR$
 $PC+1 \rightarrow PC$
 $DBUS \rightarrow MDR, MDR \rightarrow IR$
 $PC \rightarrow Y$
 $IR(\text{地址段})+Y \rightarrow Z$
 $Z \rightarrow PC$

第 6 章 总线系统

一、名词解释:

历年真题:

(2001 年) 5. 总线: 计算机中连接功能单元的公共线路, 是一束信号线的集合, 包括

数据总线、地址总线和控制总线。

(2001 年) 8. 同步通信方式: 采用这种方式的总线传输中, 所有的设备都从一个公共的时钟信号中获得定时信息。

(2002 年) 4. 主设备: 获得总线控制权的设备。

(2003 年) 19. 猝发数据传输方式: 在一个总线周期内传输存储地址连续的多个数据字的总线传输方式。

(2004 年) 16. 总线的同步通信方式: 采用这种方式的总线传输中, 所有的设备都从一个公共的时钟信号中获得定时信息。

(2005 年) 24. 总线从设备: 被主设备访问的设备。

近年以来每年考本章的名词解释, 所以第五章的名称解释是考试的重点。这里给大家列出了本章的名词解释, 大家要熟悉一下, 这都是本章的基本概念, 有利于做名称解释、选择题、改错题和填空题。

1、猝发传输方式: 在一个总线周期内传输存储地址连续的多个数据字的总线传输方式。

2、四边沿协议(全互锁): 全互锁的总线通信异步方式, 就绪信号和应答信号的上升边沿和下降边沿都是触发边沿。

3、码元: 信息传输通道中, 携带数据信息的信号单元。

4、波特率: 码元传输速率, 每秒通过信道传输的码元数。(传的是信号)

5、比特率: 信息位传输速率, 每秒钟通过信道传输的有效信息量。(传的是信息)

6、UART: 通用异步接收器/发送器, 一种典型的集成电路异步串行接口电路。

7、主设备: 获得总线控制权的设备。

8、从设备: 被主设备访问的设备。

9、总线事务: 从总线的请求到完成总线的使用的操作序列。

10、总线协议: 总线通信同步方式规则, 规定实现总线数据传输的定时规则。

11、总线访问延迟: 是主设备为获得总线控制权而等待的时间。

12、总线周期: 是主设备占用总线的时间。

13、总线裁决方式: 决定总线由哪个设备进行控制的方式。

14、系统总线: 是用来连接系统内各大功能模块或设备, 实现系统种各电路板的连接。

15、数据帧: 串行数据传输的位格式, 包括起始位, 数据位, 校验位, 结束位和空闲位。

16、同步通信: 所有的设备都从一个公共的时钟信号中获得定时信息。

17、异步通信: 使用一个在 CPU 和设备之间的"握手"信号, 去除了公共的时钟信号, 从而使得操作变成异步的。非互锁、半互锁、全互锁。

18、链式查询方式(菊花链方式): 各申请总线的设备合用一条总线作为请求信号线, 而总线控制设备的响应信号线则串接在各设备间。

19、计数器定时查询方式: 集中式总线裁决方式之一, 设备要求使用总线时通过一条公用请求线发出, 总线控制器按计数的值对各设备进行查询。

20、独立请求方式: 集中式总线裁决方式之一, 每一个设备都有一个独立的总线请求信号线送到总线控制器, 控制器也给各设备分别发送一个总线响应信号。

21、串行传输: 是指数据的传输在一条线路上按位进行。(只需一条数据传输线, 线路的成本低, 适合于长距离的数据传输)

22、并行传输: 每个数据位都需要单独一条传输线, 所有的数据位同时进行传输。(在采用并行传输方式的总线中, 除了有传输数据的线路外, 还可以具有传输地址和控制信号的线路, 地址线用于选择存储单元和设备, 控制线用于传递操作信号)

23、复合传输: 又称总线复用的传输方式, 它使不同的信号在同一条信号线上传输, 不

同的信号在不同的时间片中轮流地身总线的同一条信号线上发出。（它与并串传输的区别在于分时地传输同一数据源的不同信息。）

24、消息传输方式：总线的信息传输方式之一，将总线需要传送的数据信息、地址信息、和控制信息等组合成一个固定的数据结构以猝发方式进行传输。

25、总线：一组可由多个部件分时共享的信息传输线。

四、简答题：

历年真题：

（2000 年）1. 何谓存储总线？何谓 I/O 总线？各有何特点？（4 分）

【答案】：

存储总线是连接 CPU 和主存储器之间的专用总线，速度高。

I/O 总线是连接主机（CPU）与 I/O 设备之间的总线，可扩展性好。

（2001 年）4. 总线的分类方法主要有哪几种？请分别按这几种法说明总线的分类。

【答案】：① 按传送格式分为：串行总线、并行总线；② 按时序控制方式分为：同步总线（含同步扩展总线）、异步总线；③ 按功能分为：系统总线、CPU 内部总线、各种局部总线。

（2002 年）4. 何谓串行传输，有何优缺点？适用什么场合？

【答案】：

串行传输是指数据的传输在一条线路上按位进行。

优点：线路成本低。

缺点：传送速度慢。

适用场合：主机与低速外设间的传送、远距离通信总线的数据传送、系统之间的数据传送。

（2003 年）28. 总线的同步通信方式与异步通信方式有什么区别？各适用于哪些场合？

【答案】：

同步通信方式中：数据传送操作由统一的时序信号同步定时控制，有严格的时钟周期划分，总线操作有固定的时序，设备之间没有应答信号。适合各设备速度固定且一致（或差异不大）的场合。

异步通信方式中：数据传送操作所需时间视需要而定，总线操作周期时间不固定，没有时钟周期划分，设备之间采用握手信号的应答方式。适合：各设备速度差异较大的场合。

（2004 年）29. 串行总线和并行总线有何区别？各适用于什么场合？

【答案】：

串行总线的数据传输是在一条线路上按位进行。线路成本低，传送速度慢。适用场合：主机与低速外设间的传送、远距离通信总线的数据传送、系统之间的数据传送。

并行总线的每个数据位都需要单独一条传输线，所有的数据位同时进行传输。线路成本高，传送速度快。适用场合：短距离的高速数据传输。

（2005 年）29. 系统总线接口有哪几项基本功能？

【答案】：① 控制：传递总线上的控制信息，主设备会通过总线接口向从设备发出控制信息。② 数据缓存：在总线传递信息时，在总线接口中临时存放数据。③ 状态设置通过总线和转换从设备的工作信息，便于主设备了解从设备的信息。④ 数据转换：某些总线接口需要对传递的数据进行转换。⑤ 整理：对接口本身进行调整。⑥ 程序中断。

由上可见，每年都会考本章的简答题。考试的两个重点：一个是串行总线和并行总线相关内容，另一个是同步通信方式与异步通信方式有关内容。这两方面大家一定重点掌握。

下面一些知识也要求大家了解

1. 什么是总线裁决？总线裁决有哪几种方式？

【答案】：

总线裁决就是决定总线由哪个设备进行控制。

总线裁决方式可分为集中式裁决和分布式裁决两种。

集中式裁决将总线的控制功能用一个专门的部件实现，这个部件可以位于连接在总线的某个设备上。当一个设备需要向共享总线传输数据时，它必须先发出请求，在得到许可时才能发出数据。裁决部件接收来自各个设备的总线使用请求信号，向其中某一个设备发出总线许可信号。

分布式裁决将控制功能分布在连接在总线上的各设备中，一般是固定优先级的。每个设备分配一个优先号，发出总线请求的设备将自己的优先号送往请求线上，与其他设备的请求信号构成一个合成信号，并将这个合成裁决信号读入以判断是否有优先级更高的设备申请总线。这样可使得优先级最高的设备获得总线使用权。

2. 集中式裁决有哪几种方式：

【答案】：

链式查询方式（菊花链方式）：各申请总线的设备合用一条总线作为请求信号线，而总线控制设备的响应信号线则串接在各设备间。

计数器定时查询方式：集中式总线裁决方式之一，设备要求使用总线时通过一条公用请求线发出，总线控制器按计数的值对各设备进行查询。

独立请求方式：集中式总线裁决方式之一，每一个设备都有一个独立的总线请求信号线送到总线控制器，控制器也给各设备分别发送一个总线响应信号。

独立请求方式可以和链式查询方式结合，构成分组链式查询方式。

3. 提高总线速度的措施。

【答案】：从物理层次：1. 增加总线宽度；2. 增加传输的数据长度；3. 缩短总线长度；4. 降低信号电平；5. 采用差分信号；6. 采用多条总线。从逻辑层次：1. 简化总线传输协议；2. 采用总线复用技术；3. 采用消息传输协议。

4. 什么是串行接口？什么是并行接口？他们与系统总线及 I/O 设备之间的传递格式分别是什么？

【答案】：串行接口和并行接口都是总线与设备之间的接口部件，但与设备间的数据格式不同。串行接口与外设之间串行，与系统总线之间并行。并行接口与外设之间并行，与系统总线之间并行。

第 7 章 输入输出系统

一、名词解释：

历年真题：

（2001 年）9. DMA 方式：直接存储器访问，直接依靠硬件实现主存与外设之间的数据直接传输，传输过程本身不需 CPU 程序干预。

（2002 年）5. I/O 接口：是指连接主机和外围设备的逻辑部件。

（2003 年）20. 中断屏蔽：CPU 处理一个中断的过程中，对其他一些外部设备的中断

进行阻止。

(2004 年) 17. 统一编址: 将输入输出设备中控制寄存器、数据寄存器、状态寄存器等与内存单元一样看待, 将它们和内存单元联合在一起编排地址, 用访问内存的指令来访问输入输出设备接口的某个寄存器, 从而实现数据的输入输出。

(2005 年) 25. 通道程序: 通道命令构成通道程序。在通道程序的控制下, 通道对外围设备进行数据传输控制。

近年以来每年考本章的名词解释, 所以第五章的名称解释是考试的重点。这里给大家列出了本章的名词解释, 大家要熟悉一下, 这都是本章的基本概念, 有利于做名称解释、选择题、改错题和填空题。

1. 统一编址: 将输入输出设备中控制寄存器、数据寄存器、状态寄存器等与内存单元一样看待, 将它们和内存单元联合在一起编排地址, 用访问内存的指令来访问输入输出设备接口的某个寄存器, 从而实现数据的输入输出。

2. 单独编址: 将输入输出设备中控制寄存器、数据寄存器、状态寄存器单独编排地址, 用专门的控制信号进行输入输出操作。

3. 单级中断: CPU 在执行中断服务程序的过程中禁止所有其他外部中断。

4. 多级中断: CPU 在执行中断服务程序的过程中可以响应级别更高的中断请求。

5. 中断屏蔽: CPU 处理一个中断的过程中, 对其他一些外部设备的中断进行阻止。

6. DMA: 直接存储器访问, 直接依靠硬件实现主存与外设之间的数据直接传输, 传输过程本身不需 CPU 程序干预。

7. 现场保护: CPU 在响应中断请求时, 将程序计数器和有关寄存器内容等系统的状态信息存储起来, 以使中断处理结束之后能恢复原来的状态继续执行程序, 称为现场保护。

8. 中断向量: 外设向 CPU 发出中断请求时, 由该设备通过输入输出总线主动向 CPU 发出一个识别代码, 这个识别代码通常称为中断向量。

9. 自陷: 当 CPU 出现有算术操作异常、非法指令、越权操作和访存中的异常等某种内部情况时自己引起的中断称为自陷。

10. 软件中断: 由自陷指令引起的中断称为软件中断, 又称为系统调用。

11. 通道命令: 通道用于执行输入输出操作的指令, 也叫通道控制字 (CCW)。

四、简答题:

历年真题:

2000 年:

7. 以 DMA 方式实现传送, 大致可分为哪几个阶段? (3 分)

【答案】:

- ① DMA 传送前的预置阶段 (DMA 初始化);
- ② 数据传送阶段 (DMA 传送);
- ③ 传送后的结束处理。

2001 年:

2. 何谓中断方式? 它主要应用在什么场合? 请举二例。

【答案】:

① 中断方式指: CPU 在接到随机产生的中断请求信号后, 暂停原程序, 转去执行相应的中断处理程序, 以处理该随机事件, 处理完毕后返回并继续执行原程序;

② 主要应用于处理复杂随机事件、控制中低速 I/O;

③ 例: 打印机控制, 故障处理。

3. 在 DMA 方式预处理（初始化）阶段，CPU 通过程序送出哪些信息？

【答案】：

向 DMA 控制器及 I/O 接口（分离模式或集成模式均可）分别送出以下信息：

- ① 测试设备状态，预置 DMA 控制器工作方式；
- ② 主存缓冲区首址，交换量，传送方向；
- ③ 设备寻址信息，启动读 / 写。

6. 中断接口一般包含哪些基本组成？简要说明它们的作用。

【答案】：

- ① 地址译码。选取接口中有关寄存器，也就是选择了 I/O 设备。
- ② 命令字 / 状态字寄存器。供 CPU 输出控制命令，调回接口与设备的状态信息。
- ③ 数据缓存。提供数据缓冲，实现速度匹配。
- ④ 控制逻辑。如中断控制逻辑、与设备特性相关的控制逻辑等。

2002 年：

5. 何谓 DAM 方式？说明它的适用场合。

【答案】：

定义：由 DMA 控制器控制系统总线，直接依靠硬件实现主存与 I/O 设备之间的数据直传，传送期间不需要 CPU 程序干预。

适用场合：高速、批量数据的简单传送。

6. 何谓多重中断？如何保证它的实现？

【答案】：

多重中断：CPU 在响应处理中断过程中，允许响应处理更高级别的中断请求，这种方式称为多重中断。

实现方法：在中断服务程序的起始部分用一段程序来保存现场、送新屏蔽字以屏蔽同级别和低级别的中断请求、然后开中断，这样 CPU 就可响应更高级别的中断请求，实现多重中断。

2003 年：

30. 简述外围设备接口的主要功能。（新教材取消了这一内容）

31. 试对程序中断方式和 DMA 方式各分别举出二种应用例子。

【答案】：

中断方式常用于打印机输出、键盘输入等；

DMA 方式常用于读 / 写磁盘、读 / 写磁带等。

2004 年：

30. 主机与外围设备之间信息传送的控制方式有哪几种？采用哪种方式 CPU 效率最低？

【答案】：主机与外围设备之间信息传送的控制方式有四种：程序查询方式、中断方式、DMA 方式和通道方式。程序查询方式 CPU 效率最低。

31. 试比较中断方式与 DMA 方式的主要异同，并指出它们各自应用在什么性质的场合。

【答案】：

相同点：这两种方式下，主机和 I/O 设备都是并行工作。

不同点：中断方式在 CPU 响应了 I/O 设备的中断请求后，要暂停现行程序的执行，转为 I/O 设备服务。DMA 方式直接依靠硬件实现主存与 I/O 设备之间的数据直传，传送期

间不需要 CPU 程序干预，CPU 可继续执行原来的程序，CPU 效率比中断方式。

DMA 方式适用场合：高速、批量数据的简单传送。

中断方式适用场合：处理复杂随机事件、控制中低速 I/O 设备。

2005 年：

30. 基本的 DMA 控制器的主要部件有哪些？

【答案】：基本的 DMA 控制器的主要部件有：地址寄存器、长度计数器、数据寄存器、标志寄存器、命令寄存器、控制逻辑等。

31. 简述多重中断系统中 CPU 响应处理一次中断的步骤。

【答案】：① 关中断；② 保存现场信息；③ 判别中断条件；④ 开中断；⑤ 执行中断服务程序；⑥ 关中断；⑦ 恢复现场信息；⑧ 开中断。

由上可见，每年都会考本章的两道以上的简答题。考试的两个重点：一个是 DMA 方式的有关知识（每年都考），另一个是中断方式有关内容。这两方面大家一定重点掌握。

下面一些知识也要求大家了解

1. 中断方式的接口控制器功能：能向 CPU 发出中断请求信号；能发出识别代码提供提供引导 CPU 在响应中断请求后转入相应服务程序的地址；CPU 要能够对中断请求进行允许或禁止的控制；能使中断请求参加优先排队。

2. CPU 与外围设备进行通信有三种类型：① CPU 向外围设备发出操作控制命令；② 外围设备向 CPU 提供状态信息；③ 数据在 CPU 和外围设备之间传递。

3. 中断裁决机制：轮询、菊花链、独立请求。

4. CPU 与 DMA 访问内存冲突的裁决的三种方法：① CPU 等待 DMA 的操作；② DMA 乘存储器空闲时访问存储器；③ CPU 与 DMA 交替访问存储器。

5. CPU 启动 DMA 的步骤：① 测试设备状态；② 写存储器地址寄存器；③ 写长度计数器；④ 启动 DMA 控制逻辑。

6. 通道的三种类型：

选择通道：它与设备之间的传输一直维持到设备请求的传输完成为止，然后为其它外围设备传输数据。数据宽度是可变的，通道中包含一个保存 IO 数据传输所需的参数寄存器。

数组多路通道：以数组为单元在若干高速传输操作之间进行交叉复用。

字节多路通道：用于连接多个慢速的和中速的设备，这些设备的数据传送以字节为单位，字节交叉模式、猝发模式。

7. 字节多路通道与数组多路通道的区别：首先数组多路通道允许多个设备同时工作，但只允许一个设备进行传输型操作，而其它设备进行控制型操作；字节多路通道不仅允许多个设备操作，而且允许它们同时进行传输型操作。其次，数组多路通道与设备之间的数据传送的基本单位是数据块，通道必须为一个设备传送完一个数据块以后才能为别的设备传送数据，而字节多路通道与设备之间的数据传送基本单位是字节，各设备之间的数据传送是以字节为单位交替进行的。

8. 通道的功能：① 接受 CPU 的 I/O 操作指令，按指令要求控制外围设备；② 从内存中读取通道程序，并执行，即向设备控制器发送各种命令；③ 组织和控制数据在内存与外设之间的传送操作；④ 读取外设的状态信息，形成整个通道的状态信息，提供给 CPU 或保存在内存中；⑤ 向 CPU 发出 IO 操作中断请求，将外围设备的中断请求和通道本身的中断请求按次序报告 CPU。