

敬请关注 4月22日上午10点
Keysight在线研讨会

global sources

热搜排行，点一下又不会怎样。 3 文章 搜索 高级搜索

热门搜索： 无线路由器拆解 Allegro16.3 EXCEL常用技巧 特权同学 2015IIC China

博客大赛2nd，模拟、电源、EDA
约会IIC2015，分享收获赢好礼
2014年度博主评选—谁是MVP？
每天登陆1秒签到，赚E币换礼！

EDN电子技术论坛>博客>小墨同学博客>【博客大赛】零基础学FPGA（二十七）必会！从静态时序分析到SDRAM时序收敛（下篇）

小墨同学的博客——零基础学FPGA学习日记

博主：小墨同学

介绍：主要是写一些自己从每天的学习中收获的一些东西，不一定很有价值，但是我觉得随着我的成长，这些东西将成为我的一段美好的回忆...而且我断定，在大学还剩下的时间里，FPGA将陪我一起走过...

文章(27) 访问(72648) 评论(140) 投票(122) 订阅本博

博文列表查看方式：

摘要视图

原【博客大赛】零基础学FPGA（二十七）必会！从静态时序分析到 SDRAM时序收敛（下篇）

发布时间：2015-04-01 10:08:55

技术类别：CPLD/FPGA 个人分类：FPGA/CPLD

七、SDRAM工作时钟相位偏移计算

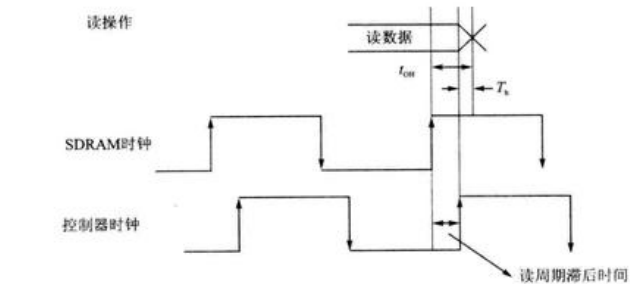
且上篇文章中我们知道，我们的数据需要经过一定的延时才会到设计目标器件的，这个延时也就是相对与源端有源的时钟

首页 新闻 实例 技术 专题 参考设计 下载 视频 论坛 博客 小组 在线研讨会 热点专区

设计中心： 模拟 电源 嵌入式 测试与测量 通信 EDA 可编程器件 微处理器与DSP 消费 汽车 工业 医疗

PLL模块中手动设置的，这个值应该取多少？下面我们就来计算这个值。
这个相移值的计算，需要借助四个参数，即读周期最大滞后、超前时间，写周期最大超前、滞后时间，下面依依来讲

1、读周期滞后时间
所谓读周期滞后时间就是，SDRAM的工作时钟相对于FPGA的工作时钟慢了多少时间。我用一个图来解释



下面我来解释一下这个图，既然是读周期，那么就是在SDRAM的工作时钟下发出数据，在FPGA的工作时钟下捕获数据，由上图可以看出，读周期的滞后时间就是图上的两个参数相减对吧，在理论篇里我讲过，SDRAM在发出一个数据之后，数据会保持一段时间的稳定，这个参数就是Toh，这个参数可以查到。

数据发出后，需要被FPGA的工作时钟捕获，但是捕获的时候需要考虑保持时间不能违规，因此，Th这个参数就是FPGA的寄存器保持时间，这个参数我们需要从时序报告里查，等我们会再说，那么我们可以计算出

读周期最大滞后时间 = Toh - FPGA的保持时间Th

2、读周期超前时间

所谓超前时间，就是SDRAM的工作时钟相对于FPGA的工作时钟快了多少

博主资料

我是一名大二的在读本科生，认识FPGA没多久，但是我觉得挺吸引我的，希望能和爱好这一行的同学一起努力，让我们的大学不再迷茫，也希望网站的各位前辈多多指点，希望能与你们共同进步！也欢迎各位同行加我 小墨同学 QQ号 584642877 微信号

FPGA/CPLD(27)

文章存档

2015年04月 (2)

2015年03月 (2)

2015年02月 (1)

2015年01月 (3)

2014年12月 (1)

2014年11月 (3)

展开

Altera MAX 10评估套件，试用测评进行中new!

最新评论

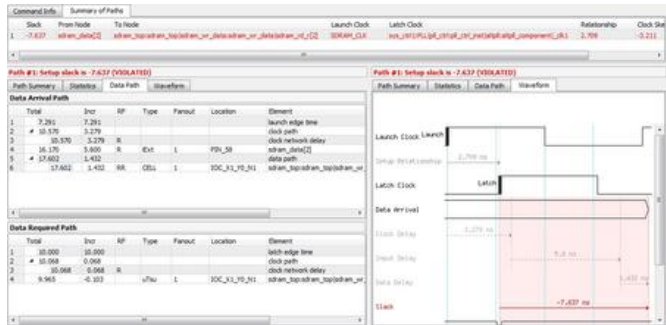
雪龙523 21:30 03-29
好好学习一下，精辟

xu疯子 10:37 03-26
继续加油，跟你一起学习！

wjfbblack 13:24 03-25
看来小墨同学的FPGA工程已经调好了，...

45du__ 16:19 03-23
最近一直在搞SDRAM，翻看了你以前的...

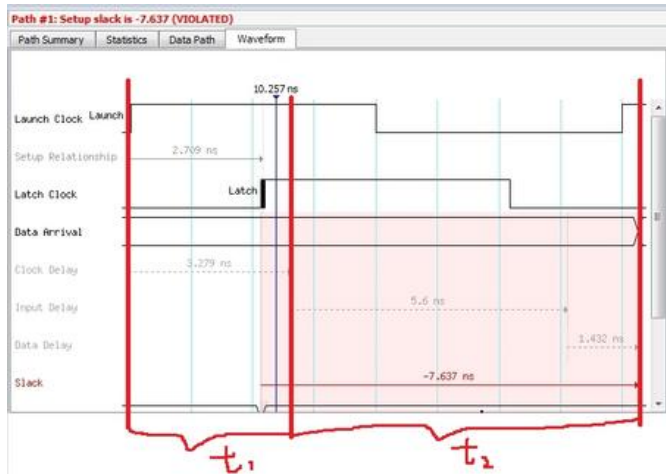
小学生来了 17:21 03-09
好，学习



书上说的是，从左上方的数据到达路径中可以得出

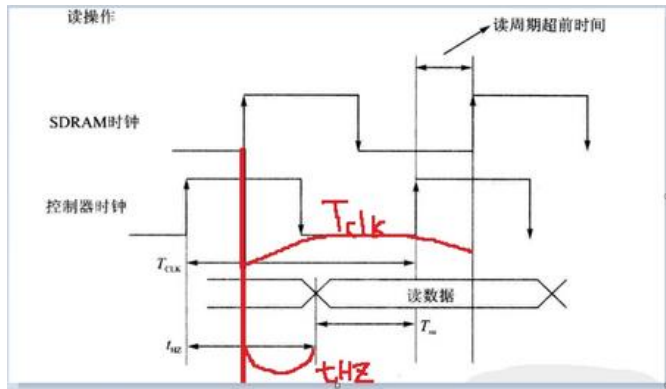
数据的建立时间 $17.602 - 7.291 - 3.279 = 7.032\text{ns}$

即准建立时间 - 发射沿相对时间 - 时钟网络延时的时间，其实单看这个公式是不好懂的，小墨当时也不明白为什么建立时间是这么算的呢？后来我看了一下右面的图，才渐渐明白过来，其实看右面的图更容易理解一点



看了这个图我们就会明白，当17.602 减去那两项之后，剩下的就是我们设置的最大输入延时时间以及数据进入FPGA的走线延时时间，为什么这段时间是建立时间呢？我们之前不是定义数据不是应该在建立时间内保持稳定吗？但是这段时间内，数据还没到啊。对，没错，好像是这样的，数据没到，为什么没到呢？是因为我们的数据延时太长，以至于我们的捕获时钟在当下的时钟沿捕获不到，因此，这就涉及到了多周期路径约束的知识，我们可以让捕获周期为2，也就是说，等到下一个锁存沿到来的时候再把数据捕获就好了。

我们再来看一下这两段时间，第一段时间，也就是时钟发射沿相对时间加上时钟网络延时的时间，其实这个时间就是SDRAM发出数据，到数据出现在数据总线上的时间



再回过头去看一下我们分析读周期之后时间的时候，数据出现在数据总线上之后是不是直接被锁存沿锁存了？这样说来就是没有加上数据在PCB走线的延时，因此上图只是一个理想过程，即没有考虑PCB走线的延时，而我们的时序分析工具确实将其考虑在内了，所以，我们的FPGA建立时间，除了包括数据保持稳定的时间外，还应加上这段走线延时的时间，这也就解释了，为什么我们的建立时间是那么算的

这个过程是我自己的理解，不知道是不是准确，觉得有问题的朋友请积极指正，谢谢

同理，我们用同样的方法

算出保持时间为 4.122ns

下面再来看FPGA的输出时间，这个过程就要看时序报告中的输出路径了，按照同样的方法，我们找到输出路径的建立时

Path #1: Setup slack is 2.909							
Path Summary		Statistics	Data Path		Waveform		
Data Arrival Path							
	Total	Incr	RF	Type	Fanout	Location	Element
1	0.000	0.000					launch edge time
2	0.110	0.110					clock path
3	0.110	0.110	R				clock network delay
4	6.161	6.051					data path
5	0.414	0.304		uTco	1	L0FF_X23_Y4_N31	sdram_top:sdram_top sdram_wir_data:sc
6	0.414	0.000	RR	CELL	1	L0FF_X23_Y4_N31	sdram_top sdram_wir_data sdram_wid_r[
7	2.865	2.451	RR	IC	1	IOC_X1_Y0_N0	sdram_data[3] datain
8	6.161	3.296	RR	CELL	1	PIN_59	sdram_data[3]

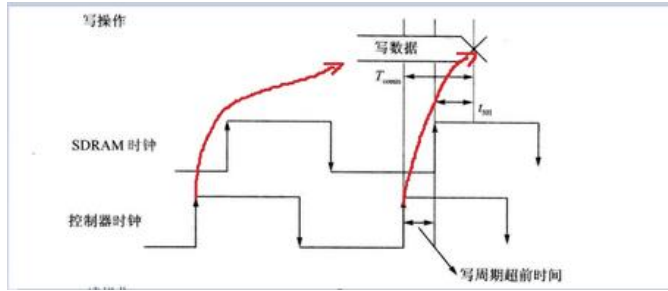
我们可以看到，这个很直观，没有像上面那个那么复杂

最大输出延时为6.161ns，

同理，查看输出路径保持时间的时序报告

Path #1: Hold slack is 3.303							
Path Summary		Statistics	Data Path		Waveform		
Data Arrival Path							
	Total	Incr	RF	Type	Fanout	Location	Element
1	10.000	10.000					launch edge time
2	10.126	0.126					clock path
3	10.126	0.126	R				clock network delay
4	14.623	4.497					data path
5	10.430	0.304		uTco	1	L0FF_X31_Y1_N17	sdram_top:sdram_top sdram_cmd:sdram
6	10.430	0.000	RR	CELL	1	L0FF_X31_Y1_N17	sdram_top sdram_cmd sdram_cmd_r[3]
7	11.337	0.907	RR	IC	1	IOC_X30_Y0_N1	sdram_cs_n datain
8	14.623	3.286	RF	CELL	0	PIN_97	sdram_cs_n

这个也比较直观，用14.623 减去 10 就好了，为什么要减10呢？再来看这个图



头一个发射沿为0时刻的话，我们需要等一个时钟周期后发射第二个沿，也即这里的数据到达时间14.623，是下一个数据的到达时间，减去10，不就是我们的最小输出时间了么。

所以，我们的最小输出时间为4.623ns

好了，所有的参数都有了，下面计算

读周期最大滞后时间 = T_{oh} - FPGA的保持时间 T_h = $2.7 - 4.122 = -1.422ns$

读周期最大超前时间 = $T_{clk} - (T_{OH} + \text{FPGA的建立时间}T_{su}) = 10 - (5.4 + 7.032)=-2.432$

写周期最大滞后时间 = $T_{clk} - (T_{comax} + \text{SDRAM的建立时间}T_{su})$

= $10 - (6.161 + 1.5) = 2.339ns$

写周期最大超前时间 = $T_{comin} - T_{oh} = 4.623 - 0.8 = 3.823ns$

这样，我们根据公式，取最小滞后时间为 -1.422 最小超前时间为 -2.423

取二者平均值 $(-1.422 - 2.423) / 2 = -1.9225$

然后，还没有完.... 时序分析这一块就是这么麻烦...

我们现在考虑的，仅仅是考虑的是在SDRAM端口的时钟延时，也就是说还没有考虑SDRAM时钟从PLL输出，经过FPGA内部走线，和外部PCB的延时，我们想一下，是不是有一个这样的关系

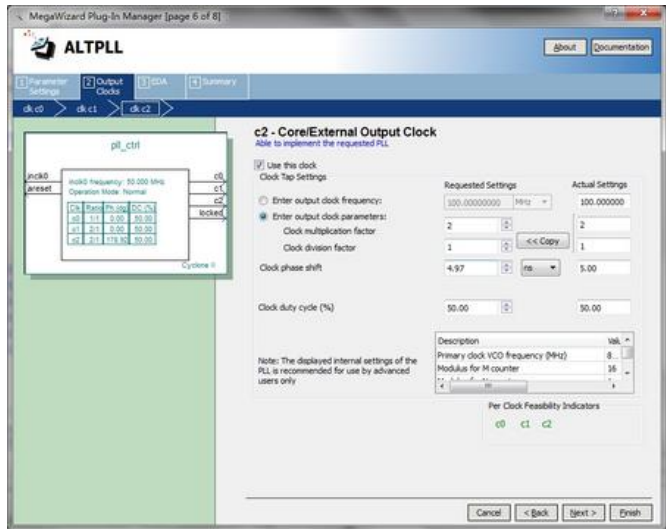
就是，PLL的时钟偏移 + 时钟从PLL输出在FPGA内部的延时 + 时钟在外部PCB走线的延时 = SDRAM端口的时钟延时

而我们要手动添加的，就是PLL的时钟偏移值。再者，上篇文章我们对虚拟时钟SDRAM_CLK进行约束的时候，我们对他就行约束为最大值为3ns对吧，时钟从PLL输出在FPGA内部的延时就可以按我们所约束的最大值来计算，所以因此，我们计算

PLL的时钟 偏移值 = -1.9225 - 3 - 0.1 = -5.0225

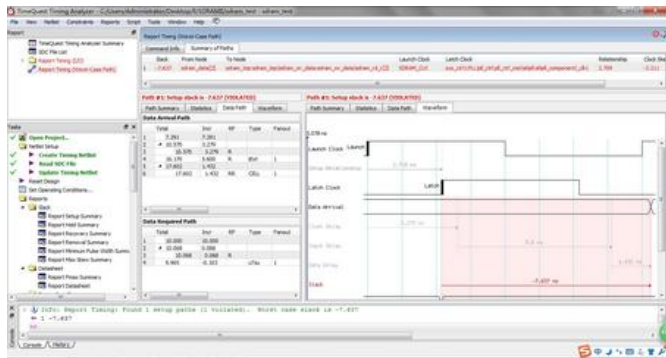
换算成正值为 10 - 5.0225 = 4.9775

到此为止，我们的相位偏移才计算完毕，我们将它送给PLL



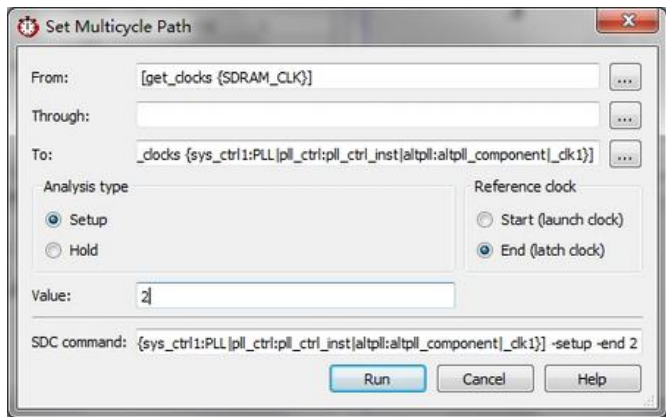
八、多周期约束

对其进行全编译，查看时序报告，发现时序仍然不收敛

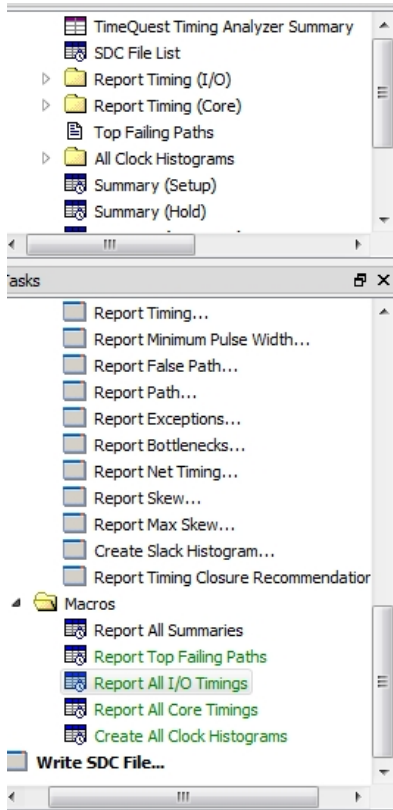


查看错误时序报告可以看到，我们没有做多周期约束，至于为什么，上面已经说过了，这里直接来做

我们设置延时周期数为2，即在第二个时钟周期进行数据锁存，因为是输入路径时序违规，所以我们约束的多周期路径就是从我们的虚拟时钟，也就是SDRAM的工作时钟，到我们FPGA的工作时钟clk1



再执行一次全编译，所有的路径达到时序收敛



当然，除了这些，我们还需要一些时序上的优化，以及一些微调，要想达到系统的真正稳定，光做这些还是不够的，小墨也是在学习当中，更深入的探究我只能说对于现在的我来说是力不从心了，有很多经验都是我们后续在不断地摸索中获得的，急也没用，还是安心做好当下，一步一个脚印，学无止境，我们永远不能说自己学会了，只能说熟悉了，慢慢来吧~大家还需加油！

下面是我调好的板级测试图，下面也会附有源代码，不过下到你的板上不一定跑的起来哦，大家还是自己亲手算算这些参数，等到板子真正跑起来的时候，你才会感受到那种成功的喜悦~



好了，为期4篇的SDRAM就写到这吧，谢谢大家的支持~

以后小墨同学的文章将在EDNchina和北京至芯科技官方技术论坛同时更新，至芯科技的官方技术论坛也有很多的资料供大家下载，里面也有小墨的专题板块，希望广大网友和爱好者的大力支持~

[url]http://www.fpgaw.com/[url]

小墨同学《零基础学FPGA》学习专版 一个大三学生学习之路的真实记录

[url]http://www.fpgaw.com/thread-78527-1-1.html[url]

下面是至芯科技官方网站，夏宇闻教授和那里的老师都超好的~有意愿接受FPGA培训的可以找工作人员咨询

[url]http://www.zxopen.com/[url]

以后小墨同学的教程会跟这款开发板配套，想跟小墨同学一起学习，一起进步的可以考虑一下购买一块开发板，毕竟学习要舍得投资嘛，下面是开发板淘宝链接

[url]http://item.taobao.com/item.htm?spm=a230r.1.14.13.NZBxw3&id=42366952129&ns=1&abbucket=13#detail[url]

附件：
[SDRAM.rar](#)

下载次数： 4

标签： [fpga](#) [博客大赛](#)

分享到：    

我喜欢

有[0]名读者喜欢此文

阅读(42) 评论(0) 收藏 | 打印 | 推荐到小组 | 转发到我的博客 (0)

上一篇：【博客大赛】零基础学FPGA（二十六）必会！从静态时序分析到SD...

下一篇：零基础学FPGA（二十五）一路走来：SDR SDRAM（架构篇）

最近到访博主


KPUHD


szm3


EDNChina

有 [0] 名读者发表评论 - 【博客大赛】零基础学FPGA（二十七）必会！从静态时序分析到SDRAM时序收敛（下篇）

我来评论 - 【博客大赛】零基础学FPGA（二十七）必会！从静态时序分析到SDRAM时序收敛（下篇）

昵称：大灰灰

评论：

你还可以输入1000字

分享：



[返回博客首页](#)

模拟设计 | 电源技术 | 嵌入式系统 | 微处理器与DSP | 可编程器件 | 测试与测量 | EDA工具与服务 | 通信 | 医疗电子 | 消费电子设计

工业电子 | 汽车电子 | 新闻 | 热点专题 | 论坛 | 小组 | 博客 | 微博 | 下载 | 视频 | 在线研讨会 | 杂志订阅 | 历史文章回顾

About EDN China - 编辑部（编辑计划） - 广告部 - 发行部 - 读者往来 - 隐私政策 - 使用条款 - 网站导航 - 电子网站 - 帮助 - EDNChina- edn-china - 手机版 - 手机版介绍

2015 EDN China -- Use of this website is subject to its terms of use.



京 ICP证090436号 | 京ICP备14018902号-1 | 京公网安备110105019137 | 经营性网站执照信息

EDN.com | EDN Asia | EDN Japan | EDN Europe | EDN Australia | EDN Taiwan | 电子工程专辑 | 国际电子商情 | DatasheetsChina

机器人网 | Global Sources Direct





bbs.ednchina.com/BLOG_ARTICLE_3028506.HTM

7/7