


global sources

热搜排行，点一下又不会怎样。 3 文章 搜索 高级搜索

热门搜索： 无线路由器拆解 Allegro 16.3 EXCEL常用技巧 特权同学 2015IIC China

博客大赛2nd，模拟、电源、EDA
约会IIC2015，分享收获赢好礼
2014年度博主评选—谁是MVP？
每天登陆1秒签到，赚E币换礼！

EDN电子技术论坛>博客>小墨同学博客>零基础学FPGA（二十四）一路走来：SDR SDRAM（理论篇）




小墨同学的博客——零基础学FPGA学习日记

博主：小墨同学

介绍：主要是写一些自己从每天的学习中收获的一些东西，不一定很有价值，但是我觉得随着我的成长，这些东西将成为我的一段美好的回忆...而且我断定，在大学还剩下的时间里，FPGA将陪我一起走过...

文章(27) 访问(72648) 评论(140) 投票(122) 订阅本博

博文列表查看方式：

 摘要视图

原 零基础学FPGA（二十四）一路走来：SDR SDRAM（理论篇） 发布时间：2015-03-19 16:34:04

技术类别：CPLD/FPGA 个人分类：FPGA/CPLD



寒假就是过年嘛，其实说实话这个月来也没怎么看新知识，大体梳理了一下以前学过的知识，回顾了一下SOPC的学习。对于SOPC的学习我打算暂时先放一放，因为前面还有一个要写的没有完成，也是一直以来无法写起的一个题目，就是今天我们要写的SDRAM的操作。等写完这个，我们再回到SOPC，带领大家调USB2.0！

由于SDRAM本身就是一个比较复杂的东西，之前小墨在学这方面东西的时候感觉很是吃力，于是那时候便暂时放下了，知道年后这段时间，小墨又重新拾起这个知识点，想要一口气把它调通了，再往下看其他的東西。学SDRAM，理论要懂，代码设计，仿真调试，时序分析，时序约束，都很重要。之前由于只是把代码写好了，对时序分析和时序约束这方面的知识还只是空白，所以怎么调都调不通。开学以来，小墨仔仔细细的研究了一下时序，也看了不少的资料，对时序也算是有所见解，摸透了倒是不敢说，至少是懂了些公式的由来，输入输出延时的计算，相位偏移的计算，以及源同步时序模型的理解等等，也做了不少的笔记，亲手将其数值计算过，然后再将其添加到我的SDRAM工程之中，经过好几天的调试，稳定不

术》看一遍，当然第一遍不好看懂，然后结合代码再一遍一遍的去年工作原理，慢慢的就会明白特权老师为什么要这么处理了，然后再自己亲手将这段代码敲出来，遇到不懂得可以再去参考源代码，这样从头到尾敲完之后，工作原理这一块大体上就算是熟悉了，然后是仿真调试，这是一个漫长的过程，要有耐心，再然后就是学习时序，亲手将约束值算出来，再根据时序报告进行微调，直到有一天看到自己从头到尾做出来的工程，能后顺利的跑起来，心中便会产生极大的成就感，那么恭喜你，你在FPGA设计方面可以算是一个小高手了（和刚开始学的人相比）。

接下来的文章我打算这么安排，第一篇，也就是这一篇说一下理论，即SDRAM的工作原理和一些参数的含义，第二篇文章我要给SDRAM的设计做一个架构，就是用状态机的方式，描述每一个过程，给代码编写做一个清晰的思路，同时解读一下特权老师的代码和其中比较难懂的设计方法，最后一篇文章我们从静态时序分析写起，一直写到SDRAM的收敛，其中包括建立保持时间的余量问题，输入输出的延时的计算，SDRAM时钟相位的计算，以及timequest的使用，时序报告的查看

方法等，大概在一两周的时间写完，也希望大家多多支持，你们的支持，更是我前进的最好动力！

一、从结构说起

先来说一下SDRAM的结构吧。当然没有人家讲的那么专业，只说说我的理解。

1、P-bank

SDRAM，也即我们的内存，我们的电脑，手机等设备都离不开我们的内存。一个设备运行速度的快慢，内存起到关键性的作用，就像我们的电脑，开机之后一般都是把一些应用程序加载到内存里运行，因为RAM的读写速度要远远大于ROM，而我们的SDRAM，即同步动态随机存储器，就是通过不断地刷新，充电，防止电容电量的丢失，从而保留住数据。与CPU交换数据，根据CPU位宽的不同，要相应选择不同的SDRAM芯片，SDRAM芯片的位宽不等，我们用的这片SDRAM是16位位宽，假设我们的CPU是64位的，那么我们要想与之匹配，就必须用到4片这样的SDRAM，才能构成64位的位宽，那么由这4片SDRAM构成的芯片集合，我们称之为物理bank，即P-bank，CPU通过控制SDRAM的片选信号，控制相应的芯片

2、L-bank

再往芯片里面看，每一片SDRAM里面，有几个存储阵列，我们开发板上的都是4个存储阵列，这样的存储阵列，我们称它为逻辑bank，即L-bank。每个存储阵列里面有2^12行，2^8列，我们可以通过控制SDRAM的地址线，来选中相应的行与列，进而确定一个存储单元，每个存储单元里面就是我们的数据了，我们的芯片是16位的，所以我们的存储单元也就是16位的。

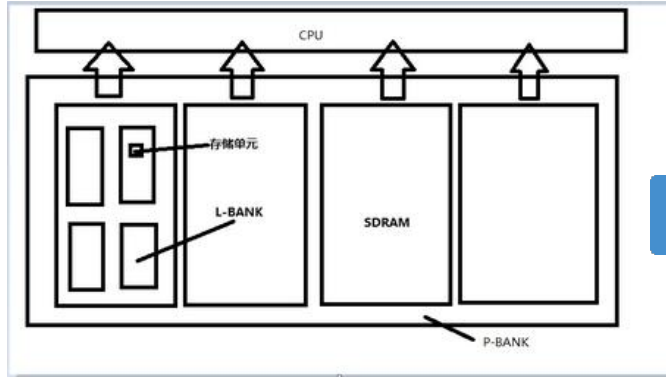
这样一来，CPU通过片选信号选中一片SDRAM，然后访问某一个L-bank，通过行列地址确定某一个存储单元，将存储单元里的数据读出来送到CPU。这样看来，芯片的位宽就是我们的存储单元的位宽，若是一同选中所有SDRAM芯片，那么输出的也就是16x4=64位的CPU位宽了。

3、芯片容量与内存容量

我们来算一下SDRAM的芯片容量，一片SDRAM芯片假设有4个L-bank，2^12行，2^8列，那么它就含有4 x 2^12 x 2^8 个存储单元，又因为每个存储单元里面有16位数据，因此，我们的芯片容量为 4 x 2^12 x 2^8 x 16 = 64Mbit = 16MB，如果是一个P-bank里面是4片SDRAM的话，那么我们的内存容量就是4 x 16 = 64MB

我们再算一下，假如我们的SDRAM的芯片位宽是8位的但是芯片容量不变，即芯片位宽是8位，芯片容量是16MB，那么，要想与64位的CPU匹配，我们需要8片SDRAM，那么我们的内存容量就是8 x 16 = 128MB，由此可见，在芯片容量相同的情况下，位宽越小，内存容量越大。这就说明了，为什么我们的台式电脑要用位宽小的芯片，因为台式电脑空间大，位宽越小，用的芯片越多，内存也就越大，相反，我们的手机就必须用大位宽的芯片，从而节约空间，但是付出了内存容量小的代价，这也说明了为什么我们的手机或者笔记本电脑不如台式机运行速度快的原因，在内存方面差了一大截

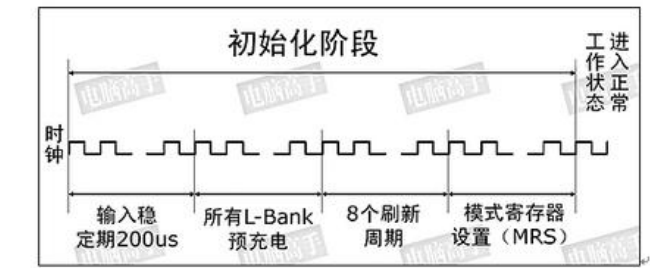
下面是我用画图做的一个框架，帮助大家理解



二、工作原理其实不难

这部分我们就按照代码的顺序开始讲起

1、初始化



初始化开始，SDRAM需要经过一个200us的稳定延时，这部分在代码部分直接做一个计数器就好了，下面来讲一下预充电

预充电

官方解释是 L-Bank关闭现有工作行，准备打开新行的操作就是预充电。也就是说，我们发送了一个行地址，有发送了一个列地址，找到了相应的存储单元之后，如果我们想访问另一个地址，而这个地址不在这一行内，那么我们就需要先将这一工作行关闭，这个过程就是预充电，然而刚开始我们还没有发送行列地址，只是先做一下初始化，以后等我们要发送行列地址的时候，为了手动设置预充电麻烦，我们可以告诉SDRAM在每次寻址完之后自动进行预充电即可

自刷新

我们之所以叫DRAM，就是因为它是动态的，就是每隔一段时间进行一次刷新，确保那些没有被读写过的数据不会以为时间长导致电容漏电，从而导致数据丢失，因此，每隔一段时间要对存储单元进行一次自刷新，由于存储体中电容的数据有效保存期上限是64ms，因此，我们需要每64ms对所有的存储体进行一次刷新，又因为我们有2^12= 4096行，那么我们来算一下，每刷新一行所要的时间是64ms/4096 = 15us 也就是说，我们每15us需要发送一个自刷新命令

模式寄存器配置

阅读排行

- 零基础学FPGA(一) 关于我和FPGA
- 零基础学FPGA（十四）新的开始
- [博客大赛]零基础学FPGA（十五）先来说V...
- 零基础学FPGA（二）关于触发器
- 零基础学FPGA（三）Verilog语法基础基...

小墨同学的好友



小梅哥



EDNChina



coyoo



MamBa24



ilove314

[更多好友>>](#)

小墨同学的小组 加入小组

EDN助学—FPGA/CPLD 成员17369名

学习小组 创建者: ilove314

《深入理解Altera FPGA 成员279名

应用设计》书友会 创建者: 胖螃蟹

[精彩文章](#)

人脸识别算法新进展：隐瞒年龄，不可能！

嵌入式开发：请不要屈服于质量，速度，成...

LED小台灯终极升级

【博客大赛】零基础学FPGA（二十六）必...

【博客大赛】FPGA实战演练逻辑篇9：FPGA...

【博客大赛】板上系统逐渐过时，片上系统...

一个工程师说走就走的西藏之旅（五）

【博客大赛】FPGA实战演练逻辑篇4：Verilo...

[推荐博客](#)

最新网络博文

Energia 发布 0101E0015 版

苹果终于开始行动！

电容测量注意事项

【博客大赛】FPGA实战演练逻辑篇9：FP...

TimeQuest User Guide 翻译4

[更多博文>>](#)



模式寄存器的配置主要还是用于后面的读写操作的，我们先看上面，是地址总线，首先大家不要被他迷惑，我们的地址总线是12位的，行列共用，他前面的两位bank地址不属于地址总线范围，只是在配置的时候需要用到那两位，所以会将其加进来，下面来一一解释。

关于操作模式：操作模式可以分为突发读，突发写，单一写等，突发读就是我们在发送了行列地址后，找到了我们要的存储单元地址，对它进行读，如果设置了突发读的话，那么我们在读取第一个数据之后，如果想读取这个存储单元后面的一个存储单元的数据的话，就不必再次发送行列地址了，他会自动的读取接下来的数据，至于读几个存储单元，就涉及到突发长度，一般是2,4,8，全页的方式，全页就是将这一行上的数据一连串的全部读出或写入，同时还涉及到突发传输方式，分为顺序和交错传输，顺序传输就是依次读后面的几个存储单元，交错传输就是隔一个读一个。

关于潜伏期：潜伏期就是我们发送了行列地址后，数据并不是马上到达数据总线，而是要经过一段潜伏期，一般为2到3个时钟周期，注意潜伏期不是延迟，潜伏期是发送列地址后数据已经有效，只是还没有达到一定的高度，或者说是信号不够强，要经过一定的放大才能输出，所以说潜伏期不是延迟

2、工作状态

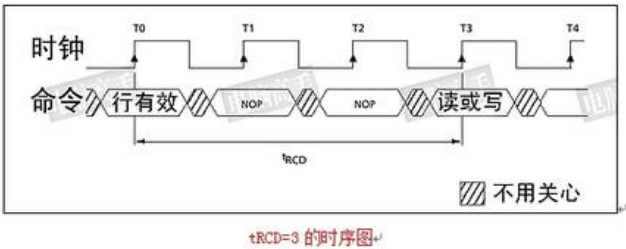
初始化结束以后，SDRAM就可以正常工作了，这个时候，如果收到读写信号，并且收到地址，那么SDRAM就会进行相应的寻址，并将数据作相应处理。

读状态

上面说了，SDRAM的地址是行列共用，也就是说行地址和列地址共用那条12位的地址线，假设某个时间我们要读一个数据，那么就先要发送12位地址线，就是行地址，当然也要接着发送的是P-bank的地址，但是这个时候还没有发送读信号，读信号要和列地址一起发送，我们称这个状态为行有效（RAS）

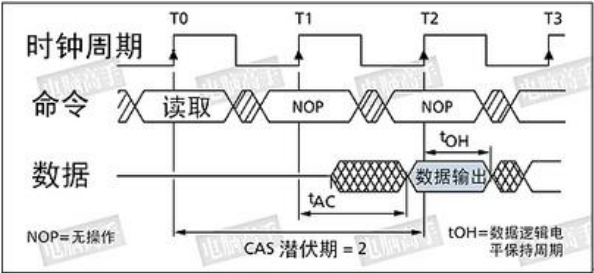
发送完行地址之后，就要发送列地址，但是不能马上发送，要经过一定的延时，这个延时我们叫做行有效到列有效的延时，即Trcd

经过Trcd之后，我们需要发送列地址，即列有效（CAS），这样我们就确定了我们逻辑单元所在的位置了，在发送列地址的同时，给SDRAM发送读命令。有人会问，既然地址线是行列共用，那么12位的地址线，列地址才占8位，其他的怎么用？没错，列地址是只占了8位，还有第8到11位地址线没用，这个时候我们就将其补零就好了，凑够12位地址发送给SDRAM，但是我们有一位地址很重要就是A10位，A10位置1的话，那么我们每次进行完一次读写，SDRAM就会自动预充电，因此，我们一般把地址总线的第8到11位赋值0100，然后与列地址合并，再发给SDRAM。



tRCD=3 的时序图

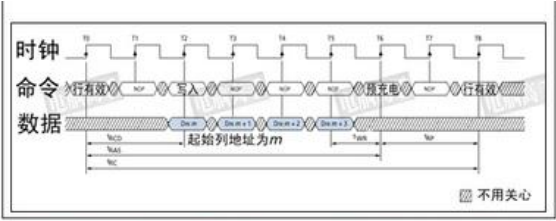
发送完列地址后，也就是读命令后，就要进入潜伏期Tcl，刚刚说了，数据在潜伏期里，要经过一定的放大驱动，达到一定的高度之后才会被输出，这个放大的过程是在一个叫做S-AMP的通道里完成的，每一个存储体都对应一个S-AMP通道，因此从数据I/O总线上有数据输出之前的一个时钟上升沿开始，数据即已传向S-AMP，也就是说此时数据已经被触发，经过一定的驱动时间最终传向数据总线进行输出，这段时间称之为tAC。在后面的时序分析中，我们会用到这个参数，即数据在SDRAM芯片中的传输时间Tco,数据输出到SDRAM数据总线上以后会有一个保持时间Toh，也是我们以后做时序分析要用到的参数，这两个参数告诉我们，数据从有效前的一个时钟周期开始算起，最大要经过Tac时间才会输出到数据总线，最慢需要Toh时间因此，在后面的时序分析中我们要计算，数据在SDRAM芯片的传输时间 Toh < Tco < Tac



CL=2 与 tAC 示意图

写状态

写状态跟读状态有一点不同，就是写状态没有潜伏期，即行有效之后，等待Trcd后发送写命令和列地址，数据直接会写到数据总线上，也就是说，写数据是零延时的，但是，即使写数据是零延时的，但是数据要进入SDRAM的存储体还是需要时间的，这个时间叫做写回延时Twr，试想，如果SDRAM工作在写回延时状态，突然来了一个预充电，那么数据是不是就不能正确的被写入了，因此，写回延时不能和预充电同时进行。



数据写入时预充电操作时序图：注意其中的 tWR 参数，由于它的存在，使预充电操作延后，从而造成写回延迟

三、参数总结

好了，说了这么多，是不是感觉SDRAM的操作并不难，那么我们就来总结一下之前出现的一些参数吧，这些参数的消化，能够帮我们更好的理解SDRAM的工作原理

- 1、RAS：行有效
- 2、Trcd：行地址到列地址的延时时间，单位是周期数，一般为2到3个时钟周期
- 3、CAS：列有效，同时发送读写命令
- 4、Tcl：潜伏期，发生在读状态，数据有效到出现在数据总线上的延时，单位为周期数
- 5、Tac：数据从存储单元里出来之后，已经进入S-AMP通道进行驱动与放大，到出现在数据总线上的时间
- 6、Toh：数据出现在数据总线上，并保持一段时间
- 7、Trp：在发出预充电命令之后，要经过一段时间才能允许发送RAS行有效命令打开新的工作行
- 8、Twr：写状态时的写回延时，写入的数据进入SDRAM存储单元的时间

那么理论部分就到这里吧，下一篇文章将会写一下整个操作SDRAM的架构图和代码解析，写了有好几个小时，谢谢大家~

以后小墨同学的文章将在EDNchina和北京至芯科技官方技术论坛同时更新，至芯科技的官方技术论坛也有很多的资料供大家下载，里面也有小墨的专题板块，希望广大网友和爱好者的大力支持~

[url]http://www.fpgaw.com/[url]

小墨同学《零基础学FPGA》学习专版 一个大三学生学习之路的真实记录

[url]http://www.fpgaw.com/thread-78527-1-1.html[url]

下面是至芯科技官方网站，复宇闻教授和那里的老师都超好的~有意愿接受FPGA培训的可以找工作人员咨询

[url]http://www.zxopen.com/[url]

以后小墨同学的教程会跟这款开发板配套，想跟小墨同学一起学习，一起进步的可以考虑一下购买一块开发板，毕竟学习要舍得投资嘛，下面是开发板淘宝链接

[url]http://item.taobao.com/item.htm?spm=a230r.1.14.13.NZBxw3&id=42366952129&ns=1&abbucket=13#detail[url]



分享到: 有[6]名读者喜欢此文 阅读(948) 评论(1) 收藏 | 打印 | 推荐到小组 | 转发到我的博客 (0)

上一篇: 零基础学FPGA（二十五）一路走来：SDR SDRAM（架构篇）
下一篇: 零基础学FPGA（二十三）SOPC进阶，自定义AD转换IP核设计全流程

最近到访博主

KPUHD

szm3

EDNChina

有 [1] 名读者发表评论 - 零基础学FPGA（二十四）一路走来：SDR SDRAM（理论篇）

网友: 45du__ 踩 (0) 赞 (0) 快速回复 引用回复(0) 2015-03-23 16:19

评论: 最近一直在搞SDRAM, 翻看了你以前的文章, 感慨挺多的, 现在大二了, 好多想法跟你当时一样, 得向你请教请教。

--- 现有 1 个主题, 共 1 页 ---

我来评论 - 零基础学FPGA（二十四）一路走来：SDR SDRAM（理论篇）

昵称: 大灰灰

评论:

你还可以输入1000字

分享:

[返回博客首页](#)

模拟设计 | 电源技术 | 嵌入式系统 | 微处理器与DSP | 可编程器件 | 测试与测量 | EDA工具与服务 | 通信 | 医疗电子 | 消费电子设计
工业电子 | 汽车电子 | 新闻 | 热点专题 | 论坛 | 小组 | 博客 | 微博 | 下载 | 视频 | 在线研讨会 | 杂志订阅 | 历史文章回顾

About EDN China - 编辑部（编辑计划） - 广告部 - 发行部 - 读者往来 - 隐私政策 - 使用条款 - 网站导航 - 电子网站 - 帮助 - EDNChina- edn-china - 手机版 - 手机版介绍

2015 EDN China -- Use of this website is subject to its terms of use.

京 ICP证090436号 | 京ICP备14018902号-1 | 京公网安备110105019137 | 经营性网站执照信息
EDN.com | EDN Asia | EDN Japan | EDN Europe | EDN Australia | EDN Taiwan | 电子工程专辑 | 国际电子商情 | DatasheetsChina
机器人网 | Global Sources Direct