

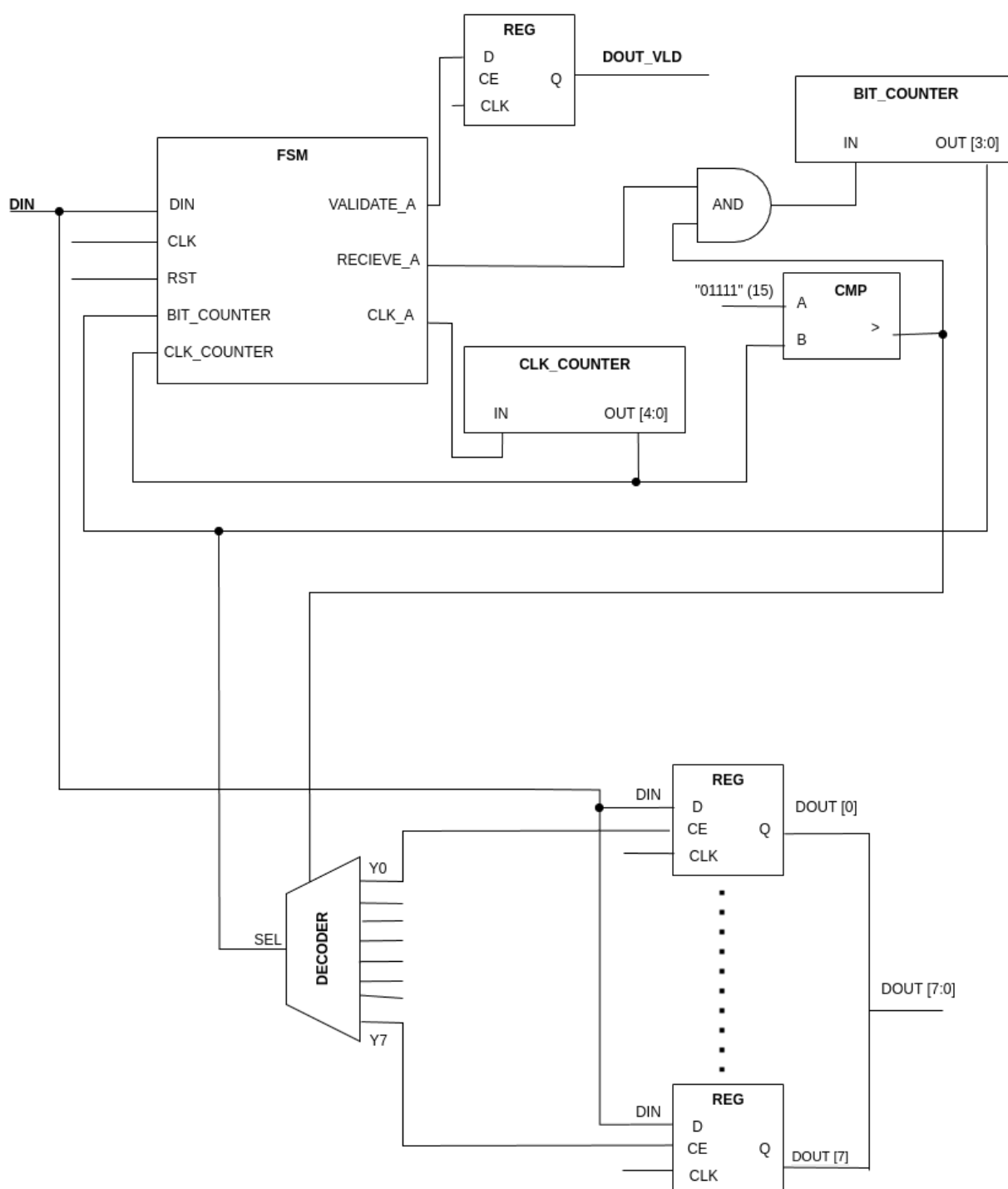
Výstupní zpráva

Jméno: Hana Liškařová

Login: xliskah00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Komponenty

- **FSM** - Konečný automat, má 5 definovaných stavů a mění je na základě vstupů
- **DECODER** - Na základě počtu načtených bitů a hodinovém cyklu posílá do konkrétních registrů hodnoty DIN, které jsou následně spojeny do DOUT [7:0]
- **BIT_COUNTER** - čítač, počítá počet přijatých bitů
- **CLK_COUNTER** - čítač, počítá uběhlé hodinové cykly

Princip funkcionality

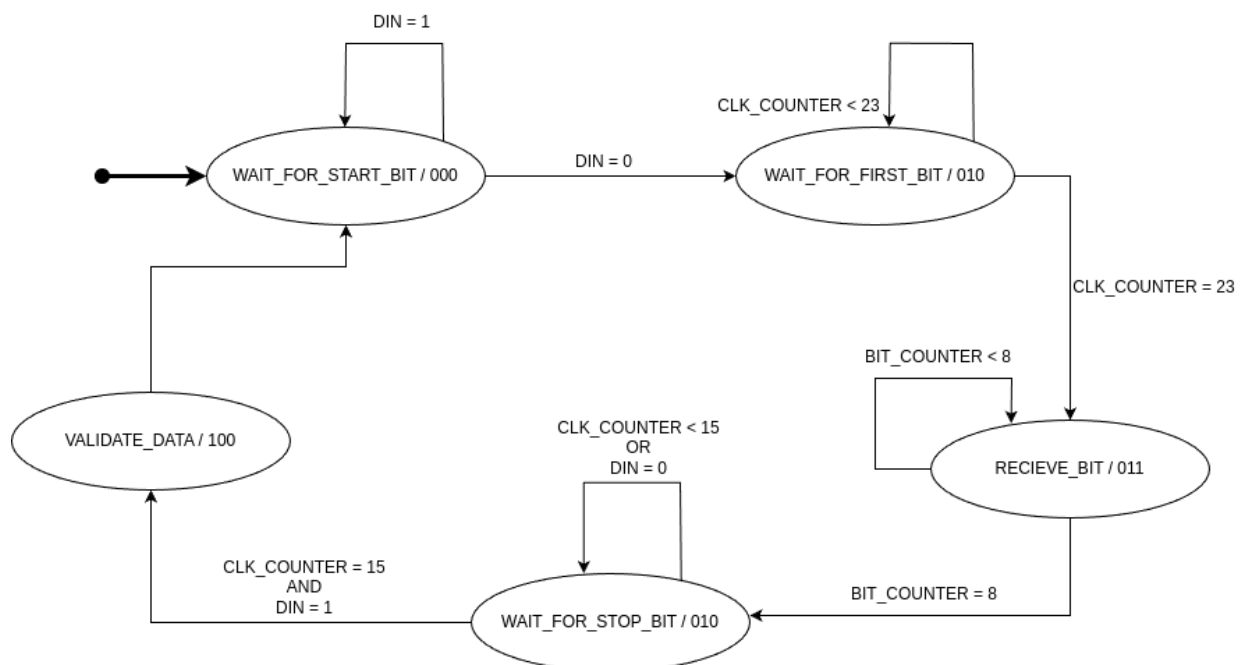
Obvod setrvává ve stavu *WAIT_FOR_START_BIT*, příchodem start-bitu (logické 0) se přepíná do stavu *WAIT_FOR_FIRST_BIT*, kde setrvá 23 hodinových cyklů (do mid-bitu prvního přijímaného bitu). Následně přechází do stavu *RECIEVE_BIT*, kde postupně přijme 8 bitů dat, mezi příjmem jednotlivých bitů uběhne vždy 16 hodinových cyklů. Hodinové cykly počítá CLK_COUNTER. Při příjmu jednotlivých bitů je BIT_COUNTER inkrementován o 1. Samotný příjem bitů je řízen pomocí AND hradla, CMP a *RECIEVE_A*. Dekodér na základě počtu načtených bitů (SEL) uloží datový vstup (DIN) do příslušného registru, které se pak spojí ve výstup DOUT. Ukládání do registrů probíhá pouze v 16. hodinovém cyklu. Po přijetí 8 bitů se obvod přesouvá do stavu *WAIT_FOR_STOP_BIT*, kde setrvá 16 hodinových cyklů a po načtení stop-bitu do *VALIDATE_DATA*. Výsledek validace určuje signál DOUT_VLD, který je ukládán do registru a poté předán jako výstup.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda

- **Stavy:**
 - WAIT_FOR_START_BIT** - přijímač je neaktivní a čeká na bit oznamující začínání vysílání dat (logickou 0)
 - WAIT_FOR_FIRST_BIT** - obvod je aktivní a čeká 23 hodinových cyklů na první bit z vysílaných dat
 - RECIEVE_BIT** - obvod přijímá data v podobě bitů (celkem 8)
 - WAIT_FOR_STOP_BIT** - data byla přijata a obvod čeká na logickou 1 (stop bit)
 - VALIDATE_DATA** - validace přijatých dat
- **Vstupní signály:**
 - Pokud není na schéma uvedeno jinak, hodnota vstupního signálu je **X** (don't care).
 - CLK_COUNTER** - počítáč uběhlých náběžných hran CLK
 - BIT_COUNTER** - počítáč načtených bitů
 - DIN** - datový vstup
- **Mealyho výstupy:**
 - Žádné.
- **Moorovy výstupy (zleva do prava):**
 - VALIDATE_A** - a pro allow, validace dat, aktivní v stavu **VALIDATE_DATA**
 - CLK_A** - hodinový signál, aktivní ve stavech **WAIT_FOR_FIRST_BIT**, **WAIT_FOR_STOP_BIT**, **RECIEVE_BIT**
 - RECIEVE_A** - přijímání dat, aktivní ve stavu **RECIEVE_BIT**



Popis funkce

Obvod čeká v defaultním stavu *WAIT_FOR_START_BIT*, dokud nedostane na vstup DIN logickou 0, tedy start-bit. V tomto momentě se přesouvá do dalšího stavu - *WAIT_FOR_FIRST_BIT*. V tomto stavu setrvává po dobu 23 hodinových cyklů - 16 hodinových cyklů do konce start-bitu a dalších 7 hodinových cyklů do mid-bitu prvního vysílaného bitu (first bit). Dále přechází do stavu *RECIEVE_BIT*, kde postupně přijímá osm bitů dat. Následně přechází do stavu *WAIT_FOR_STOP_BIT*, kde setrvává dokud nenačte logickou 1 (stop-bit) a zároveň neuběhne 15 hodinových cyklů, aby se dostal do mid-bitu stop-bitu. Stav se následně mění na *VALIDATE_DATA*, kde proběhne validace dat a nastavení signálu platnosti výstupu. Automat se následně vrátí do defaultního stavu *WAIT_FOR_START_BIT* a čeká na zahájení dalšího přenosu.

Snímek obrazovky ze simulací

