2주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231609 이름: 정희선

**1.**

연속 할당문의 경우 특별한 조건이 없어도 연속적으로 이루어지는 할당이고, 절차적 할당은 특정 절차나 조건이 만족되면 할당이 이루어지는 방식이다.

1) **연속 할당문**

- 입력 신호의 값이 변경될 대마다 출력 신호가 갱신된다.

- assign 키워드를 사용해 wire 타입 신호에만 할당이 가능하다.

- 입력의 변화에 따라 즉각적으로 출력이 바뀌어야 하는 조합 논리회로에 사용된다.

2) **절차적 할당문**

- 특정 이벤트 발생 시 할당이 이루어진다.

- always나 initial 블록 안에서 =(blocking) 이나 <=(nonblocking) 연산자를 사용해 reg 타입에 할당한다.

- 특정 이벤트에 의해 값이 업데이트되는 순차 논리회로에 사용된다.

**2.**

Blocking은 값을 할당할 때 순차적으로 하고, nonblocking은 병렬적으로 한다.

1. **blocking**

- ‘=’ 연산자를 사용해 값을 할당한다.

- 하나의 명령이 완료되고 나서 그 다음 명령을 실행한다.

- 시뮬레이션 시, 값이 순차적으로 전달된다.

**2) non-blocking**

- ‘<=’ 연산자를 사용해 값을 할당한다.

- 할당 문이 동시에 처리되어 이전 명령이 완료되기 전에 다음 명령을 실행하는 것이 가능하다.

- 시뮬레이션 시, 모든 값이 동시에 갱신된다.

**3.**

**Verilog와 c언어는** 기본적인 문법이 비슷하나, 세부적인 문법에서 차이점이 존재한다. 큰 차이가 하나 존재하는데, c언어에서의 중괄호를 verilog는 begin과 end를 사용해 묶어준다. c언어와 다른 verilog의 문법적 특성을 자세히 알아보자.

1. **for문**

* 반복하는 변수 i를 반복문의 시작 전에 명시적으로 선언해야 한다.
* c언어에서 사용하는 i++ 연산을 사용하지 못하고, 명시적으로 증감을 표현한다.

1. **if문**

* 항상 always 블록 내에서 사용된다.

1. **while문**

* 반복하는 변수 i를 반복문의 시작 전에 명시적으로 선언해야 한다.

1. **case문**

- c언어에서는 각 case마다 break가 필요한 반면, verilog에서는 필요하지 않다.

- case문을 끝낼 때 endcase 키워드를 사용해야 한다.

**4.**

**Verilog의 net 자료형은** 하드웨어 신호를 나타내는 회로 내 연결선 역할을 한다. 값을 저장하는 variable 자료형과는 달리, net 자료형은 값을 저장하지 않고 즉시 전달한다. 또한 반드시 드라이버에 연결되어 있어야 하고, 값을 전송할 때 병렬적으로 동작한다. 주요 net 자료형을 몇 가지 알아보자.

1. Wire : 연산 결과를 다른 신호로 연결할 때 사용한다.
2. Tri: 3-state net으로, 여러 드라이버가 값을 할당할 수 있다.
3. Wand: 여러 드라이버가 동시에 신호를 할당할 수 있다.