2주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231609 이름: 정희선

**1.**

**HDL이란** Hardware Description Language의 약자로, 디지털 회로와 혼합 신호를 표현하는 하드웨어 기술 언어이다. 전자 회로를 정밀하게 기술하는 데 사용하는 컴퓨터 언어로, 회로의 동작을 기술하고 회로 구조를 원하는 대로 기술한다. 또한 simulation을 통해 제대로 동작하는지 검증이 가능하다. HDL은 FPGA와 같은 설계 가능 소자를 프로그램하기 위해 사용한다. 주로 Verilog를 사용한다.

**Verilog 이외의 HDL**로는 AHDL, JHDL, MyHDL, VHDL이 있다. 각각 AHDL은 알테라 HDL, JHDL은 자바 기반 언어, MyHDL은 파이썬 기반 언어, VHDL은 디지털 회로와 혼합 신호를 표현하는 언어이다.

**2.**

**Verilog의 역사와 발전 과정**을 알아보자.

Verilog는 **1983**년 Gateway Design Automation사에서 개발한 언어이다. 하드웨어 기술 언어 HiLo와 C언어의 특징을 결합해 개발하였다. 이후 Open Verilog International이라는 조직을 만들어 공개했다.

**1985** – Verilog-XL이라는 새 버전의 Verilog 언어가 공개되었다.

**1987** – VHDL 언어가 공개되었다.

**1989** – Gateway사는 Cadence라는 회사에 인수되었다. Open Verilog integration을 만들어 사용자가 늘어났다.

**2001** – verilo-2001으로 업데이트 되어, 2의 보수와 변수의 지원이 추가되는 등 새로운 기능들이 추가되었다.

**2005** – Verilog-2005로 업데이트 되어 디지털 시스템 설계의 검증을 위한 SystemVerilog의 업그레이드가 이루어졌다.

**3.**

**Verilog의 기본적인** **구조**는 모듈이다. 모듈(module)을 기본 단위로 구성되며, 머리부 / 선언부 / 몸체부 세 부분으로 나뉜다. 먼저 머리부는 모듈의 이름과 포트 리스트를 정의한다. 각 포트는 데이터의 입출력을 위해 사용된다. 다음으로 선언부는 모듈 내에서 사용할 입/출력과 내부 신호등을 정의하는 부분이다. 이 때 wire는 모듈 내에서 논리적으로 연결되는 신호선이고, reg는 항상 블록 내에서 사용되는 저장 레지스터이다. 마지막으로 몸체부는 모듈의 동작이나 기능을 정의한다. 이 부분에서 논리 연산, 데이터 흐름, 블록 구조 등을 기술한다.

* **Verilog 문법**

1. **할당문**

Assign: wire에 값을 할당한다.

1. **절차적 블록**

Always: 지정된 이벤트 발생 시 실행된다.

Initial: 시뮬레이션 시작 시 한 번 실행된다.

1. **블록 구조**

Begin-end: 순차적으로 실행된다.

Fork-join: 병렬적으로 실행된다.

1. **조건문**

If-else문과 case문이 있다.

1. **반복문**

for, while, repeat, forever 등의 반복문이 있다.