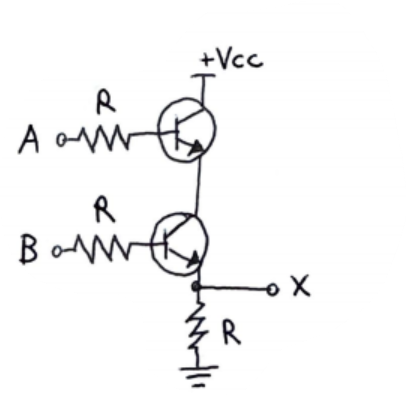
3주차 예비보고서

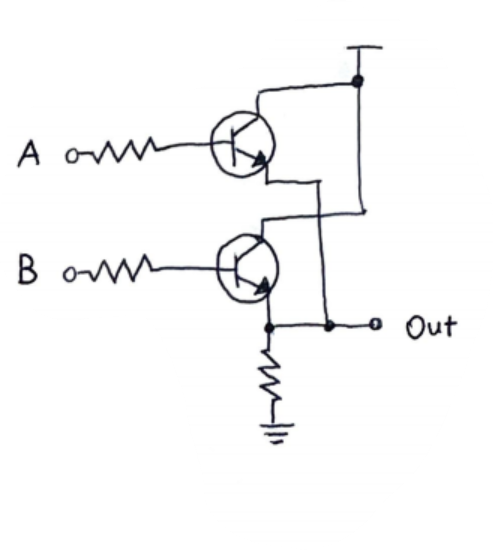
전공: 컴퓨터공학과 학년: 2학년 학번: 20231609 이름: 정희선

**1.**

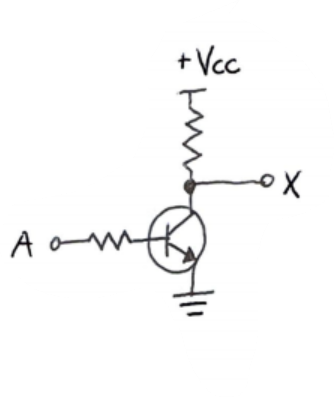
**1) AND**



**2) OR**



**3) NOT**



**2.**

Logic gate는 디지털 회로를 만드는 데 있어 가장 기본적인 요소이다. 대부분의 logic gate는 두개의 입력과 한 개의 출력을 가진다.

* **AND 게이트**

논리곱이라고도 부른다. 두 개의 입력이 모두 1일 때만 출력이 발생한다. 둘 중 하나라도 0인 경우, 출력은 0이 된다.

* **OR 게이트**

논리합이라고도 부른다. 두 개의 입력 중 하나가 1이면 출력은 1이 발생한다. 두 개의 입력이 모두 0인 경우에만 출력이 0이 된다.

* **NOT 게이트**

입력과 출력이 반대가 되는 반전 게이트이다. 1이 입력되면 0이, 0이 입력되면 1이 출력된다.

**3.**

**Fan-out**은 논리 회로에서 하나의 논리 게이트 출력이 얼마나 많은 논리 게이트의 입력으로 사용되는지에 대해 서술할 때 쓰인다. 디지털 회로에서 사용되는 논리소자들은 1개의 출력 신호에 접속할 수 있는 입력 신호의 수에 제한이 있는데 이를 fan-out이라고 한다. 이러한 fan-out이 지정되는 이유는 각 소자의 출력단에 최대로 흐를 수 있는 전류에 제한이 있기 때문이다.

**4.**

**전파 지연**이란 전기 회로에서 신호가 회로 속을 전파할 때 생기는 지연 시간을 의미한다. 즉 신호 값의 변화가 입력에서 출력까지 전달되는 데 걸리는 시간을 나타낸다. 출력의 상승, 하강에 대한 각각의 입력에서의 상승 지연시간과 하강 지연시간 사이의 평균값을 전파 지연 시간이라고 한다.

**5.**

Velilog의 **task**와 **function**은 코드 반복을 줄이기 위해 사용되는 키워드들이다. 동일한 동작이 많을 때, 위 키워드들을 사용하면 코드가 간결해진다.

* **Task**

정의된 모듈 안에서 언제든지 호출이 가능한 서브루틴이다. Task가 정의되어 있지 않은 파일에서도 task를 호출할 수 있다. 사용 방법은 module 선언과 같이 task와 endtask로 감싸서 사용한다.

특징은 아래와 같다.

* 시간 지연과 관련된 기능들을 포함시킬 수 있다.
* Input, output 관련 port가 존재 가능하다.
* Local variable 선언이 가능하며, global variable 사용도 가능하다.
* **Function**

Task와 비슷하지만 약간의 차이가 존재한다. 사용 방법은 마찬가지로 module 선언과 같이 function과 endfunction으로 감싸서 사용한다. 특징은 아래와 같다.

* 둘 이상의 output을 가질 수 없다.
* 시간 지연과 관련된 키워드를 포함할 수 없다.
* 내부에 function만 호출이 가능하다.