5주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231609 이름: 정희선

**1.**

**드 모르간 정리, Boolean 함수** 각각의 특성을 알아보고, Verilog를 이용하여 각 게이트를 구현하고, FPGA를 통해 구현한 회로를 확인해 보는 것이 이 실험의 목적이다.

**2.**

**2.1) 드 모르간의 제 1법칙**

1. **Boolean식:** ,
2. **Schematic 비교**

**도표, 스크린샷, 텍스트, 라인이(가) 표시된 사진

자동 생성된 설명(A)스크린샷, 도표, 라인, 텍스트이(가) 표시된 사진

자동 생성된 설명(B)**

-> (A)와 (B)의 schematic 결과는 다르지만, 추후 확인해 볼 수 있듯 출력 결과는 동일하다.

**3) Verilog 코딩**

*`timescale 1ns / 1ps*

*module boolean(*

*input a,*

*input b,*

*output c*

*);*

*assign c = ~(a||b);*

*endmodule*

***(A)***

*`timescale 1ns / 1ps*

*module boolean(*

*input a,*

*input b,*

*output c*

*);*

*assign c = (~a)&&(~b);*

*endmodule*

***(B)***

**4) Simulation 결과**

스크린샷, 텍스트, 소프트웨어, 디스플레이이(가) 표시된 사진

자동 생성된 설명

**(A)**

스크린샷, 소프트웨어, 텍스트, 디스플레이이(가) 표시된 사진

자동 생성된 설명

**(B)**

-> (A)와 (B)의 simulation 출력 결과는 동일하다.

**5) NOR과의 비교**

NOR gate는 OR 연산을 부정한 것으로, 위의 (A)를 뜻한다. 하지만 simulation 출력 결과를 확인해 봤을 때, (A)와 (B)는 동일한 기능을 수행함을 알 수 있다. 따라서 (A), (B), NOR 세가지 모두 같은 출력을 생성하는 동일한 기능을 한다는 결론을 내릴 수 있다.

**2.2) 드 모르간의 제 2법칙**

1. **Boolean식:** ,
2. **Schematic 비교**

**도표, 스크린샷, 텍스트, 라인이(가) 표시된 사진

자동 생성된 설명(A)도표, 스크린샷, 텍스트, 그래프이(가) 표시된 사진

자동 생성된 설명(B)**

-> (A)와 (B)의 schematic 결과는 다르지만, 추후 확인해 볼 수 있듯 출력 결과는 동일하다.

**3) Verilog 코딩**

*`timescale 1ns / 1ps*

*module boolean(*

*input a,*

*input b,*

*output c*

*);*

*assign c = ~(a & b);*

*endmodule*

***(A)***

*`timescale 1ns / 1ps*

*module boolean(*

*input a,*

*input b,*

*output c*

*);*

*assign c = (~a) || (~b);*

*endmodule*

***(B)***

**4) Simulation 결과**

스크린샷, 텍스트, 소프트웨어, 멀티미디어 소프트웨어이(가) 표시된 사진

자동 생성된 설명

**(A)**

스크린샷, 소프트웨어, 멀티미디어 소프트웨어, 디스플레이이(가) 표시된 사진

자동 생성된 설명

**(B)**

-> (A)와 (B)의 simulation 출력 결과는 동일하다.

**5) NAND와의 비교**

NAND gate는 AND 연산을 부정한 것으로, 위의 (A)를 뜻한다. 하지만 simulation 출력 결과를 확인해 봤을 때, (A)와 (B)는 동일한 기능을 수행함을 알 수 있다. 따라서 (A), (B), NAND 세가지 모두 같은 출력을 생성하는 동일한 기능을 한다는 결론을 내릴 수 있다.

**2.3) 드 모르간의 정리 진리표**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | **B** | **A+B** | **AB** | **A’** | **B’** | **(A+B)’** | **A’B’** | **(AB)’** | **A’+B’** |
| **0** | **0** | **0** | **0** | **1** | **1** | **1** | **1** | **1** | **1** |
| **0** | **1** | **1** | **0** | **1** | **0** | **0** | **0** | **1** | **1** |
| **1** | **0** | **1** | **0** | **0** | **1** | **0** | **0** | **1** | **1** |
| **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **0** | **0** |

**3.**

**Boolean Function**

**3.1)**

1. **Boolean식:** ,
2. **Schematic 비교**

**도표, 라인, 폰트, 그래프이(가) 표시된 사진

자동 생성된 설명(A)**

**도표, 라인, 폰트, 그래프이(가) 표시된 사진

자동 생성된 설명(B)**

-> (A)와 (B)의 schematic 결과는 다르지만, 추후 확인해 볼 수 있듯 출력 결과는 동일하다.

**3) Verilog 코딩**

*``timescale 1ns / 1ps*

*module boolean1(*

*input a,*

*input b,*

*input c,*

*output d*

*);*

*assign d = ((~a)||(~b))&&(~c);*

*endmodule*

***(A)***

*``timescale 1ns / 1ps*

*module boolean2(*

*input a,*

*input b,*

*input c,*

*output d*

*);*

*assign d = ~((a&&b)||c);*

*endmodule*

***(B)***

**4) Simulation 결과**

스크린샷, 소프트웨어, 멀티미디어 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진

자동 생성된 설명

**(A)**

스크린샷, 텍스트, 소프트웨어, 디스플레이이(가) 표시된 사진

자동 생성된 설명

**(B)**

-> (A)와 (B)의 simulation 출력 결과는 동일하다.

**5) 진리표 작성**

|  |  |  |  |
| --- | --- | --- | --- |
| **IN A** | **IN B** | **IN C** | **OUT D** |
| **0** | **0** | **0** | **1** |
| **0** | **0** | **1** | **0** |
| **0** | **1** | **0** | **1** |
| **0** | **1** | **1** | **0** |
| **1** | **0** | **0** | **1** |
| **1** | **0** | **1** | **0** |
| **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **0** |

**3.2)**

1. **Boolean식:** ,
2. **Schematic 비교**

**도표, 라인, 폰트, 스크린샷이(가) 표시된 사진

자동 생성된 설명(A)**

**도표, 라인, 폰트, 그래프이(가) 표시된 사진

자동 생성된 설명(B)**

-> (A)와 (B)의 schematic 결과는 다르지만, 추후 확인해 볼 수 있듯 출력 결과는 동일하다.

**3) Verilog 코딩**

*``timescale 1ns / 1ps*

*module boolean1(*

*input a,*

*input b,*

*input c,*

*output d*

*);*

*assign d = ((~a)&&(~b))||(~c);*

*endmodule*

***(A)***

*``timescale 1ns / 1ps*

*module boolean2(*

*input a,*

*input b,*

*input c,*

*output d*

*);*

*assign d = ~((a||b)&&c);*

*endmodule*

***(B)***

**4) Simulation 결과**

스크린샷, 소프트웨어, 멀티미디어 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진

자동 생성된 설명

**(A)**

스크린샷, 소프트웨어, 멀티미디어 소프트웨어, 그래픽 소프트웨어이(가) 표시된 사진

자동 생성된 설명

**(B)**

-> (A)와 (B)의 simulation 출력 결과는 동일하다.

**5) 진리표 작성**

|  |  |  |  |
| --- | --- | --- | --- |
| **IN A** | **IN B** | **IN C** | **OUT D** |
| **0** | **0** | **0** | **1** |
| **0** | **0** | **1** | **1** |
| **0** | **1** | **0** | **1** |
| **0** | **1** | **1** | **0** |
| **1** | **0** | **0** | **1** |
| **1** | **0** | **1** | **0** |
| **1** | **1** | **0** | **1** |
| **1** | **1** | **1** | **0** |

**4.**

1-bit 비교기

1. **Schematic**

**도표, 평면도이(가) 표시된 사진

자동 생성된 설명**

**2) Verilog 코딩**

*`timescale 1ns / 1ps*

*module 1bit(*

*input a,*

*input b,*

*output equal,*

*output not\_equal,*

*output left\_big,*

*output right\_big*

*);*

*assign equal = ~(a^b);*

*assign not\_equal = a^b;*

*assign left\_big = a&&(~b);*

*assign right\_big = (~a)&&b;*

*endmodule*

**3) Simulation 결과**

스크린샷, 디스플레이, 텍스트, 소프트웨어이(가) 표시된 사진

자동 생성된 설명

**4) 진리표**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| IN A | IN B | equal | not\_equal | left\_big | right\_big |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 |

**5.**

드 모르간 법칙을 통해 다양한 논리식을 다르게 표현할 수 있는 방법을 확인했고, 그 결과가 실제로 동일한지 시뮬레이션을 통해 검증했다.

* 드 모르간의 제 1법칙: =
* 드 모르간의 제 2법칙:

또한 1 비트 비교기를 통해 두 입력 값에 대해 =, !=, >, < 각각을 논리식으로 표현하는 방법을 알아보았다.

드 모르간 법칙과 1비트 비교기를 사용하여 논리 게이트를 간소화할 수 있다. 특히 1비트 비교기는 디지털 회로의 다양한 응용 분야에 사용되는데, 그 예시로는 cpu의 비교 연산이 있다.

**6.**

산술 논리 장치(ALU): CPU에서 덧셈, 뺄셈, 비교 연산을 수행하는 장치다. ALU 내부에서는 여러 비트의 비교기들이 함께 사용되어 복잡한 연산을 빠르게 수행한다. 그 예시로 4비트 비교기, 8비트 비교기가 있다.