6주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231609 이름: 정희선

**1.**

전가산기와 반가산기는 디지털 논리 회로에서 이진 덧셈을 수행한다. 두 가산기 모두 이진 숫자를 더하는 기능을 가지고 있다.

* 전가산기

세 개의 1비트 숫자를 더해 합과 자리올림을 계산하는 논리회로다. 이전 단계의 자리올림도 입력으로 받아들인다.

예를 들어 A=1, B=1, C(in)=1인 경우, Sum = A⊕B⊕C(in) = 1이고, Carry(out) = (A⋅B)+(C(in)⋅(A⊕B))가 된다.

* 반가산기

두 개의 1비트 숫자를 더해 합과 자리올림을 구하는 논리회로다. 두 입력 값을 더할 때 발생하는 합과 올림수를 출력한다.

예를 들어 A=1, B=1인 경우, Sum = A ⊕ B = 0, Carry = A⋅B=1이 된다.

**2.**

전감산기와 반감산기는 디지털 논리 회로에서 이진 뺄셈을 수행한다. 두 가산기 모두 이진 숫자를 빼는 기능을 가지고 있다.

* 전감산기

세 개의 1비트 숫자를 빼서 차와 자리 빌림을 계산하는 논리회로다. 이전 자리 빌림 값도 입력으로 받아 연산을 수행한다.

예를 들어 A=1, B=1, B(in)=1인 경우, Difference = A⊕B⊕B(in) = 1이고, Borrow(out) = (~A)⋅B+(B(in)⋅) = 0이 된다.

* 반감산기

두 개의 1비트 숫자를 빼서 차와 자리 빌림을 계산하는 회로다. 빼는 수가 클 때 자리 빌림이 발생한다.

예를 들어 A=0, B=1인 경우, Difference = A ⊕ B = 1, Borrow = (~A)⋅B=1이 된다.

**3.**

BCD, 즉 Binary-Coded Demical(이진화 십진법)으로 표현된 두 개의 십진수를 더하는 논리회로다. 각 십진수를 4비트의 이진수로 표현하여 사용한다. 일반 이진수 덧셈과는 달리 덧셈 결과가 십진수 범위를 벗어나면 조정을 통해 결과를 BCD 형식으로 유지한다.

**4.**

행렬 가감산기란 행렬간의 덧셈과 뺄셈 연산을 수행하는 디지털 논리 회로다. 병렬 처릴 통해 여러 행렬 요소를 동시에 계산할 수 있다. 행렬 가감산기는 덧셈기와 감산기를 이용해 두 행렬을 연산한다. 덧셈기와 감산기는 두 개의 비트 데이터를 더하거나 빼는 회로다. 이러한 덧셈기와 감산기에 앞에서 설명한 전 가산기 또는 전 감산기가 사용된다. 병렬 처리를 통해 고속 연산이 가능하다는 장점이 있다.

**5.**

우선 RCA는 Ripple Carry Adder으로, 전 가산기를 여러 개 연결하여 다중 비트 덧셈을 수행하는 회로이다. 각 비트의 자리 올림이 다음 전가산기로 전달되고, 마지막 비트까지 전달된 자리올림을 계산하면 전체 덧셈 결과를 얻을 수 있다. 즉 자리올림이 순차적으로 전파된다. CLA는 Carry Look-Ahead Adder으로 자리올림 전파 지연을 줄이기 위해 설계된 회로이다. RCA와 달리 자리올림을 미리 계산하여 더 빠르게 처리한다. 모든 자리올림 값을 동시에 계산해 덧셈 속도가 빠르다. RCA는 소규모 연산, CLA는 고속 연산에 적합하다.

**6.**

CLA의 G신호와 P신호에 대해 알아보자. CLA는 자리올림을 더 빠르게 처리하기 위해 G(Generate)신호와 P(Propagate)신호를 사용한다. G신호는 G=A⋅B 연산식을 사용하고, 두 입력 비트가 모두 1일 때 자리올림을 생성하는 경우다. P신호는 P=A⊕B 연산식으로, 두 입력 비트 중 하나가 1인 경우 자리올림을 전파하는 경우다.