11주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231609 이름: 정희선

**1.**

RS 플립플롭은 가장 기본적인 플립플롭 회로이다. S와 R의 입력을 통해 출력을 Set하거나 Reset할 수 있다. 하지만 S와 R이 동시에 1이 되는 경우는 유효하지 않은 상태로, 존재할 수 없다. 이러한 한계는 이후 더 발전된 플립플롭이 개발되는 배경이 되었다. 주로 두 개의 nand 게이트나 두 개의 nor 게이트를 사용하여 회로를 구성한다. S=0, R=0이면 출력이 현재 상태를 유지한다. S=1, R=0이면 출력이 1로 설정된다. (Set) S=0, R=1이면 출력이 0으로 설정된다. (Reset)

**2.**

JK 플립플롭은 SR 플립플롭의 한계를 극복한 방법으로, S=1, R=1일 때 발생하는 유효하지 않은 상태를 해결하도록 설계되었다. SR 플립플롭과 유사하게 두 개의 입력 J,K을 가진다. 동작 역시 SR 플립플롭과 유사하다. J=0, K=0이면 출력이 현재 상태를 유지한다. J=1, K=0이면 출력이 1로 설정된다. (Set) J=0, K=1이면 출력이 0으로 설정된다. (Reset) 하지만 SR 플립플롭과는 다르게, J=1, K=1인 경우 출력이 반전된다. (Toggle)

**3.**

D 플립플롭은 디지털 회로에서 데이터를 안정적으로 처리하기 위해 사용되는 플립플롭이다. 두 개의 D 래치를 결합한 마스터-슬레이브 구조로 구성된다. 이 구조는 클럭 신호의 상승 또는 하강 엣지에서만 데이터를 업데이트하는 역할을 한다. 이 회로는 입력 D와 Clock 신호를 받아 데이터를 출력한다. 클럭이 0일 동안에는 입력값을 저장하고 출력은 그대로 유지한다. 클럭이 상승하는 경우, 저장된 입력값이 출력으로 저장된다.(이 경우, 상승 엣지 플리플롭을 가정했다.) 마지막으로 클럭이 1인 경우 입력값이 업데이트되지 않으므로 이 전의 출력값을 유지한다.

**4.**

T 플립플롭은 디지털 회로에서 가장 간단한 형태의 플립플롭 중 하나로, 상태를 토글하는 기능을 수행한다. 입력 T와 클럭값을 입력으로 가진다. 클럭이 상승하는 경우, T값이 0이라면 출력이 이전 상태를 유지한다. (이 경우, 상승 엣지 플리플롭을 가정했다.) 반대로 클럭이 상승하는 경우, T값이 1이라면 이전의 출력을 반전시킨 출력을 가진다.

5**.**

Latch는 입력 신호를 일정 시간동안 저장하거나 유지하는 회로이다. 비동기식 회로로, 클럭 신호 없이 동작한다. 따라서 입력 조건이 만족되면 출력이 즉시 변경된다. 제어 신호에 의해 데이터가 유지/갱신되는데, 주로 Enable 신호가 1인 경우에만 입력 데이터를 출력에 반영한다. 래치는 주로 1비트의 데이터를 저장한다. 또 입력 신호가 변경되더라도 특정한 조건에서는 이전의 출력 상태를 유지하는 기능을 제공한다. 이 기능을 기억 기능이라고 부르기도 한다. 또한 제어 신호에 따라 데이터를 갱신하고 새로운 값을 저장한다.

6.

Clock은 일정한 주기와 파형을 가져 디지털 회로 시스템 내에서 모든 동작을 동기화하고 제어하는 데 사용된다. 주로 여러가지 회로와 블록의 동작을 하나의 기준 시간에 맞추는 역할을 한다. 또한 데이터 전송이나 처리 등 작업이 이루어지는 시간 간격을 결정한다. 마지막으로 플립플롭과 같은 회로에서 상태 전환의 기준을 제공한다. 이러한 회로는 클럭 신호의 엣지에서만 상태가 변경되므로 예측 가능한 동작을 하게 된다.

7.

Edge-Trigger란 디지털 회로에서 클럭 신호의 상승 또는 하강에서만 동작이 트리거되는 방식을 말한다. 상승 엣지에서는 클럭 신호가 0->1로 변화하고, 하강 엣지에서는 클럭 신호가 1->0으로 변화한다. Edge-Trigger에서는 클럭 신호가 안정된 상태일 때는 아무런 동작도 수행하지 않는다. 이렇게 클럭 신호가 안정된 상태에서는 외부 입력의 변화를 무시하는 특성은 엣지 트리거의 잡음 저항성을 보여준다. 또한 데이터 전송과 상태 변경이 특정 시간에만 발생하는 특성은 예측 가능한 안정성을 보여준다.

8.

Master Slave는 디지털 회로에서 순차 논리 회로의 안정성을 보장하기 위한 설계 방식이다. 주로 플립플롭의 구현에 사용된다. 마스터 래치는 클럭 신호가 0일 때 데이터를 저장하고, 슬레이브 래치는 클럭 신호가 1일 때 저장된 데이터를 출력으로 전달한다. 따라서 클럭 신호의 엣지에서만 출력이 변경되도록 설계하는 것이 가능하다. 이로 인해 출력이 안정적이고, 클럭 신호의 잡음이나 빠른 변화에 의한 글리치를 방지할 수 있다. 또한 클럭 신호에 의해 입력 데이터가 정확한 시점에 처리되므로 데이터를 동기화할 수 있다.

9.

Level Trigger: egde trigger는 클럭 신호의 상승이나 하강 엣지에서 동작하는 것에 비해, level trigge는 클럭 신호의 상태에 따라 동작한다. 즉, 클럭 신호가 활성화된 상태에서 입력 데이터가 지속적으로 출력에 반영된다.

Single Trigger: 한 번의 클럭 엣지에서만 동작한다. 디지털 회로에서 가장 일반적으로 사용되며, 안정적이고 예측 가능한 동작을 보장한다. 앞에서 계속해서 언급했던 엣지 상승 하강을 의미하고, 이를 positive edge trigger과 negative edge tirgger으로 부른다.

Double Trigger: 상승 엣지와 하강 엣지 모두에서 동작한다. 이는 일부 고속 디지털 시스템에서 사용된다. 클럭 신호의 두 전환 순간을 모두 활용하므로, 단위 시간당 더 많은 동작을 수행한다.