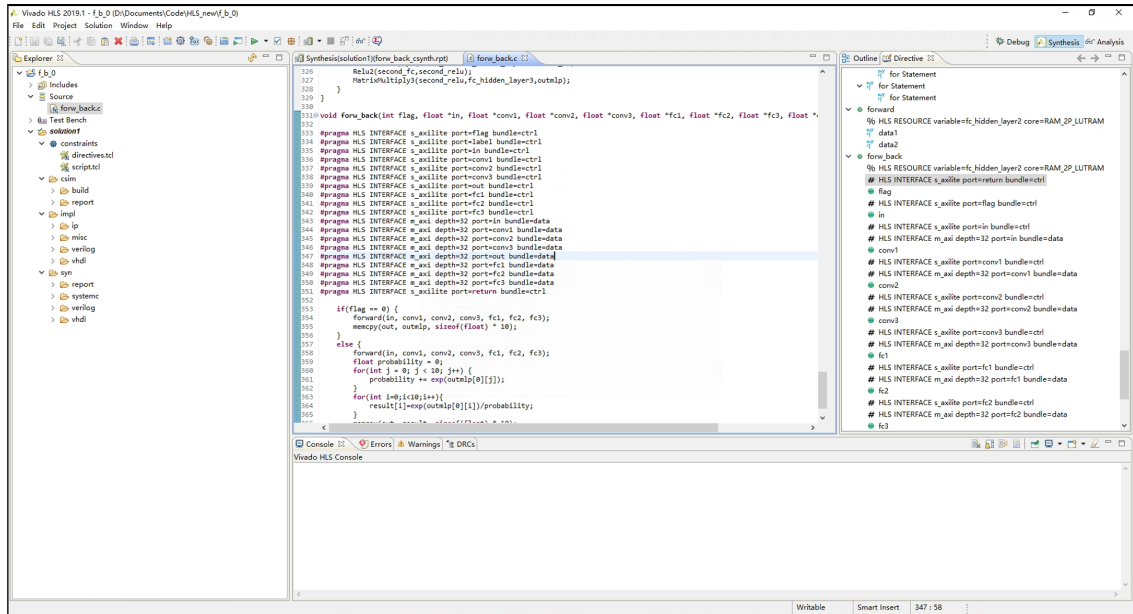
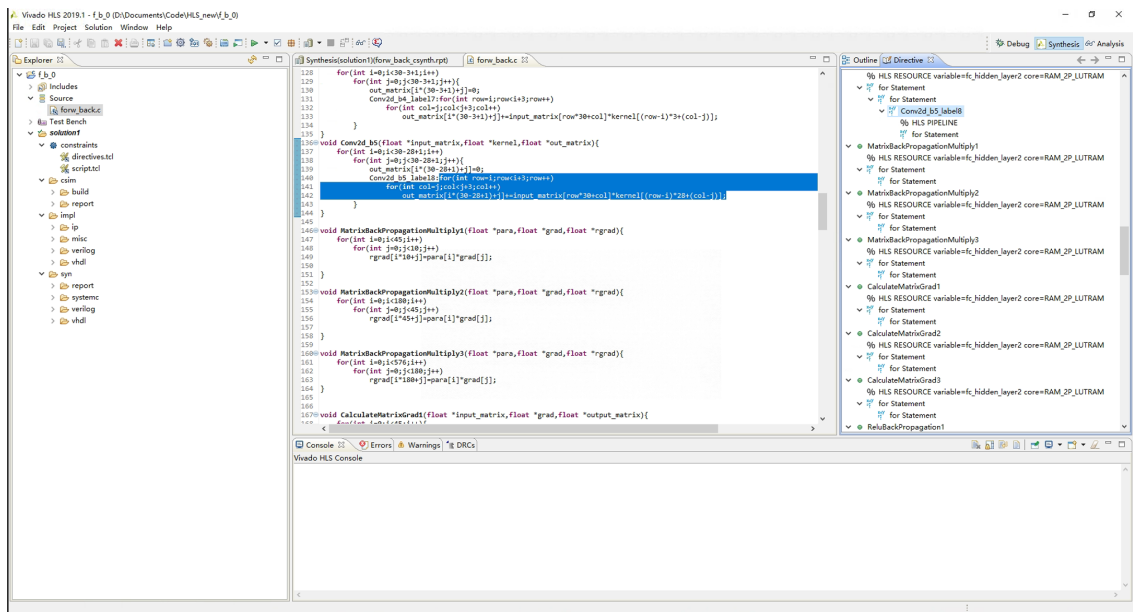


1. HLS：设计IP核

- 新建工程、导入C语言文件，阅读源码掌握整体结构。
- 函数接口优化：
 1. 用于传递数组数据的使用 (float*)，之后使用memcpy将接口拷贝到定义的数组中。使用了两个接口约束：m_axi和s_axi_lite
 2. 用于传递控制参数的 (如flag、label)，只使用了s_axi_lite用于传递控制参数



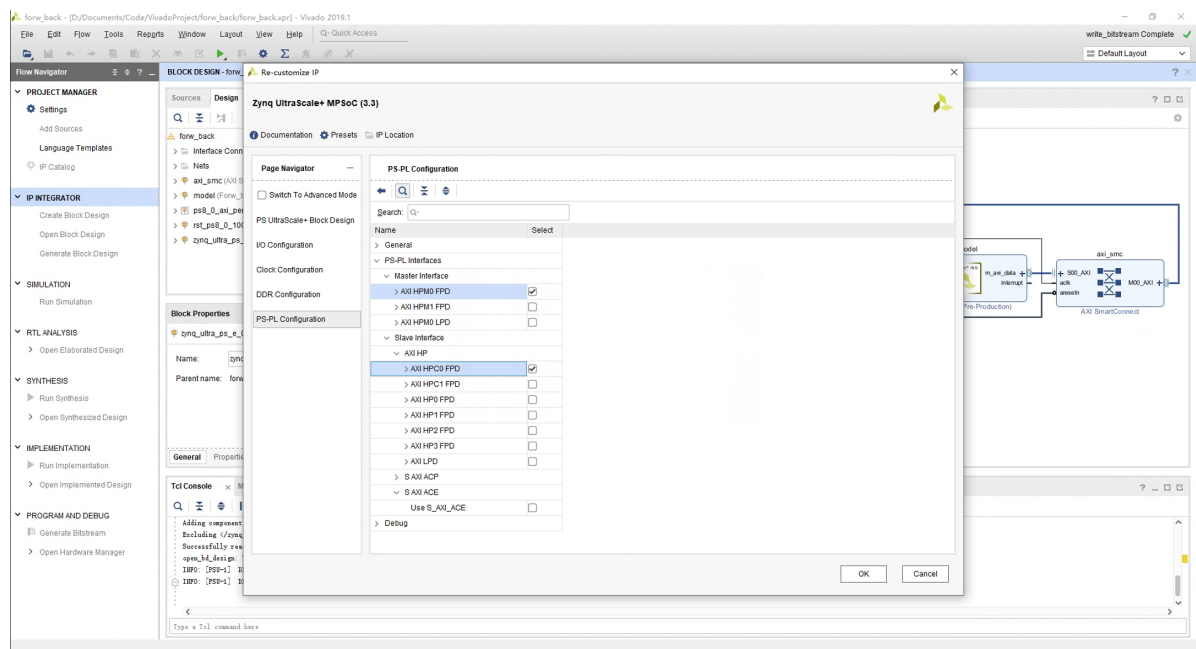
- 并行度优化：
 1. 使用pipeline命令对卷积模块进行了优化
 2. 对并行赋值等未使用unroll，因为资源会超或者达不到时序要求 (后面可以针对这个部分进行优化)



- 生成IP核，[注意HLS2022年新bug](#)

2. Vivado：SoC设计

- 新建Vivado工程，新建BD设计，导入ZYNQ MP核并配置，导入HLS的IP核，自动连线即可



- 直接生成bit流文件

PYNQ

- 编写python代码（已经写好了，直接run就行，你也可以自己改改，如果有不满意的地方）
- 导入bit流文件、tcl文件、hwh文件（工程文件夹下面有）
- run