

数字逻辑课程总结

1 数字系统

1.1 数字系统：定义、分类、典型系统

1.2 信息表示：定义、二进制表示

1.3 数制：定义、运算、转换

1.4 编码：二进制编码、BCD 码、格雷码、字符编码、校验位

2 布尔代数

2.1 二值逻辑：定义、真值表

2.2 逻辑门：定义、定时图、延时、其他门

2.3 布尔代数：定义、恒等式、代数运算、反函数

2.4 标准形式：最小项和最大项、最小项之和和最大项之积、积之和和和之积

2.5 卡诺图：成本标准、卡诺图、卡诺图化简

2.6 系统化简：蕴含项、系统化简、和之积优化、无关最小项

3 组合逻辑电路分析与设计

3.1 设计过程

3.1.1 规范化

3.1.2 形式化：用真值表表示

3.1.3 优化：1) 两级优化：将真值表转换成卡诺图，并进行卡诺图优化；

2) 多级优化：提取公因子，共享电路；3) 电路门输入成本计算

3.1.4 工艺映射：1) 映射到与非门；2) 映射到或非门；3) 映射四步骤

3.1.5 验证

3.2 组合逻辑功能模块

3.2.1 组合功能模块

3.2.2 基本逻辑函数：单变量函数、多位函数、使能函数

3.2.3 译码和译码器：译码定义、译码器结构、译码器展开、带有使能的译码器

3.2.4 基于译码器的组合电路

3.2.5 编码和编码器：编码定义、编码器设计、优先编码器设计(从真值表中直接观察乘积项)

3.2.6 多路复用器：多路复用器定义、多路复用器结构、位宽展开

3.2.7 基于复用器的组合电路：两种方法

3.3 算法功能模块

3.3.1 迭代组合电路：概念

3.3.2 二进制加法器：半加器/全加器常见实现、行波进位加法器、加法器应用

3.3.3 二进制减法器：减法原理、溢出

3.4 其他算术模块：压缩、递增、递减、乘法、常数乘法、常数除法、零扩充、符号扩展

4 时序逻辑电路分析与设计

4.0 引言：时序电路结构，时序电路类型

4.1 存储单元

4.1.1 状态存储：电路延时

4.1.2 锁存器：S-R 锁存器、 $\sim S$ - $\sim R$ 锁存器、时钟 S-R 锁存器、D 锁存

器逻辑行为

4.1.3 触发器：锁存器问题、主从触发器、主从触发器问题、边沿触发器、
直接输入

4.1.4 标准符号：识别

4.2 时序电路分析

4.2.1 方程：从电路图观察方程

4.2.2 状态表：一维/二维状态表

4.2.3 状态图：状态图、状态图状态表互相转换

4.2.4 等价状态：定义、识别、合并

4.2.5 输出类型：状态图区别、状态表区别、混合、相互转换

4.3 时序电路设计

4.3.1 规范化

4.3.2 形式化：根据需求画出状态图和状态表、状态含义

4.3.3 状态分配：计数赋值、格雷码赋值、单热点赋值

4.3.4 优化：计数赋值和格雷码赋值的卡诺图优化、单热点赋值观察方法

4.3.5 工艺映射

4.3.6 验证：手工验证，模拟验证

4.3.7 例子：结合需求进行时序电路设计

4.4 状态机图及应用

4.4.1 状态图的问题：4 个问题

4.4.2 状态机图模型：输入条件、转移条件、输出条件、两种状态转移、
四种输出行为、默认值语句、状态机图到状态机表转换

4.4.3 约束检查：转移条件两种约束检查、输出条件两种约束检查、通过状态机图进行约束检查、通过状态机表进行约束检查

4.4.4 状态机图设计：基本流程、画状态机图步骤、格雷码赋值状态机表观察方程、单热点赋值状态机表观察方程

5 数字硬件实现：集成电路、分类

5.1 CMOS 电路工艺

5.1.1 CMOS：n/p 沟道 MOS 晶体管

5.1.2 开关模型：常开、常闭

5.1.3 开关电路：通路表达式

5.1.4 完全互补的 CMOS 门结构：对偶结构、CMOS 门结构设计、取反形式、复合门

5.1.5 工艺参数：扇入、扇出、成本

5.2 可编程实现技术

5.2.1 编程技术：存储单元、晶体管

5.2.2 可编程器件

5.2.3 只读存储器 (ROM)：特点、两个角度理解

5.2.4 可编程阵列逻辑 (PAL)：特点、编程

5.2.5 可编程逻辑阵列 (PLA)：特点、编程

5.2.6 现场可编程门阵列 (FPGA)：可编程逻辑块组成、查找表、可编程逻辑块编程