

数字逻辑

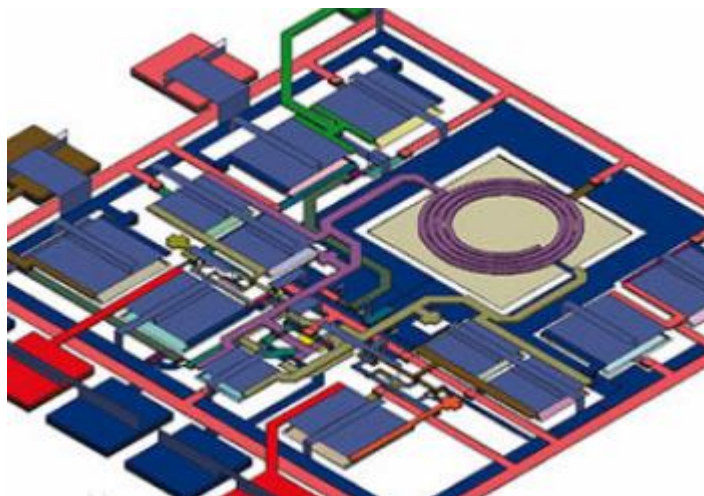
第五章 数字硬件实现

北京理工大学

计算机学院

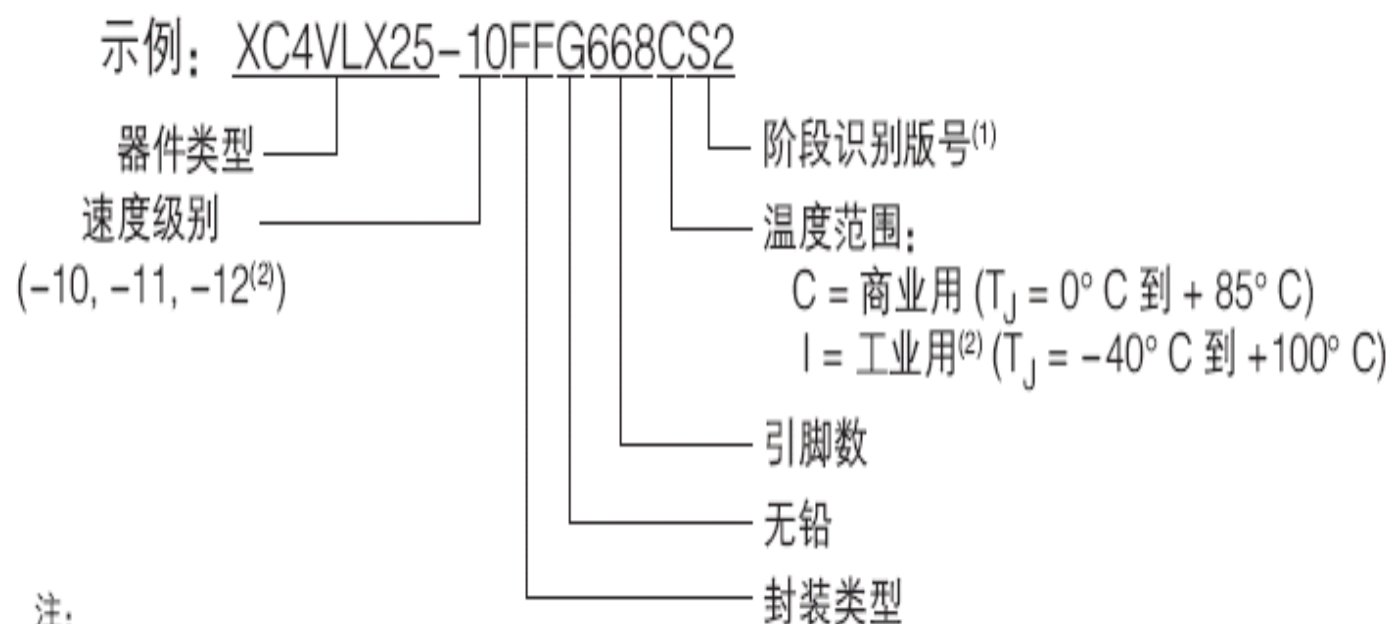
黄永刚

- 数字电路用**集成电路**构建而成
- **集成电路**: Integrated Circuit, IC
- IC是一种硅半导体晶体, 俗称**芯片**, 包含实现**逻辑门**和**存储单元**的电子元件



Virtex-4 订购信息

图 1 所示 Virtex-4 订购信息适用于所有封装，包括无铅封装。

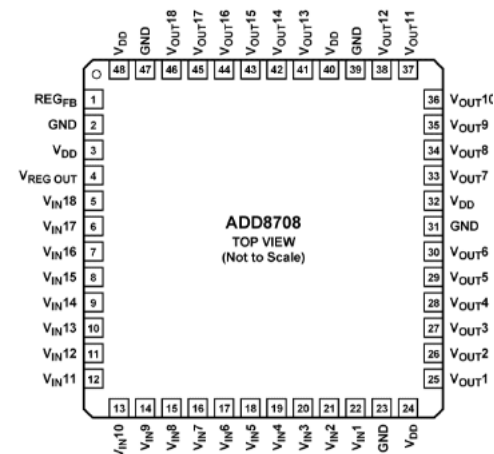
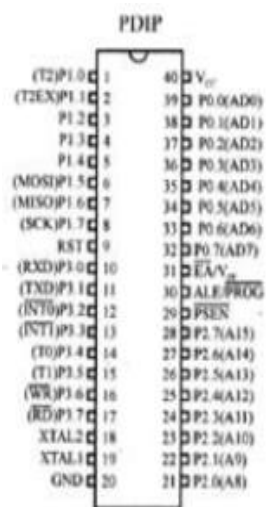


1) 阶段识别版号可选，若不需要特定器件的分步订货则无须指定。有关分步订购代码的详细信息，请查阅《Virtex-4 数据手册》(DS302)。

2) 工业用级别不包括 -12 级器件。

❑ 芯片采用陶瓷或塑料封装，由内部电路引出与外部电路相连的**接线（引脚）**

❑ 引脚构成了芯片的**接口**



一. CMOS电路工艺

- 1. CMOS
- 2. 开关模型
- 3. 开关电路
- 4. 完全互补的CMOS门结构
- 5. 工艺参数

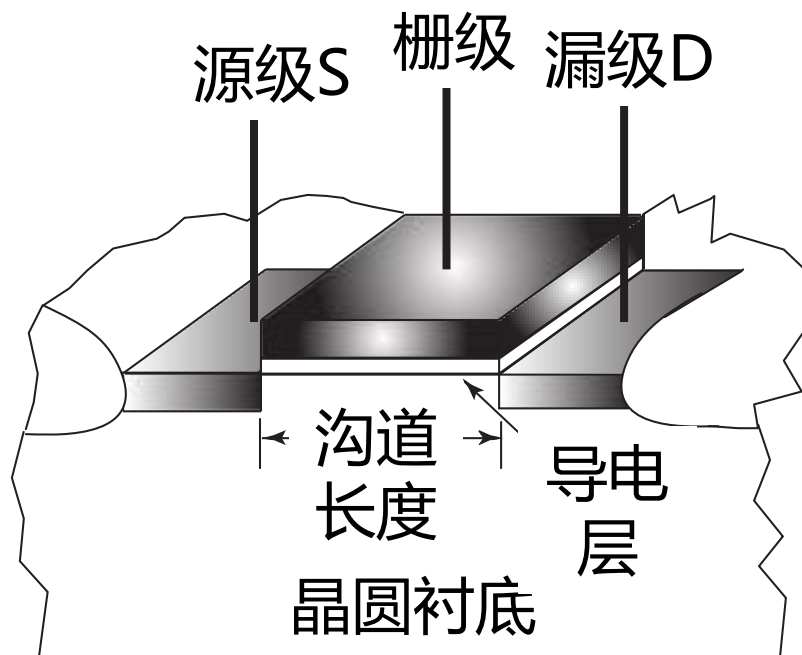
1. CMOS

- 集成电路可根据**工艺**划分，CMOS占据统治地位
- **CMOS**：基于硅的互补氧化物半导体工艺
 - **特点**：高密度、高性能、低功耗
 - 基础是MOS晶体管
 - **MOS**：金属氧化物半导体
 - 包含**两种类型**的晶体管
 - n沟道MOS
 - P沟道MOS

1. CMOS

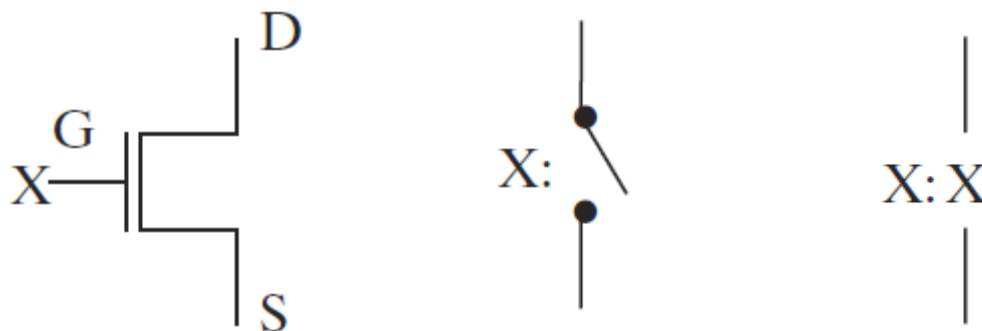
□ n 沟道MOS晶体管原理：可以模型化成开关

- 通常漏极电压高于源级
- ON：当栅极比源级电压高出阈值
- OFF：当栅极比源级电压差低于阈值

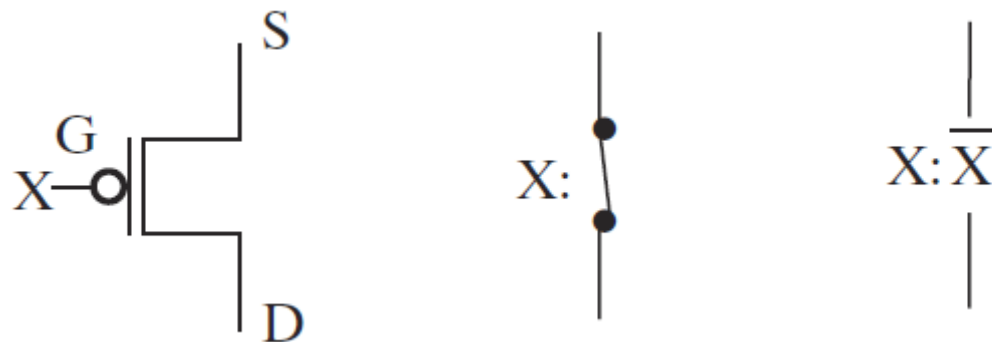


2. 开关模型

□ **n沟道**: 栅极 (G)、源极 (S)、漏级 (D) 常开

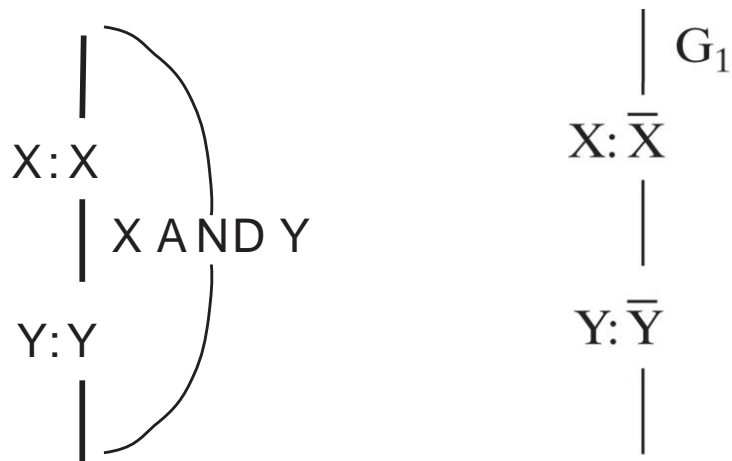


□ **p沟道**: 源级和漏级互换, 行为和n沟道相反 常闭

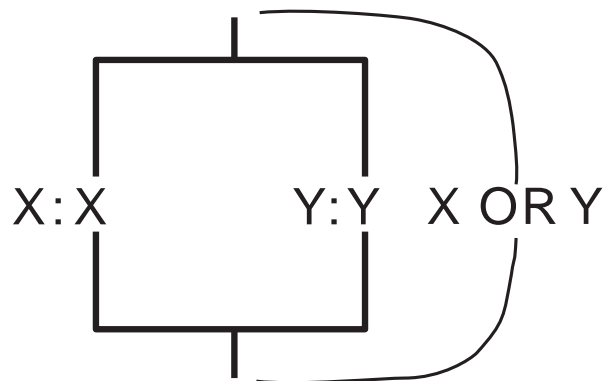


3. 开关电路

□ 串行: XY , $\bar{X}\bar{Y}$



□ 并行: $X+Y$



□ 如何用n沟道p沟道MOS构成逻辑门电路？



4. 完全互补的CMOS门结构

□ 对偶结构

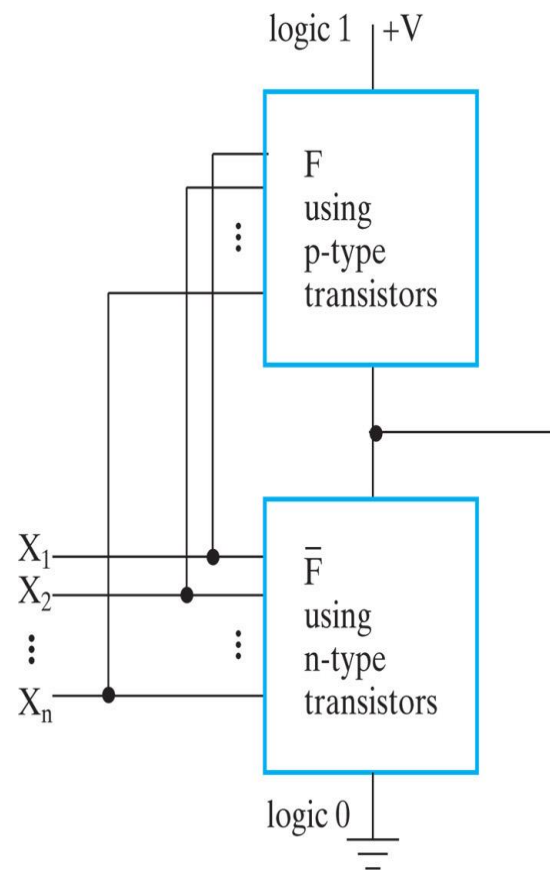
- n 沟道 vs. p沟道
- 串联 vs. 并联

□ p沟道传输1能力强：原函数

□ n沟道传输0能力强：反函数

□ 设计时

- 先设计n沟道：不带反变量
- 再通过对偶原则p沟道

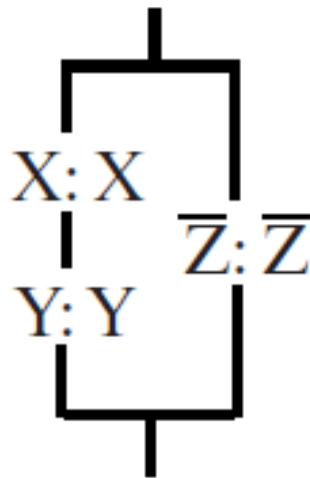


(a) General structure

4. 完全互补的CMOS门结构

□ CMOS门结构设计

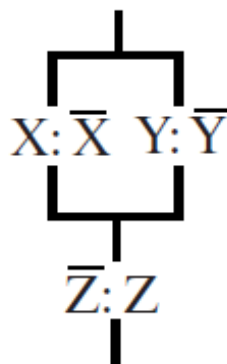
- 0. 目标函数 $F = \bar{X}Z + \bar{Y}Z = (\bar{X} + \bar{Y})Z$
- 1. 得到反函数 $\bar{F} = XY + \bar{Z}$
- 2. 用n沟道常开开关实现



4. 完全互补的CMOS门结构

□ CMOS门结构设计

- 3. 通过对偶原则得到p沟道常闭开关实现



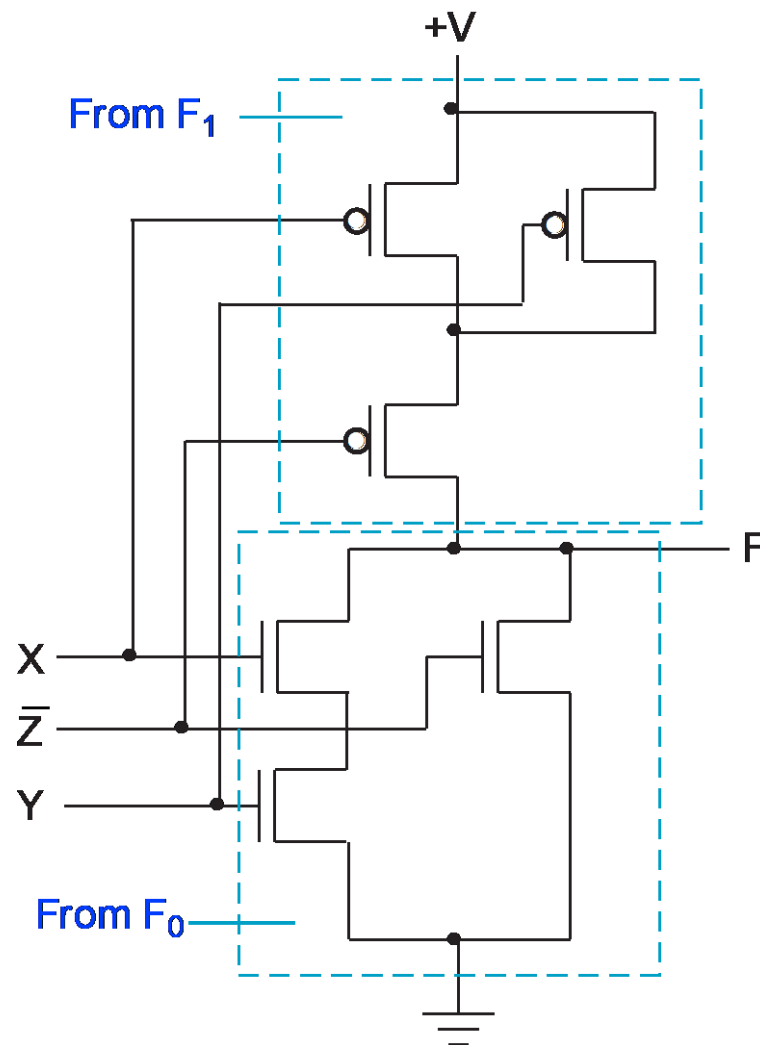
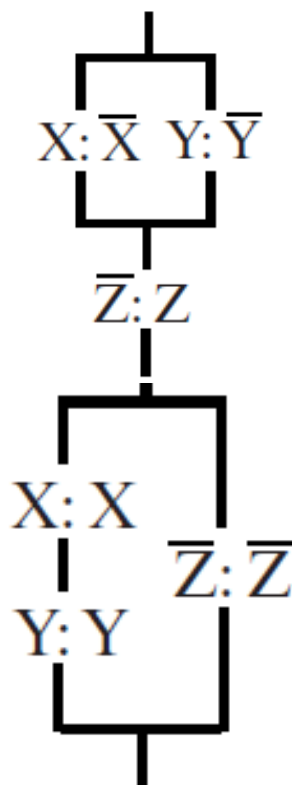
- 其函数为 $F = (\bar{X} + \bar{Y}) Z$

4. 完全互补的CMOS门结构

□ CMOS门结构设计

➤ 4. 综合

➤ 5. 替换

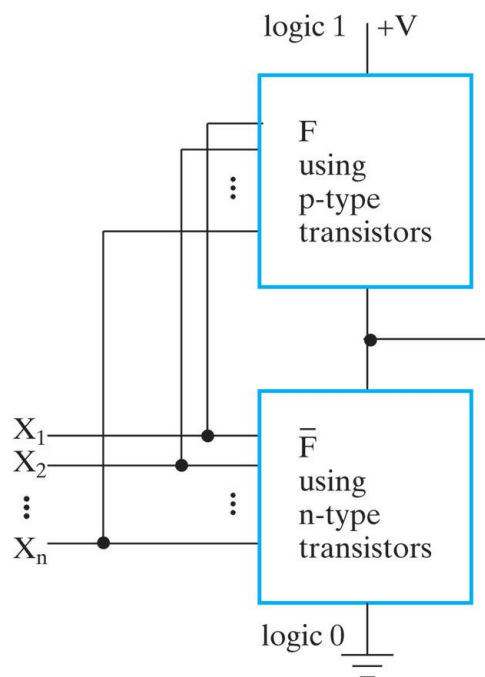


4. 完全互补的CMOS门结构

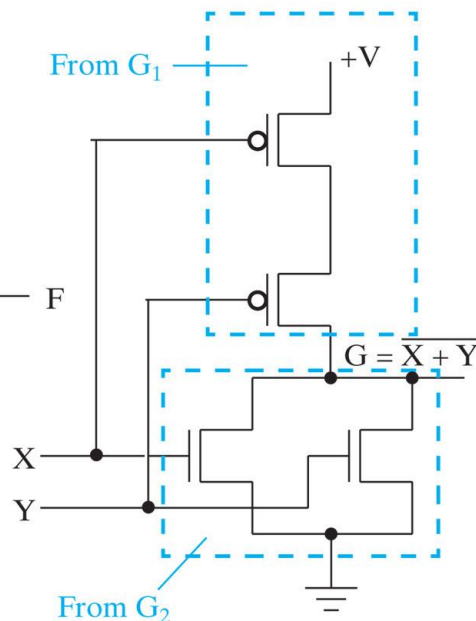
□ CMOS电路一般是**取反**的形式

➤ 因其**结构简单**

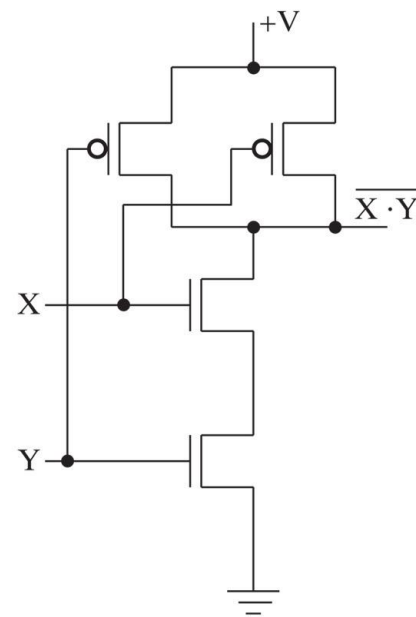
□ **复合门**：比与非门、或非门、非门复杂的电路



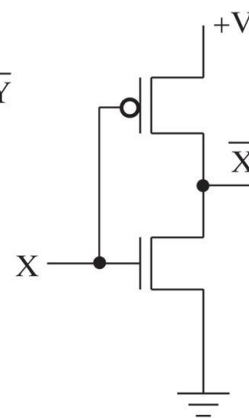
(a) General structure



(b) NOR



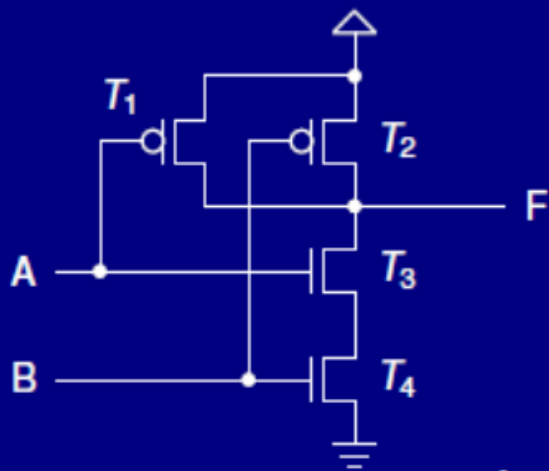
(c) NAND



(d) NOT

4. 完全互补的CMOS门结构

CMOS NAND Gate



A	B	T_1	T_2	T_3	T_4	F
0	0	on	on	off	off	1
0	1	on	off	off	on	1
1	0	off	on	on	off	1
1	1	off	off	on	on	0

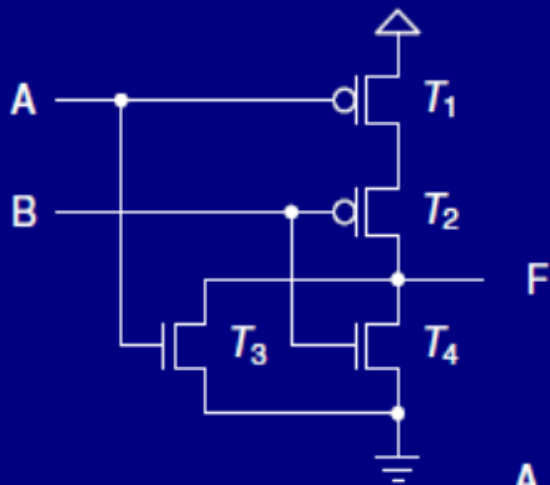


真值表

与非门符号

4. 完全互补的CMOS门结构

CMOS NOR Gate



A	B	T_1	T_2	T_3	T_4	F
0	0	on	on	off	off	1
0	1	on	off	off	on	0
1	0	off	on	on	off	0
1	1	off	off	on	on	0

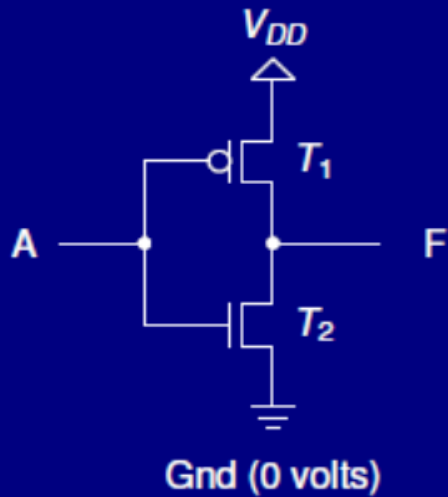


真值表

或非门符号

4. 完全互补的CMOS门结构

CMOS NOT Gate



A	T_1	T_2	F
0	on	off	1
1	off	on	0

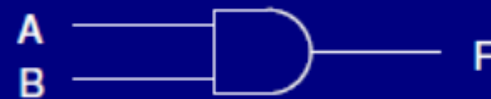
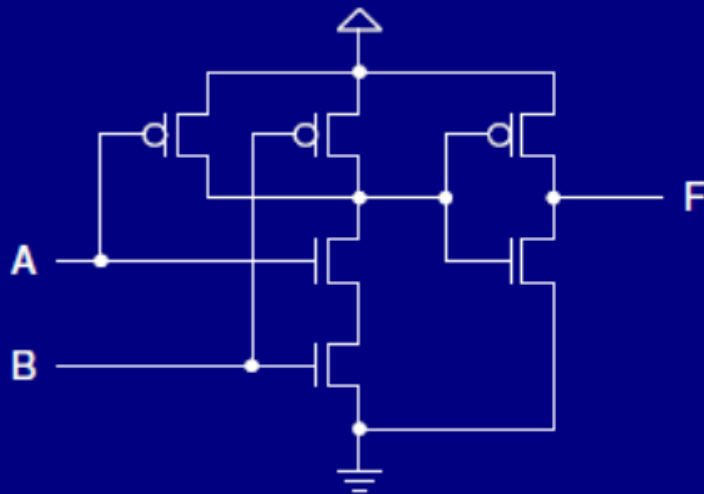
真值表



非门符号

4. 完全互补的CMOS门结构

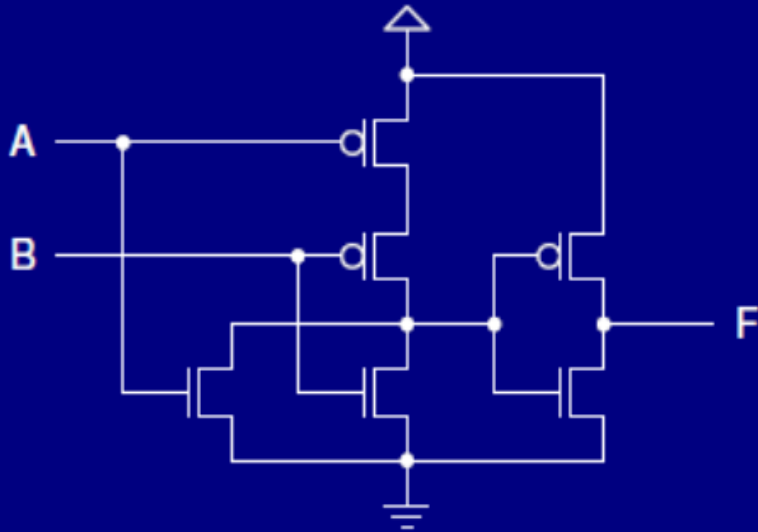
CMOS AND Gate



与门符号

4. 完全互补的CMOS门结构

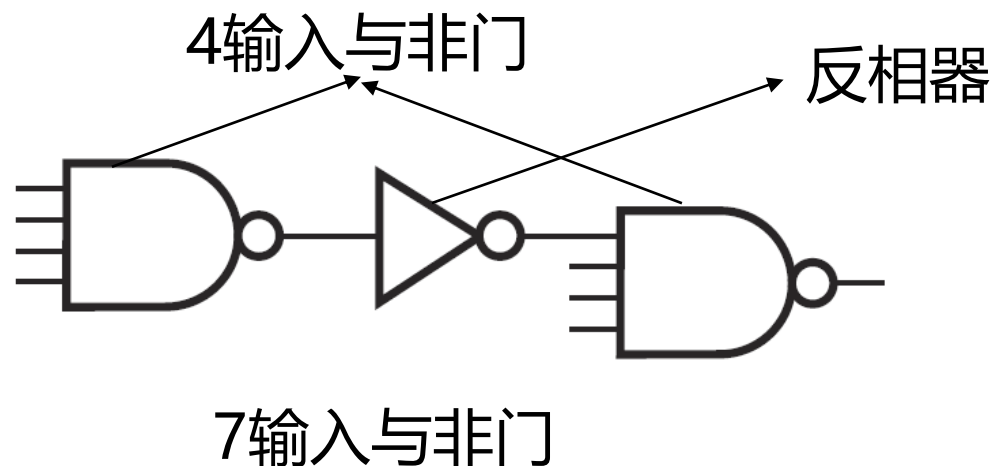
CMOS OR Gate



或门符号

5. 工艺参数

- **工艺参数**：表征实现工艺的参数
- **扇入**：一个门可能的输入数
 - 通常不超过4~5个
 - 大扇入门使用低扇入门连接而成
- **扇出**：一个门输出驱动的标准负载数
- **成本**：晶体管大小、数目等因素



□ 传统的实现是**固定**的

➤ **一次性成本高**

- 适用于**大规模生产**
- 不适用于**小规模生产**

□ **可编程逻辑器件** (PLD)

➤ **包含**：实现逻辑功能的结构

➤ **可编程**：以实现功能，是**硬件过程**

二. 可编程实现技术

- 1. 编程技术
- 2. 可编程器件
- 3. 只读存储器 (ROM)
- 4. 可编程阵列逻辑 (PAL)
- 5. 可编程逻辑阵列 (PLA)
- 6. 现场可编程门阵列 (FPGA)

1. 编程技术

□ 可编程实现技术

➤ 固化编程

- 熔丝
- 反熔丝
- 掩膜编程

➤ 可重复编程

- 编程点的存储单元：易失性
- 晶体管开关：不易失性

1. 编程技术

□ 晶体管开关

- 光可擦除：采用紫外线照射进行擦除
- 电可擦除：采用高于正常值电压擦除
- 闪存技术：电可擦除技术，支持多擦除选项
 - 单个浮动栅极
 - 所有浮动栅极
 - 浮动栅极特定子集

2. 可编程器件

- 在组合电路中，经过卡诺图优化后，一般可以将输出表达成积之和，如：

$$W = A + BT_1$$

$$X = \bar{B}T_1 + B\bar{T}_1$$

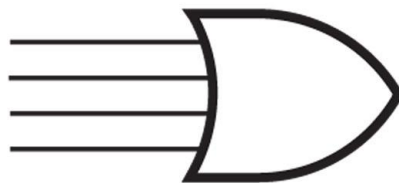
$$Y = CD + \bar{T}_1$$

$$Z = \bar{D}$$

- 因此，要实现组合电路，需要：
 - 与门阵列
 - 或门阵列

2. 可编程器件

□ 常规符号

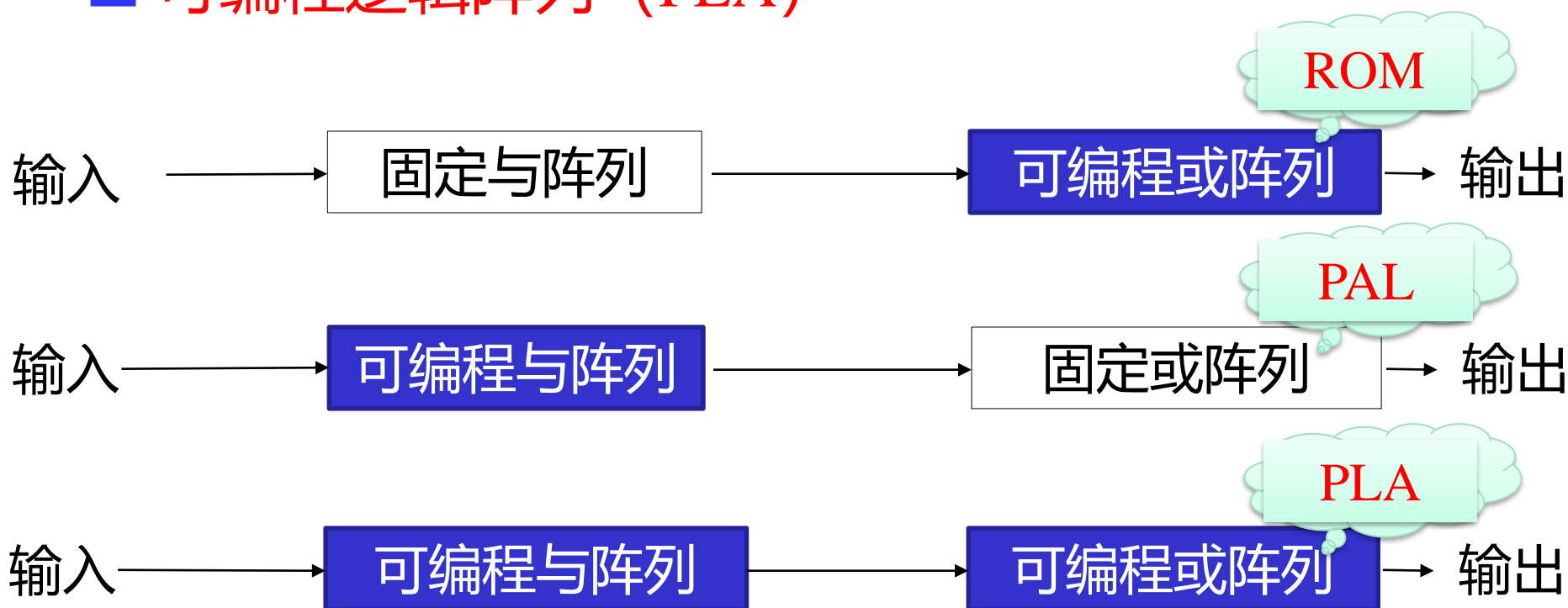


□ 阵列逻辑符号



2. 可编程器件

- 只读存储器 (ROM)
- 可编程阵列逻辑 (PAL)
- 可编程逻辑阵列 (PLA)



3. 只读存储器 (ROM)

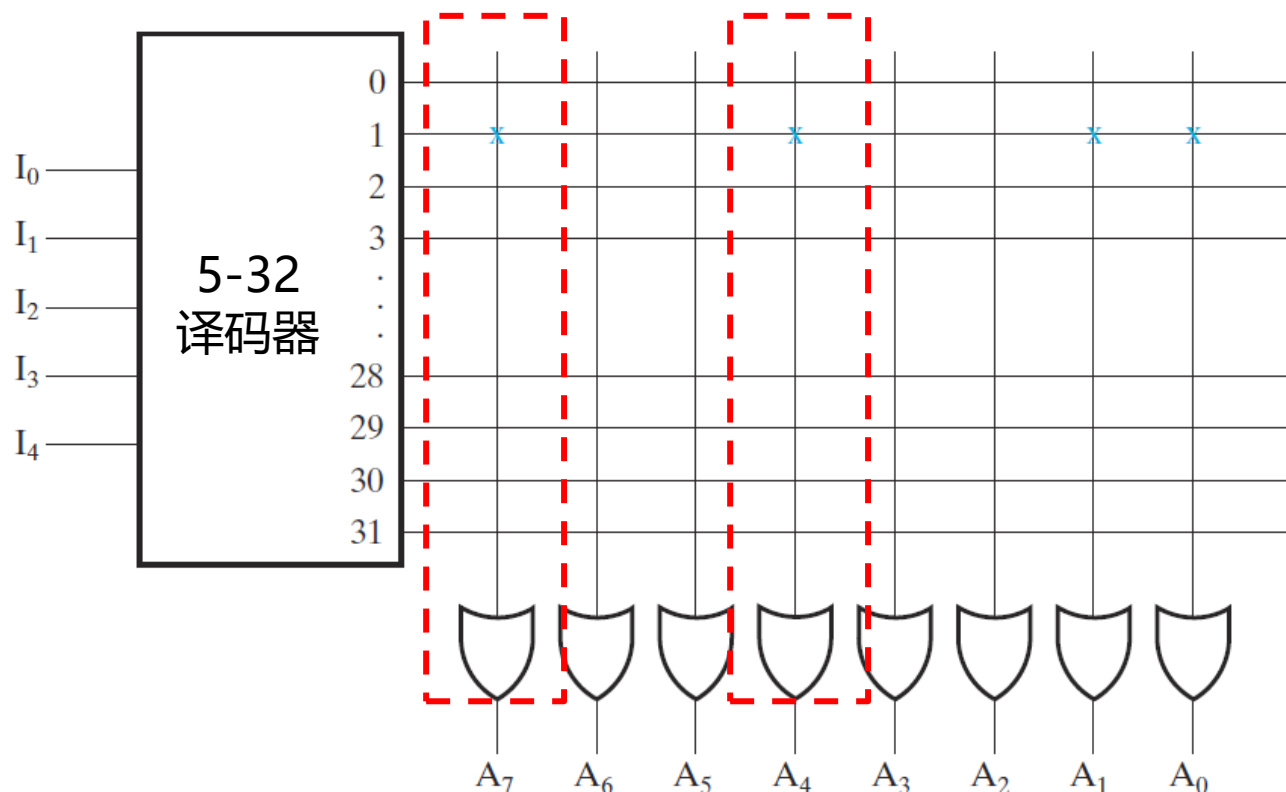
- 由译码器提供最小项
- 可编程或阵列
- 无需电路优化：电路成本最高
- 两个角度理解



3. 只读存储器 (ROM)

□ 角度1: $2^5 \times 8$ ROM

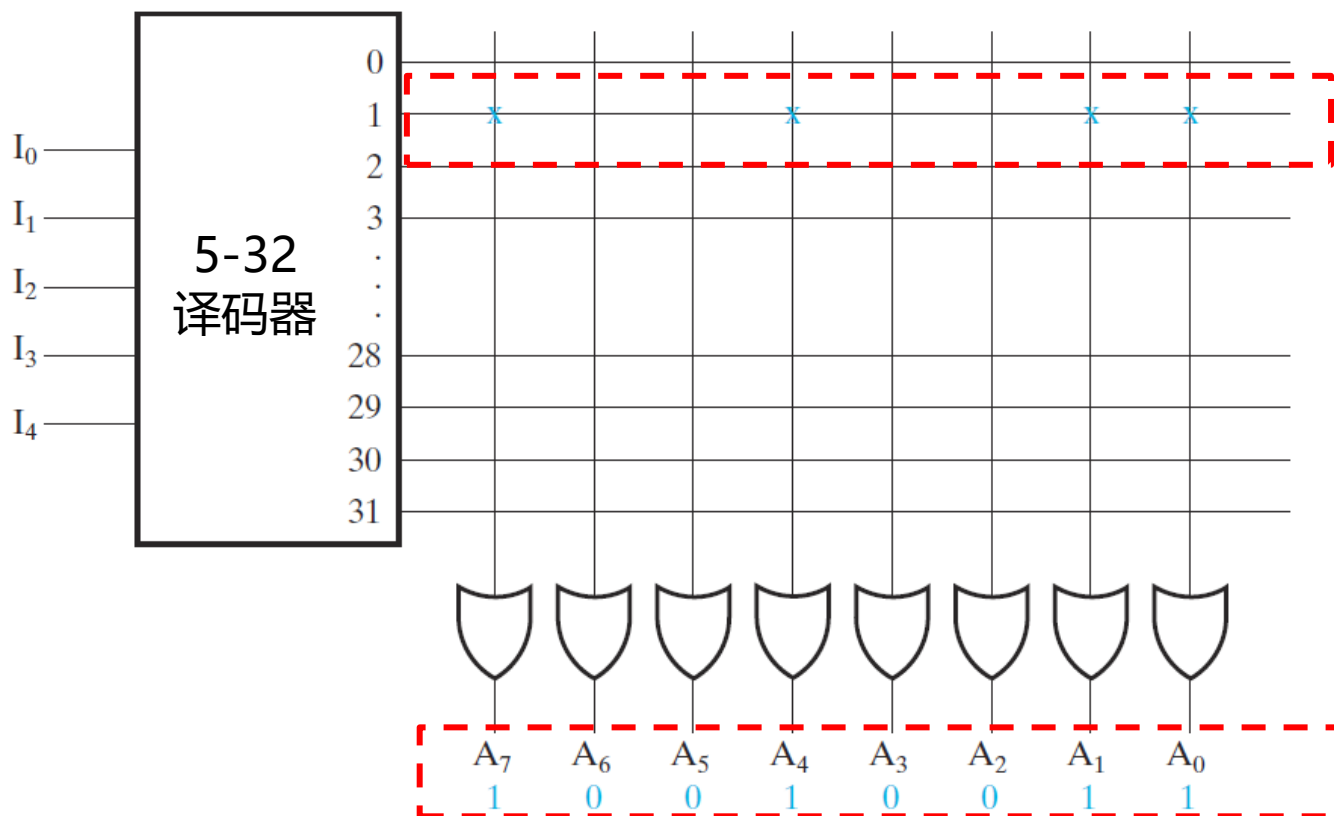
- 译码器的输出: 最小项
- 每个或门是一个组合函数: 最小项之和



3. 只读存储器 (ROM)

□ 角度2: $2^5 \times 8$ ROM

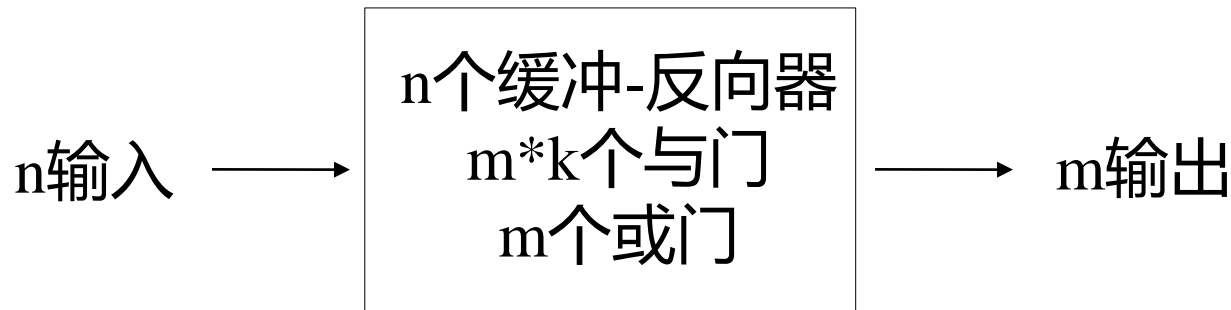
- 输入提供地址: $I_0 \sim I_4$
- 输出提供存储字: 地址选定 (命名)



4. 可编程阵列逻辑 (PAL)

□ 可编程与阵列

- vs. 可编程或阵列 (ROM)
- 单输出两级优化
 - 共享积之和
 - 多级电路



4. 可编程阵列逻辑 (PAL)

$$W = \sum m(2,12,13)$$

$$X = \sum m(7,8,9,10,11,12,13,14,15)$$

$$Y = \sum m(0,2,3,4,5,6,7,8,10,11,15)$$

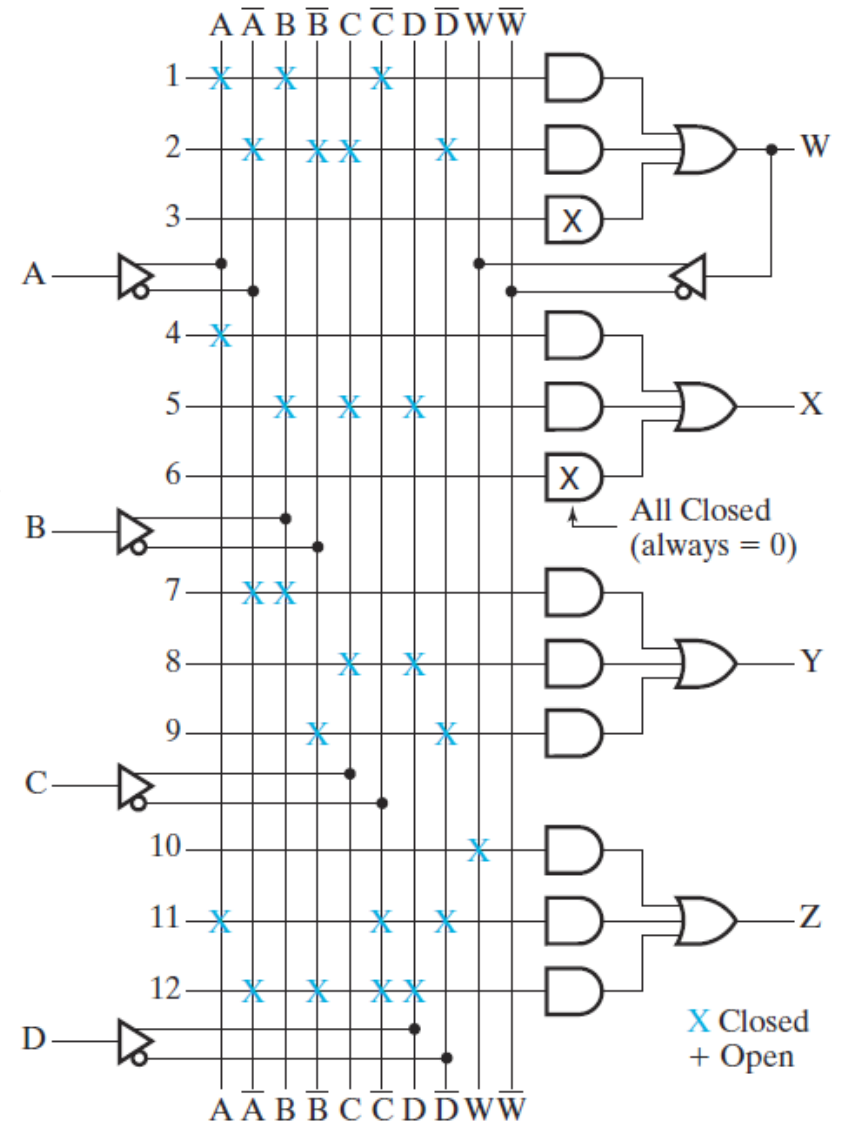
$$Z = \sum m(1,2,8,12,13)$$

$$W = ABC\bar{C} + \bar{A}\bar{B}C\bar{D}$$

$$X = A + BCD$$

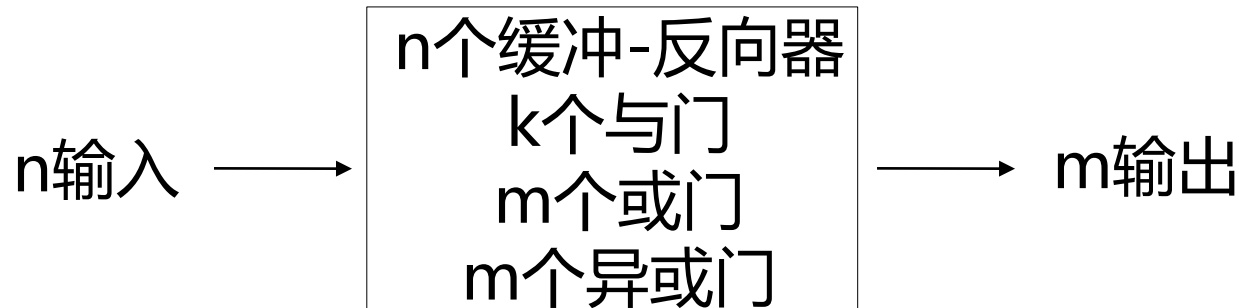
$$Y = \bar{A}B + CD + \bar{B}\bar{C}$$

$$Z = W + A\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D}$$



5. 可编程逻辑阵列 (PLA)

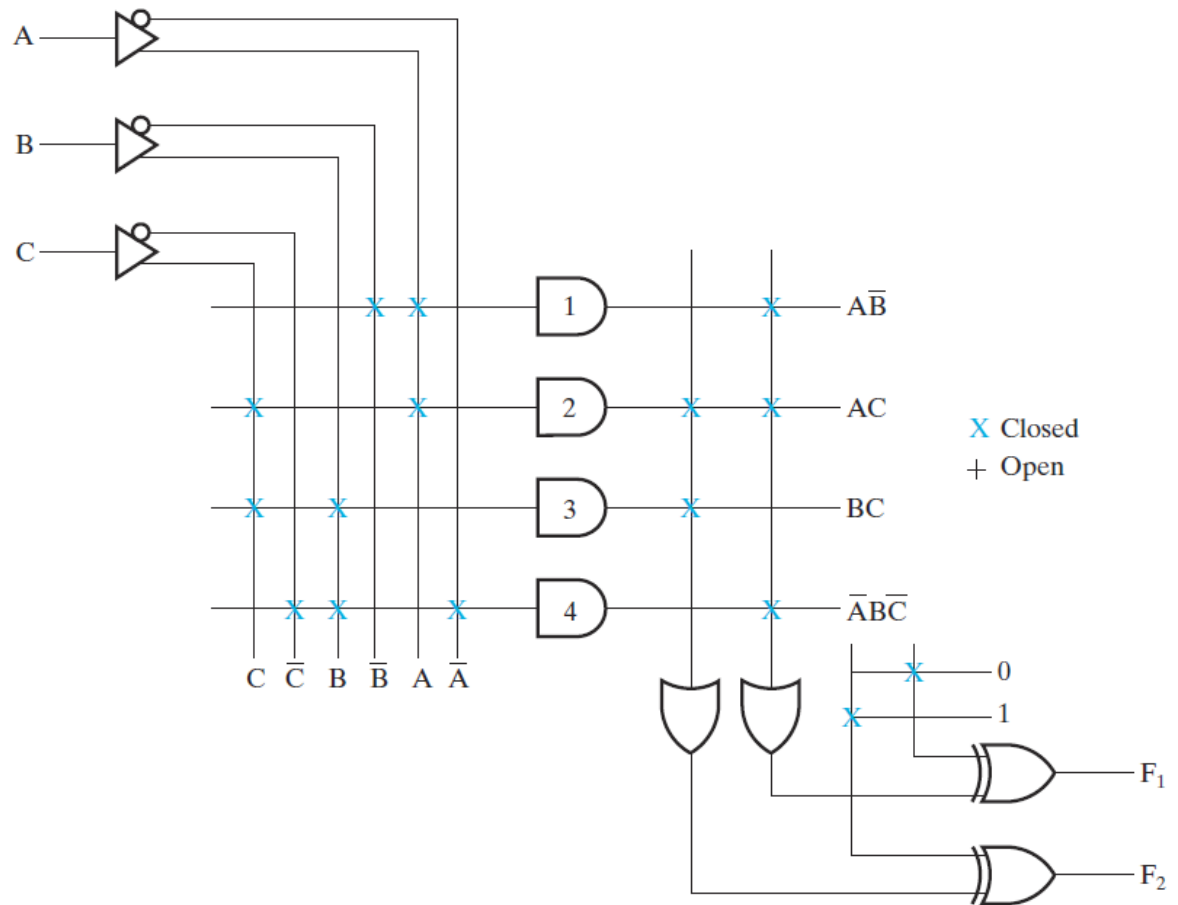
- 可编程与阵列
- 可编程或阵列
- 多输出两级优化
 - 每个函数用最少乘积项
 - 函数间共享乘积项
 - 可反相输出



5. 可编程逻辑阵列 (PLA)

$$F_1 = A\bar{B} + AC + \bar{A}B\bar{C}$$

$$F_2 = \overline{AC + BC}$$



□ ROM

- 无需优化
- 电路成本最高

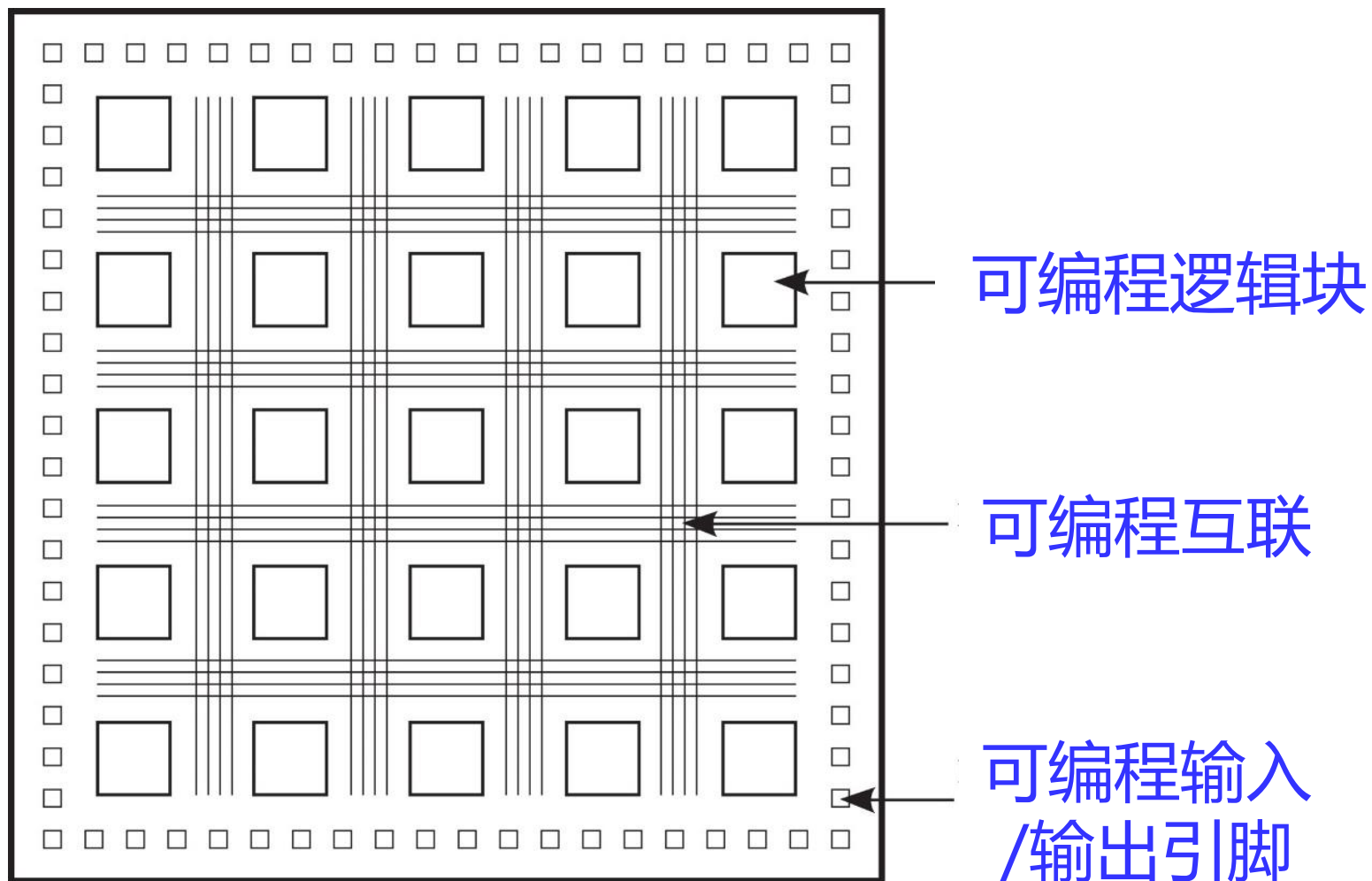
□ PAL

- 单输出二级优化
- 共享积之和
- 可实现多级电路

□ PLA

- 多输出二级优化
- 共享乘积项
- 可反相输出

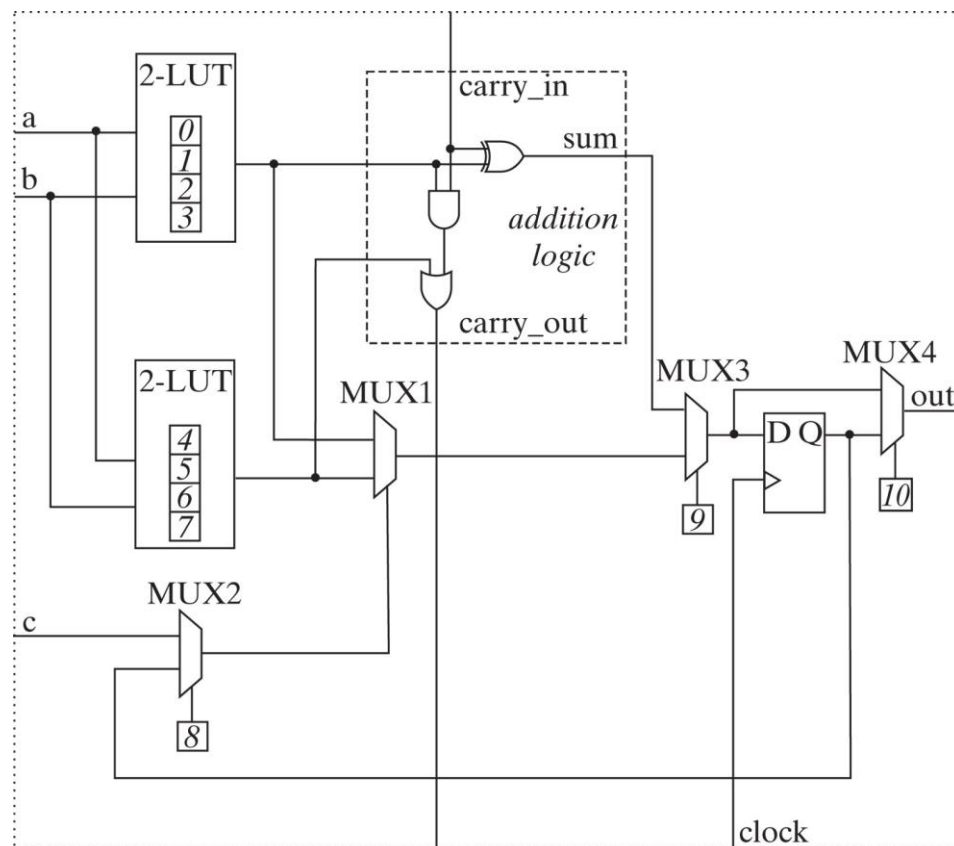
6.现场可编程门阵列 (FPGA)



6.现场可编程门阵列 (FPGA)

□ 可编程逻辑块组成

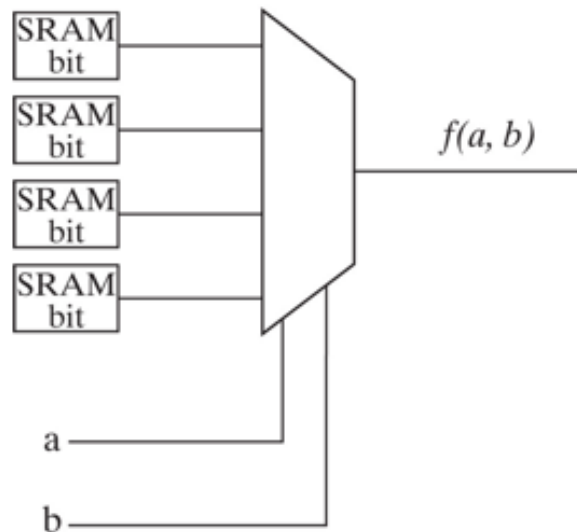
- 查找表 (LUT)
- D触发器
- 加法逻辑
- 多路复用器
- SRAM配置位
 - 静态随机访问存储器



6.现场可编程门阵列（FPGA）

□ 查找表

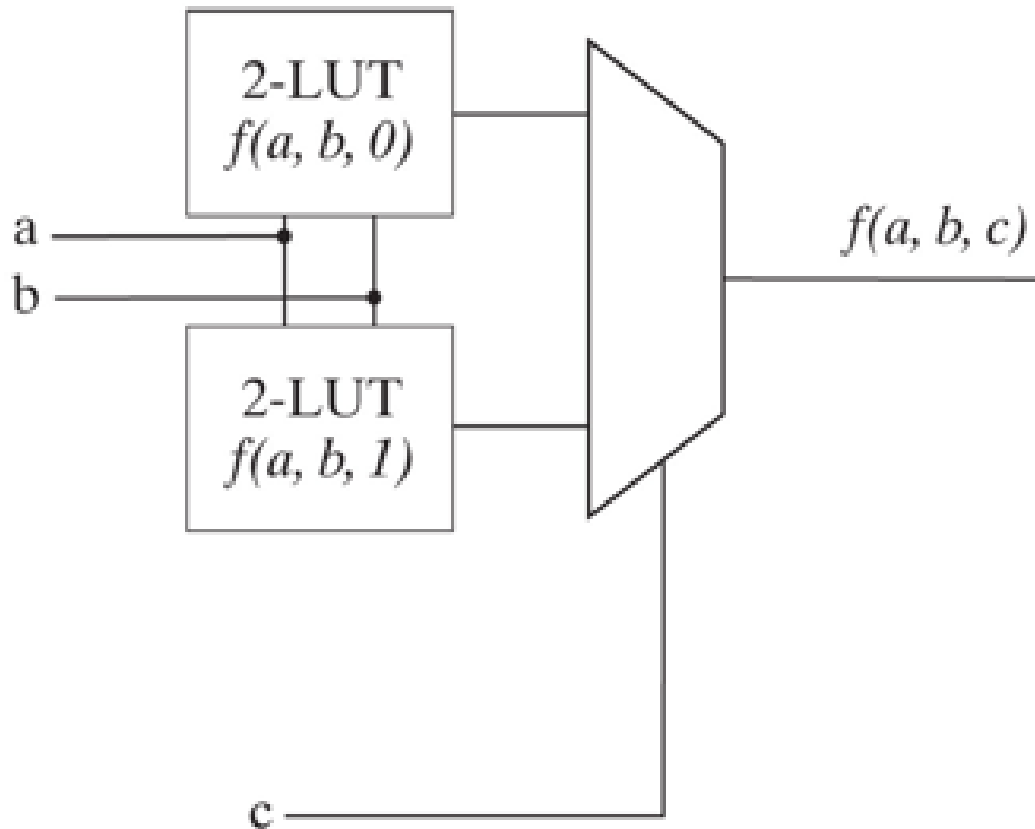
- Look-Up Table, LUT
- 实现组合逻辑函数
- $2^k \times 1$ 存储器：函数真值表

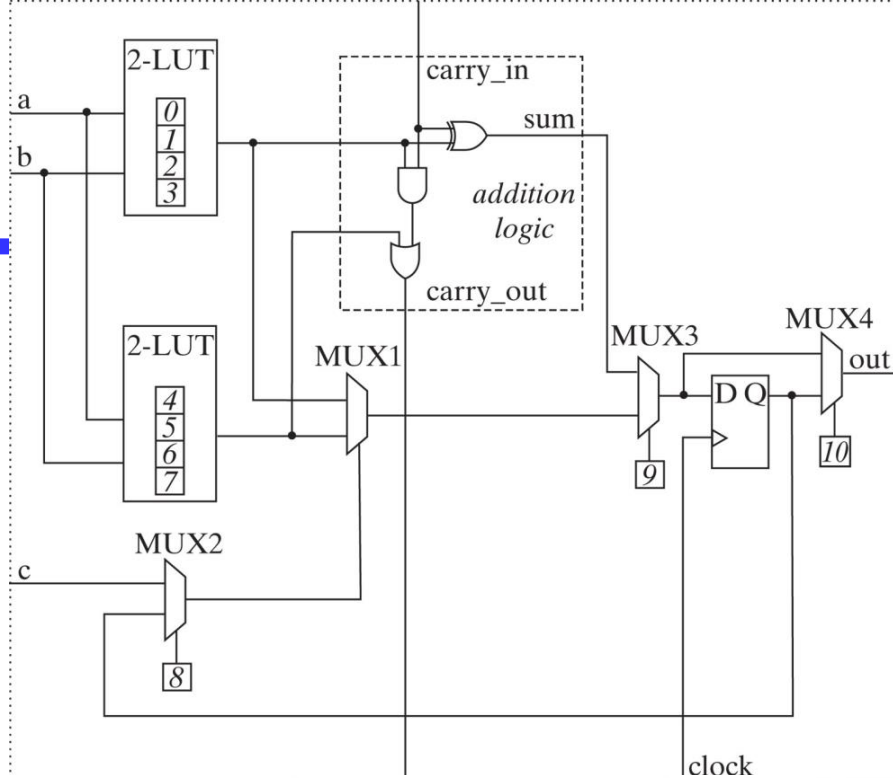


6.现场可编程门阵列 (FPGA)

□ 用查找表实现布尔函数

$$F(A, B, C) = \sum m(3, 5, 6, 7)$$





当前状态	输入		下一状态	输出 Z
	输入 1	输入 2		
状态 0	0	0	状态 1	0
状态 0	0	1	状态 0	0
状态 0	1	0	状态 0	0
状态 0	1	1	状态 1	0
状态 1	0	0	状态 0	1
状态 1	0	1	状态 0	1
状态 1	1	0	状态 1	1
状态 1	1	1	状态 1	1