

数字逻辑期末考试试题

1. 图 1 为一数码显示电路，图 2 为七段显示译码器输入端 DCBA 的数值与数码管显示图案之间的对应关系。试分析虚线框内电路的功能。 （共 17 分）

要求：

- 1) 写出你的学号尾号 N （十进制），用四位二进制数 $(N_3N_2N_1N_0)$ 表示 N ，则 $N_3N_2N_1N_0=?$ （1 分）
（注：试卷中用到的所有 N 和 $N_3N_2N_1N_0$ 均为此处的值）；
- 2) 填写表 1 所示的真值表； （8 分）
- 3) 写出该电路的功能； （2 分）
- 4) 写出 Y_3 、 Y_2 、 Y_1 、 Y_0 关于输入变量 X_3 、 X_2 、 X_1 、 X_0 的表达式，写成编号形式的最小项之和式； （4 分）
- 5) 为了使数码管显示你的学号尾号 N ，输入 X_3 、 X_2 、 X_1 、 X_0 应为何值？ （2 分）

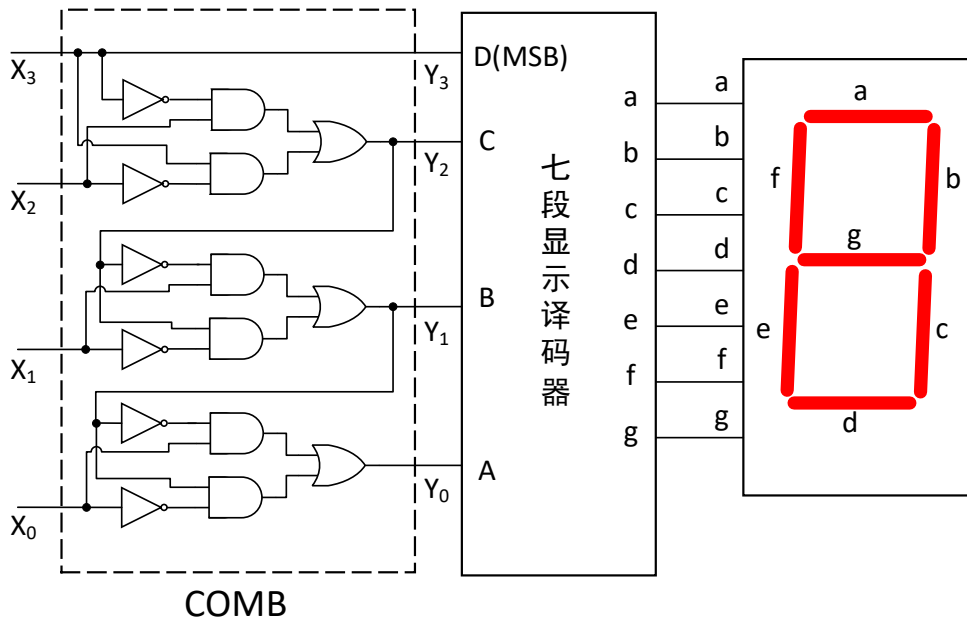


图 1

0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

图 2

表 1

X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

2. 经测试，当图 1 电路的输入信号 $X_3X_2X_1X_0$ 为 0100 时，数码管显示为 1。可以确认的是七段显示译码器发生故障，试分析并排除故障。（共 13 分）

要求：

- 1) 试分析七段显示译码器的哪一个输出端发生了故障；（3 分）
- 2) 已知七段显示译码器的输出为高电平有效，试尝试设计一个替代电路以产生正确的译码信号。要求描述设计过程并画出电路图，可用器件仅有 1 个 4-1 数据选择器、2 个非门和 1 个 2-输入或门。其中 4-1 数据选择器的符号如图 3 所示。（10 分）

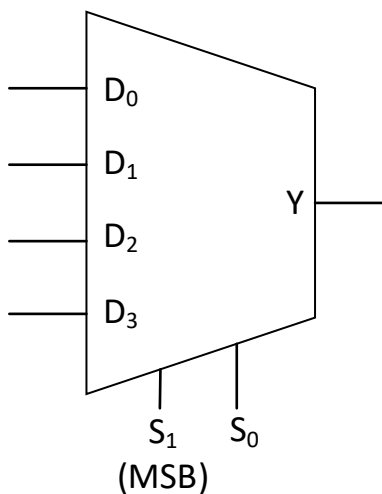


图 3 4-1 数据选择器

3. 某雷达站有 3 部雷达 A、B、C，其中雷达 A 和 B 的功耗相同，C 的功耗是 A 的两倍。这些雷达由两台发电机 X 和 Y 供电，发电机 X 的最大输出功率等于雷达 A 的功耗，发电机 Y 的最大输出功率是 X 的 3 倍。分别用变量 A、B、C 表示雷达 A、B、C 的开机状态，开机为逻辑“1”，反之为逻辑“0”；用变量 X 和 Y 表示发电机 X 和 Y 的启停状态，启动为逻辑“1”，反之为逻辑“0”。设计一个逻辑电路，能够根据雷达的开关情况，以最节能的方式控制发电机的启停。

(共 20 分)

要求：

- 1) 写出真值表； (4 分)
- 2) 写出两台发电机工作状态的逻辑表达式并化简为最简与或式； (8 分)
- 3) 仅用与非门实现该逻辑控制电路。 (8 分)

4. 试分析图 4 所示序列信号发生器电路的功能。

(共 19 分)

要求：

- 1) 写出这个序列信号发生器所产生序列的一个周期； (5 分)
- 2) 这是一个什么序列？这个序列有什么特点？ (5 分)
- 3) 用一片 74163 和两个 2-1 多路选择器设计一个电路，使之产生与上述序列相同的序列。74163 和 2-1 多路选择器的符号如图 5 所示。表 2 为 74163 的功能表。 (9 分)

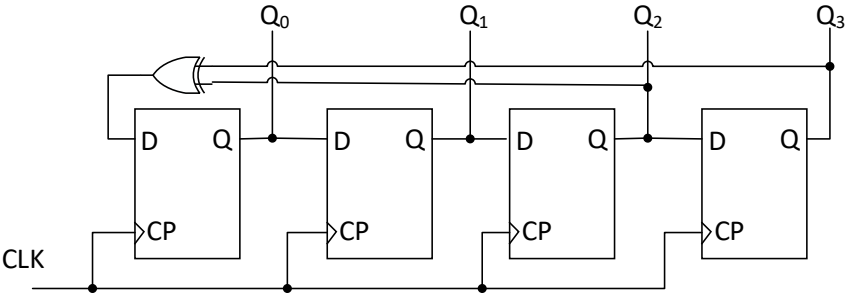


图 4

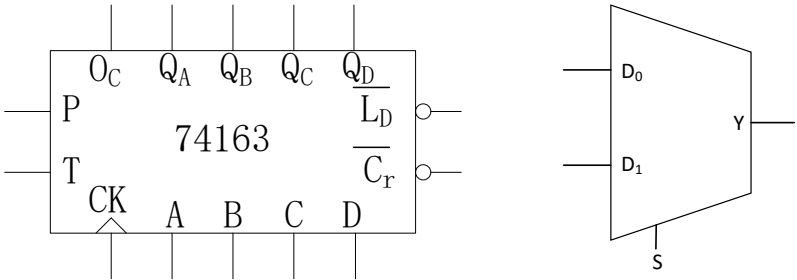


图 5 74163 (左) 和 2-1 数据选择器 (右)

表 2 74163 功能表

N_0	清除 $\overline{C_r}$	预置 $\overline{L_D}$	计数允许 $P \quad T$		时钟 CK	功 能
1	0	×	×	×	×	同步清 0
2	1	0	×	×	↑	同步置数
3	1	1	1	1	↑	同步计数
4	1	1	0	1	×	保持
5	1	1	×	0	×	保持 $O_c=0$

5. 设计一个移存型序列信号发生器，产生序列的一个周期为 10110。电路不要
求自启动。 (共 13 分)

要求：

- 1) 设计该电路需要几个 D 触发器构成移位寄存器？ (3 分)
 - 2) 设移位寄存器的反馈输入端为 S_R ，输出状态为 Q_{n-1}, \dots, Q_0 ，n 为 D 触发器的
个数。写出反馈方程 S_R 的最简或与式； (5 分)
 - 3) 画出该电路的状态转换图，只画有效循环即可。 (5 分)
6. 采用下降沿触发的 JK 触发器设计一个模 7 的计数器，输出状态 $Q_2Q_1Q_0$ 的顺序
为 001→010→100→011→111→101→110→001。要求电路最简且能自启动。
(共 18 分)

要求：

- 1) 写出驱动方程组和次态方程组； (7 分)
- 2) 画出电路完整的状态转换图； (5 分)
- 3) 画出电路的波形图，初态 $Q_2=N_2, Q_1=N_1, Q_0=N_0$ 。时钟信号为 CP。(还记得
 N_2, N_1, N_0 是什么吗？) (6 分)