

实验 2_3 报告

2016K8009909006

刘杰

一、实验任务（10%）

设计静态 5 级流水简单 MIPS CPU，第三阶段任务如下：

1. 至少新增如下 18 条指令：J、BGEZ、BGTZ、BLEZ、BLTZ、BLTZAL、BGEZAL、JALR、LB、LBU、LH、LHU、LWL、LWR、SB、SH、SWL、SWR。
2. 通过仿真和上板运行 lab2_func_2 以及性能测试程序 dhrystone 和 coremark。
3. 优化设计，尽量提高 myCPU 性能。
4. 提交 lab2 的最终作品和实验报告。

二、实验设计（30%）

（一）数据访存模块设计

本次实验添加存取字节，存取半字以及非对齐访存指令，添加数据访存模块，用于调整访存数据。

读数据其中 4 条按字节或者半字读数据的指令，首先根据虚拟地址判断所取数据的位数。取出的字节或者半字长数据再根据指令进行符号位或零扩展，就能得出最后存入寄存器的数据；对 2 条非对齐取数指令，依旧先要根据虚拟地址选出 1 字节到 4 字节不等的数据，将其与 rt 的原值拼接后写入。结构设计图如下：

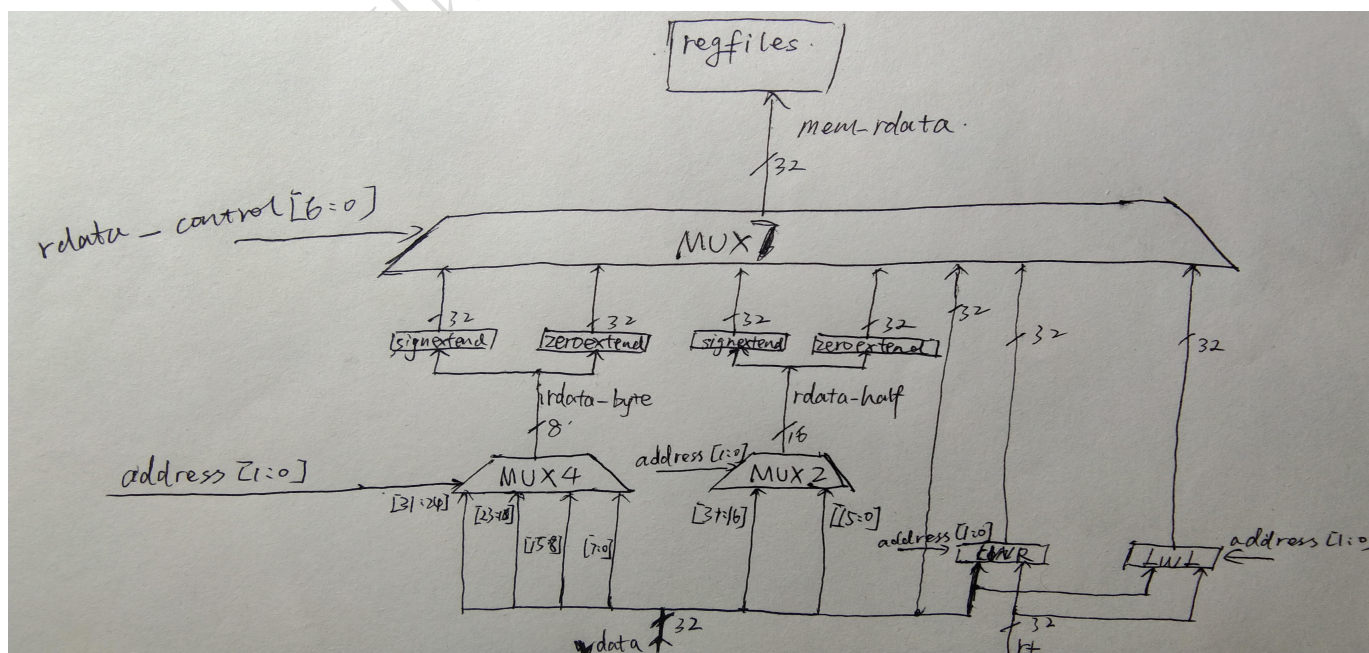


图 1

写数据新增 4 条指令，都要根据虚拟地址判断写入数据的位数，拉高相应的 data_sram_wen 位数，此外，对于非对齐存数指令还要左移或者右移相应的位数，确保写入内存的数据正确。

(二) 分支跳转模块设计

由于跳转指令增多，添加一个模块用于控制 PC 跳转目标。结构设计图如下：

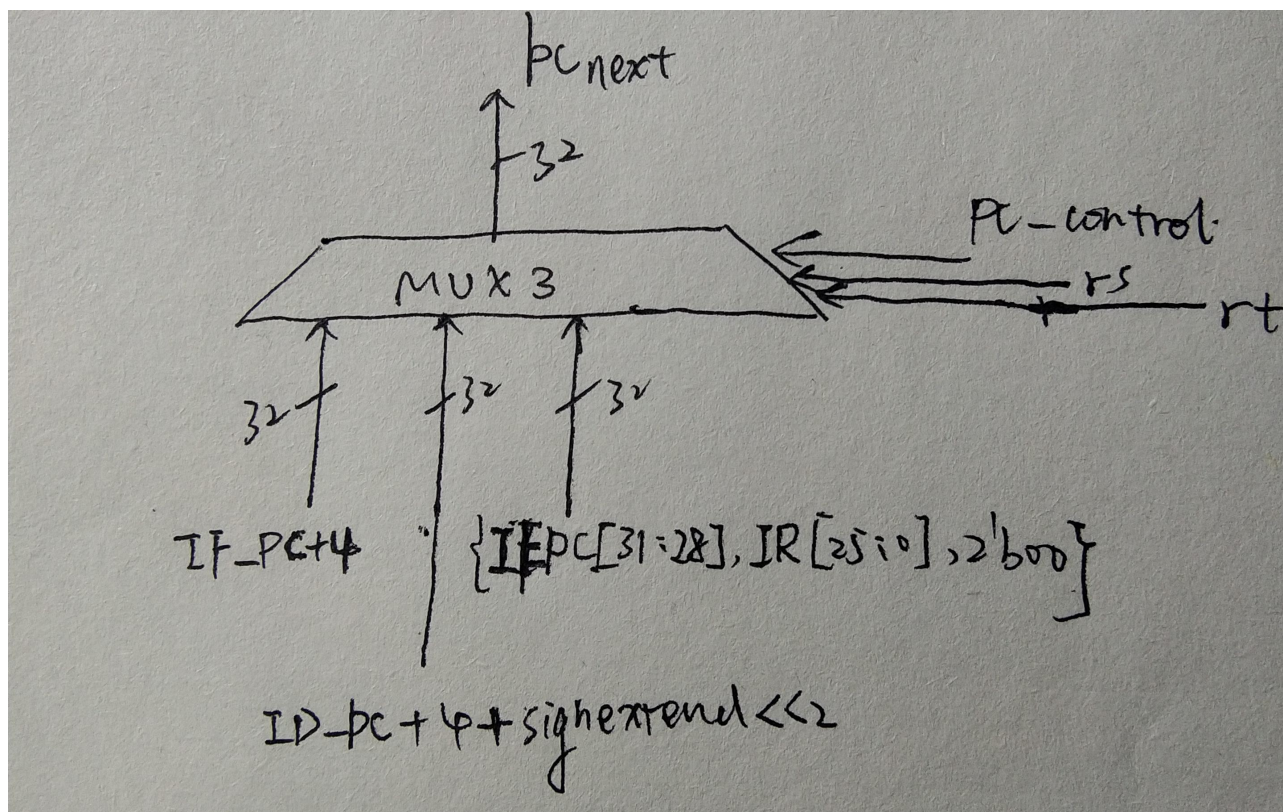


图 2

三、实验过程（60%）

(一) 实验流水账

2018.10.13

20:00-23:00 阅读指令手册，添加指令。

2018.10.14

13:00-14:00 仿真，在新增的分支跳转指令 BLEZ 处发现第一个 bug，修复 bug。

14:30-16:00 修复第一个 bug 后仿真，在 SB 指令处发现第二个 bug，修复 bug。

16:00-17:00 修复第二个 bug 后仿真通过，上板通过，运行 dhystone 仿真上板通过。

19:00-22:30 运行 markcore 仿真失败，找到第三个 bug，修复 bug 后仿真上板通过。

2018.10.15

18:00-20:00 完成实验报告。

（二）错误记录

1、错误 1

（1）错误现象

控制台报错，在 BLEZ 指令处应发生跳转而实际未发生。

（2）分析定位过程

发现 PC 值与 trace 不匹配，往回找到最后 PC 与 trace 匹配的位置，查看这两个位置间指令，出现 BLEZ 指令，查看 rs 值，发现符合跳转条件，但未发生跳转，估计为控制逻辑错误，找到相应代码，发现错误。

（3）错误原因

跳转条件为 $rs \leq 0$ ，但是在写代码时将条件写为 $(rs[31] \& rs == 31'd0)$ 。

（4）修正效果

把分支跳转条件修改为 $(rs[31] \parallel rs == 31'd0)$

（5）归纳总结（可选）

一个不留神引发的事故。

2、错误 2

（1）错误现象

控制台报错，LW 指令存入寄存器的值错误。

（2）分析定位过程

找到错误指令，发现是 LW 指令。检查读地址未发现错误，按读地址找到上一次写该地址的指令为 SB，发现写入的数据也正确，检查数据写使能信号，找到错误。

（3）错误原因

SB 写使能信号未根据写入的字节拉高相应位，而是一直为 f，未写入的字节错误的认为是全零。

（4）修正效果

实际上未写入的字节应该为原内存的数据，而非全 0，所以将未写入字节对应的写使能信号拉低。

（5）归纳总结（可选）

4 位写使能信号发挥作用的地方就是在写字节，写半字和不对齐访存。

3、错误 3

（1）错误现象

coremark 测试仿真长时间未停止，仿真不报错。

（2）分析定位过程

根据波形，发现 EX 级卡在一条除法指令一直未完成，检查发现 div 信号一直未拉高。

（3）错误原因

除法在 ID 级时发生数据相关需要阻塞，然后错误的将 div 信号置为 0 后随除法指令传入 EX 一级。

(4) 修正效果

将在阻塞时把 div 信号置零的逻辑删除，重新跑 coremark 通过

(5) 归纳总结（可选）

又是一个不留神引发的事故。

四、实验总结（可选）

终于把 5 级流水做完了，但感觉好像激动人心的还没开始。