《计算机系统结构》往年考题

一、简答题

1. 指令流水计算机中，采用独立的指令缓存与数据缓存对系统性能有什么好处。

2. 什么是指令动态调度？使用寄存器重命名能够解决哪些数据冲突？

3. 从数据和指令的角度，分别说明引起时间与空间局部性的原因。

4. 直接用虚拟地址索引缓存会存在什么问题？

5. 多处理机为什么要维护缓存一致性？

二、填空题

1. 16个处理器组成的网络，使用均匀函数相联，那么与10号相联的是 。

2. 有16个处理器，编号为0,1,…,15，先经过PM2+3，再经过混洗变换后，11号处理器连向\_\_\_号处理器。

3. 使用混洗交换单级网络将一个PE中的数据播送到所有16个PE中，需要\_\_\_次交换，需要\_\_ 混洗。假设每步只能进行混洗或交换中的一种变换。

4. 16个处理器组成的网络，采用PM2±0，PM2±2链接，网络直径为 ，结点度为 。

5. 可以在向量与标量工作模式中切换的处理器，处理向量时效率是处理标量的9倍。已知运行一段程序时有1/4的时间在运行向量指令，向量指令的比例为 。

6. 向量处理器在串行模式执行以下指令需要 拍，使用链接技术需要 拍。

v3 <- A (load, 6拍)

v2 <- v0 + v1 (add, 6拍)

v4 <- v2 \* v3 (mul, 7拍)

7. 处理器P1和P2执行A, B, C三种指令的周期如下

|  |  |  |
| --- | --- | --- |
|  | P1 | P2 |
| A | 1 | 2 |
| B | 2 | 3 |
| C | 4 | 4 |

一段程序中A占60%，B占30%，C占10%，分别求P1和P2运行该程序时的CPI。

8. 已知一处理器指令缓存(所有指令)不命中率为2%，数据缓存(Load/Save)不命中率为4%，不命中代价为100周期。命中时，CPI为2，那么执行一段含有Load/Save指令各15%的程序时，其CPI为 。

9. 五段流水线CPU，各段延迟时间分别为2.2ns, 2.5ns, 2.2ns, 2.3ns, 2.3ns。连续执行10条指令，需要的时间为\_ \_ \_\_，该CPU最高频率为\_ \_\_MHz。

10. 采用预留算法实现的非线性流水线优化调度，其启动循环为(1,3)，则该流水线周期*P*为 ，调度后的禁止集为 。

11. 有一指令系统，共有7条指令(至少有一种指令为3位opcode)。有两种类型，一种为寄存器－寄存器型，一种为寄存器－存储器型。指令字长为8位或16位，不同类型指令字长不同。要求变址范围－127到128(即立即数8位)。则该指令系统最多可以编址 个通用寄存器，这时，最多可以编址 个变址寄存器。

12. 在100次内存访问中，一级cache缺失10次，二级cache缺失5次。则一级cache的全局命中率为 ，二级cache的全局命中率为 。

13. 分别在以下条件时计算块地址0110的索引(index)，缓存有8块，主存有16块：

a) 二路组相联 ；

b) 直接映射 。

14. 缓存共有4块，每块1 byte(每次load 1byte)，采用LRU策略。访问序列0, 1, 4, 1, 0, 4(按字节编址，所以每次正好调入1个数)在下列情况下的命中率分别是：

a) 直接映射 ；

b) 二路组相联 。

三、判断题

以下对MIPS架构CPU的各改进方案，哪些修改了系统结构（Architecture 对汇编程序员有影响），哪些只修改了实现（Implementation）？填写A或者I。

(1) 将32位指令改为64位指令

(2) 加入指令Cache

(3) 增加流水线的段数

(4) 减去某些定向（forwarding）相关逻辑的实现

(5) 取消气泡

(6) 增加16个额外的通用寄存器

(7) 增加对某指令集的支持

四、解答题

1. 设计了一种优化方案。

·优化后的时钟周期比未优化的快15%；

·未优化的取/存指令占总数的30%；

·优化后的取/存指令比未优化的少1/3，其它无变化；

·未优化的所有指令均用1个时钟周期；优化的取/存指令用2个时钟周期，其它指令用1个时钟周期。

1. 求优化方案的平均CPI；

1. 通过计算加速比，判断哪个方案速度更快？

2. 在有32个处理机的并行机上运行一段程序，获得加速比26，已知该程序只有两种运行方式：在所有32个处理机上同时运行，或者只能由一个处理机执行。请问程序中只能由一个处理机执行的部分占多大比例？

3. 某指令系统，有三地址指令4条，单地址指令255条，零地址指令16条。其指令字长12位，地址码3位。请问扩展编码是否可行？如果单地址指令是254条呢？

4. 指令字长16位，有双地址指令、单地址指令、零地址指令。地址都是6位。双地址指令15条。单地址与零地址条数相同。

(1) 单地址与零地址指令最多能有多少条？

(2) 给这三种指令分配操作码。

5. 全相联Cache采用写直达策略。初始Cache为空。分别对按写分配和不按写分配两种策略，计算以下操作执行后的命中率。

Write Mem[100]

Write Mem[100]

Read Mem[200]

Write Mem[200]

Write Mem[100]

6. Cache采用组相连映像及变换。主存1MB，Cache 32KB，块大小64B，Cache分为8组。

(1) 写出主存地址和缓存地址的格式(写出各域及位数)；

(2) 若Cache的访问周期为20ns，命中率0.95，要使加速比大于10，主存的访问周期应大于多少？

7. Cache有4块，每块4字，采用直接映像法。初始时Cache为空。访问的字地址序列为：0,7,12,9,16,8,17,0,12,2。求cache命中率。

8. 一段程序有1000条指令，每条指令平均访问存储器1.5次，一级Cache访问需要1ns，二级Cache访问需要10ns，主存访问需要100ns。这段程序运行完后共访问二级Cache 90次，访问主存27次。

(1) 求一级Cache和二级Cache命中率；

(2) 求存储器等效访问时间；

(3) 求每条指令因为访问存储器造成的平均延迟。

9. 某系统Cache为4路组相联，Cache大小为16K字节，块大小为64字节。按写分配。对于如下代码：

int M[4096], i, j;

for (i = 0; i < 10; i++) {

for (j = 0; j < 4096; j++) {

M[j] = i + j;

}

}

(1) 当i=0时，发生的Cache缺失是属于什么类型的缺失？发生了多少次？（4分）

(2) 运行完这段代码，求整体缺失率。（4分）

10. 一个缓存，采用m路组相联，顺序访问一个元素大小和缓存块大小相等的数组，求数组长度N

a) >m

b) <m

且缓存采用

a) LRU

b) OPT

时的命中率。

11. 有以下指令（假设第一个操作数为写回的寄存器）

N1: load r0 a

N2: add r1 r0

N3: load r2 b

N4: mul r3 r4

N5: and r4 r5

N6: add r2 r5

(1) 请列出所有可能的数据冲突与结构冲突。

(2) 假设该处理器一个周期仅能进行一次访存操作，画出其执行上述指令的时空图。

12. 某CPU指令的运行分为取指、译码、执行、写结果四个阶段，每段延迟均为5ns。

运行程序如下：

K1 MOV R1,#4; R1 <- 向量长度4

K2 Loop: MOV R2,A(R1); R2 <- A向量的一个元素

K3 ADD　R0,R2; R0 <- (R0)+(R2)

K4 DNE R1,Loop; R1 <- (R1)-1, 若(R1)!=0, 则转向Loop

K5 MOV SUM,R0; SUM <- (R0) ,保存结果

(1) 列出所有的数据相关。

(2) 采用预测转移不成功的静态分支预测法，画出流水线的时空图，求吞吐率、加速比、译码段的效率。

(3) 采用预测转移成功的静态分支预测法，画出流水线的时空图，求吞吐率、加速比、执行段的效率。

13. 计算，加法需要2个时钟周期，乘法需要4个时钟周期。

(1) 串行处理器，有1个加法单元，1个乘法单元，但不能同时工作，求总的时钟周期；

(2) SIMD处理器，有8个PE，标号为0~7，连接为单向环，初始时和所在的处理机标号为，每个PE向相邻的PE转移需要1个周期，问最小要多少个周期完成计算。

(3) 一个SISD流水线，S4的输出可以直接到输入。一个乘法指令顺序执行S1 S2 S3 S4，一个加法指令执行S1 S4。每个步骤1个周期。

S1

S2

S3

S4

(a)求最短运行时间?

(b)画出流水线的时空图;

(c)求S4的利用率。

14. 一条有3个功能段的非线性流水线，每个功能段的延迟时间都相等，它的预约表如下：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | 1 | 2 | 3 | 4 | 5 |
| S1 | √ |  |  |  | √ |
| S2 |  |  |  | √ | √ |
| S3 |  | √ | √ | √ |  |

(1) 求禁止集；

(2) 求初始冲突向量；

(3) 用预留算法实现优化调度，若流水线时钟周期t为30ns，求该流水线的最大吞吐率。

15. 一条有4个功能段的非线性流水线，每个功能段的延迟时间都相等，它的预约表如下

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| S1 | √ |  |  |  |  |  | √ |
| S2 |  | √ |  |  |  | √ |  |
| S3 |  |  | √ |  | √ |  |  |
| S4 |  |  |  | √ |  |  |  |

(1) 求禁止集合和初始冲突向量；

(2) 画出状态图；

(3) 找出最小启动循环，求最小平均启动时间；

(4) 如果用上一问的启动循环连续完成10条指令，求实际的吞吐率；

(5) 用插入非计算延迟的方法可以得到最优调度，求最优调度的最大吞吐率。

16. 在一台每个时钟周期发射两条指令的超标量处理机上运行下面一段程序，所有指令都要经过"取指令"、"译码"、"执行"和"写结果"4个阶段，其中，"取指令"、"译码"和"写结果"三个阶段各为一个流水段，其延迟时间都为2ns。在"执行"阶段，LOAD操作和AND操作各延迟2ns，ADD操作延迟4ns，MUL操作延迟6ns，4种操作部件各设置一个。ADD部件和MUL部件都采用流水线结构，每一级流水线的延迟时间都为2ns。

n1: LOAD R0, A ; R0←主存(A)单元

n2: ADD R1, R0 ; R1←(R1)+(R0)

n3: LOAD R2, B ; R2←主存(B)单元

n4: MUL R3, R4 ; R3←(R3)×(R4)

n5: AND R4, R5 ; R4←(R4)&(R5)

n6: ADD R2, R5 ; R2←(R2)+(R5)

(1) 列出这个程序中所有的数据相关，包括写读数据相关、读写数据相关和写写数据相关。

(2) 如果所有运算型指令都在"译码"流水段读寄存器，在"写结果"流水段写寄存器，采用顺序发射顺序完成调度方法，画出流水线的时空图，并计算执行这个程序所用的时间。

(3) 如果所有运算型指令都在"译码"流水段读寄存器，在"写结果"流水段写寄存器，采用顺序发射乱序完成调度方法，画出流水线的时空图和各条指令完成的时间图，并计算执行这个程序所用的时间。

(4) 如果每个操作部件的输出端都有直接数据通路与输入端相连，采用顺序发射乱序完成调度方法，画出流水线的时空图和各条指令完成的时间图，并计算执行这个程序所用的时间。

17. 下面一段程序是计算浮点向量运算Y = a \* X + Y的，其中X和Y都是100维向量。采用循环展开的方式使得执行过程没有stall，那么最少需要展开几次？写出展开的程序。

LOOP: L.D F0,0(R1)

　　MUL.D F0,F0,F2

　　L.D F4,0(R2)

　　ADD.D F0,F0,F4

　　S.D F0,0(R2)

　　DSUBI R1,R1,#8

　　DSUBI R2,R2,#8

　　BNEZ R1,LOOP

18. **分支预测**。

(1) 画出2位饱和计数器的状态图

(2) 已知如下指令序列

|  |  |  |
| --- | --- | --- |
| 地址低两位 | 目标地址 | 是否跳转 |
| 01 | b1 | 否 |
| 01 | b1 | 否 |
| 01 | b1 | 是 |
| 10 | b2 | 否 |
| 10 | b2 | 是 |

已知初始BHT状态为00，求执行完上述程序后的BHT。

(3) 简要说明为何引入BTB会使得CPI下降。

19. 一个含有8个输入端的系统采用三层开关链接，使用开关控制。（可参见教材286页图9.21）。如开关处在0，则会不交换，如开关为1，则会发生交换。

(1) 若开关处在000状态，则0号链接？

(2) 若最左开关为0，那么1号不可能链接到哪些处理器？

20. 在多处理机系统中，采用写作废 (write invalidate) 总线监听协议。

(1) 给出M、I、S状态的定义，并说明什么时候可以确定发生了Cache不一致的情况。

(2) 假设有两个地址A和B（映射到不同的Cache块中），两个处理机P1和P2，初始时Cache全为空，根据特定的访问序列，补全下表（无消息用“-”代替，CPU事件RdM = Read Miss，RdH = Read Hit，WrM = Write Miss，WrH = Write Hit；总线消息WrMs = Write Miss，RdMs = Read Miss）

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 操作 | A | | B | | 消息/操作 | |
| P1 | P2 | P1 | P2 | P1 | P2 |
| P1: R A | S | I | I | I | RdM/RdMs | RdMs/- |
| P2: W A 10 |  |  |  |  |  |  |
| P2: R A |  |  |  |  |  |  |
| P1: W A 20 |  |  |  |  |  |  |
| P1: W B 10 |  |  |  |  |  |  |
| P6 W B 20 |  |  |  |  |  |  |