汇总 by yangjun12

(Sun Jan 7 10:44:40 2001) A卷

一.risc机器，主频500MHz,cache命中率99%,Tcache=2ns,Tmem=20ns,

程序中有20%的load/store指令,机器性能的主要瓶颈就在访问存储器。

1）理想情况下CPI

2)实际情况下CPI,MIPS

3)如果机器主频变为1GHz,求实际情况下的CPI,MIPS

二.给出一系列页面流（介于p1-p6)，cache中可容纳4个页面,

刚开始已经将p1,p2,p3,p4 load到了cache中，问

1）lRU,OPT的命中和替换表，

2）命中率。

3）如果要使cach失效率<10e-5,每个数据访问20次，求页面至少多大。

三.通道流量分析，同书后作业。

四.ADD指令4个周期，IF,ID,ADD,WR

MUL指令6个周期，IF,ID,MUL1,MUL2,MUL3,WR

1)采用3地址指令格式R-R-R型，问可能会出现什么相关，由那些会导致流水线断流

2)采用2地址指令，问题同1）

3）如何消除上述相关

五.给出一段程序如下

SUB R0,R0

LOAD R1,#4

loop: load R2,A(R1)

ADD R0,R2

DEC R1

if(R1!=0) loop

STORE R0,A

1)循环体外和循环体内的指令都有哪些相关，两个循环体间又有哪些相关。

2）每条指令都经过IF,ID,EX,WR 4个流水段，无论哪种指令，执行时的延迟都是1个流水

段，每个流水段2ns,计算流水线的吞吐量，加速比，效率。

3）修改上述程序减少相关，并用........这一问据说巨麻烦。

六.非线性流水线调度，与书后作业类似

七.网络函数求值，背背公式

八.求A0\*B0+.....A19\*B19

1)采用向量处理机，链接技术，加法延迟2ns,乘法4级流水，每级延迟5ns,求时间。

2）同1），加法改为3级流水，每级延迟5ns，求时间

3)

4）

(Sun Jan 7 11:34:11 2001) B卷

一、RISC，500MHz,cache命中率99%,cache访问周期2ns,主存访问周期15ns,

程序中有20%的load/store指令，机器性能的主要瓶颈就在访问存储器

1)若cache命中率等于100%，CPI

2)实际情况下CPI,MIPS

3)如果机器主频变为1GHz,求实际情况下的CPI,MIPS

二、程序使用六个页面，分配四页面主存，页面流123453652562

1)LFU FIFO调度图、命中率

2)若数据重复使用次数20，页失效率小于10^-5，求页面大小

三、字节多路通道，设备请求周期4,6,10,15，初次请求0,4,6,10

1)实际流量，工作周期

2)时间关系图

3)是否正常工作

4)若不正常工作，采取何种措施

四、ADD四拍，MUL五拍，使用这两种指令，顺序发射乱序执行

1)若采用三地址RRR型指令，可能产生的数据相关

2)若采用两地址RR型指令，可能产生的数据相关

3)解决方法

五、给定程序段(单层循环，执行次数4，每循环指令数5)，流水线

1)分析数据相关

2)消除数据相关

3)画流水线时空图，计算吞吐率、加速比、效率

BTW:这道题我放弃了，后来听说有人花了40分钟画时空图....

六、非线性预约表

1 2 3 4 5 6

S1 X X X

S2 X X

S3 X

1)写出流水线的禁止向量和初始冲突向量

2)画出调度流水线的状态图

3)求流水线的最小启动循环和最小平均启动距离

4)求平均启动距离最小的恒定循环

5)画出流水线连接图

6)增加非计算延迟后的最小启动循环

7)增加非计算延迟后的流水线预约表

七、N=6，

1)写出E5(8),B(9),S(20),R(6),PM2+4(8)，E4(S(4))

2)E0+S混洗交换网网络直径，由2到18经过几步、哪几个主机

3)超立方体网络直径，节点度，离3最远的节点

八、计算Sigma(0,19)[Ai\*Bi]的最短时间，存取时间不计

1)向量计算机，SISD，加法器2ns，乘法器2ns\*4段，可以链接

2)向量计算机，SISD，加法器2ns\*3段，乘法器2ns\*4段

3)SIMD，8PE，单向环网，Ai、Bi初始存在第(i mod 8)个PE，

加法4ns，乘法8ns，传递一个数据2ns

4)MIMD，8PE，全互连，Ai、Bi初始存在第(i mod 8)个PE，

加法4ns，乘法8ns，传递一个数据2ns

2003A

发信人: fong (结束了，就离开～), 信区: e\_note

标 题: Re: 计算机系统结构2003

发信站: 酒井BBS (Tue Dec 30 22:37:37 2003), 转信

//bow to ft,idiot,NiJia,Yaska

第一大题(35分)

1.16\*16矩阵，最少几个存储体

2.集群计算机属于?

3.算一个吞吐率，100条指令

4.两个部件的使用分别占40%，20%，部件1速度提高到8倍，总的提高到2倍，

问部件2提高几倍

5.蝶式互连函数，问机器9与哪个相连,互连函数shuffle(PM2+1)

6.给一个7段流水线，dt不一样，问最高频率，执行100条指令要多少时间

7.16位长的指令，操作数字长为6，双操作数指令x条，问单操作数指令可以有几条

8.3级存储系统，T1,T2,H1,H2,T已知，求T3

9.混洗互连的东东

10.非线性流水线的问题，给预约表，求禁止向量和冲突向量，然后告诉你可以最优化，

最小启动距离看一下是3，求最大吞吐率

11.向量链接的问题，4条指令

第二大题(13分)

DLX指令中，出现load和store的概率是26％和9％。

1.存取变量访问内存占整个访问内存的比例？

2.增加一种变址寻址方式。

将 addi r1, r1, r2

lw rd, 0(r1)

改为 lw rd, r1, r2 //原试卷上无此行，理解上可能有困难

假设原来指令中有10％的指令可以用这种方式改为新的寻址指令。

问原来和现在的指令长度比。

3.求改为新的后的加速比。

第三大题(15分)

9

计算f=Π(Xi+Yi)，加法需要2个时钟周期，乘法需要fle(PM2+1)

6.给一个7段流水线，dt不一样，问最高频率，执行100条指令要多少时间

7.16位长的指令，操作数字长为6，双操作数指令x条，问单操作数指令可以有几条

8.3级存储系统，T1,T2,H1,H2,T已知，求T3

9.混洗互连的东东

10.非线性流水线的问题，给预约表，求禁止向量和冲突向量，然后告诉你可以最优化，

最小启动距离看一下是3，求最大吞吐率

11.向量链接的问题，4条指令

第二大题(13分)

DLX指令中，出现load和store的概率是26％和9％。

1.存取变量访问内存占整个访问内存的比例？

2.增加一种变址寻址方式。

将 addi r1, r1, r2

lw rd, 0(r1)

改为 lw rd, r1, r2 //原试卷上无此行，理解上可能有困难

假设原来指令中有10％的指令可以用这种方式改为新的寻址指令。

问原来和现在的指令长度比。

3.求改为新的后的加速比。

第三大题(15分)

9

计算f=Π(Xi+Yi)，加法需要2个时钟周期，乘法需要4个时钟周期，求计算出f的最短时间

i=0

1.串行处理器，有1个加法单元，一个乘法单元，不能同时工作，求总的时钟周期(3分)

2.SIMD处理器，PE0-PE7，单向环，每个PE向相邻的PE转移需要1个时钟周期，Xi,Yi

存储在PEk中 k = i mod 8。求总时间。(4分)

3.一个SISD流水线，S4的输出可以直接到输入。一个乘法指令顺序执行S1 S2 S3 S4

一个加法指令执行S1 S4。每个1个周期。(8分)

\_\_\_\_ \_\_\_\_ \_\_\_\_ \_\_\_\_

---|S1 |-----| S2 |-----| S3 |-----| S4 |---

---|\_\_\_\_| |\_\_\_\_| |\_\_\_\_| |\_\_\_\_|

DLX指令中，出现load和store的概率是26％和9％。

1.存取变量访问内存占整个访问内存的比例？

2.增加一种变址寻址方式。

将 addi r1, r1, r2

lw rd, 0(r1)

改为 lw rd, r1, r2 //原试卷上无此行，理解上可能有困难

假设原来指令中有10％的指令可以用这种方式改为新的寻址指令。

问原来和现在的指令长度比。

3.求改为新的后的加速比。

第三大题(15分)

9

计算f=Π(Xi+Yi)，加法需要2个时钟周期，乘法需要4个时钟周期，求计算出f的最短时间

i=0

1.串行处理器，有1个加法单元，一个乘法单元，不能同时工作，求总的时钟周期(3分)

2.SIMD处理器，PE0-PE7，单向环，每个PE向相邻的PE转移需要1个时钟周期，Xi,Yi

存储在PEk中 k = i mod 8。求总时间。(4分)

3.一个SISD流水线，S4的输出可以直接到输入。一个乘法指令顺序执行S1 S2 S3 S4

一个加法指令执行S1 S4。每个1个周期。(8分)

\_\_\_\_ \_\_\_\_ \_\_\_\_ \_\_\_\_

---|S1 |-----| S2 |-----| S3 |-----| S4 |---

---|\_\_\_\_| |\_\_\_\_| |\_\_\_\_| |\_\_\_\_|---

|\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_|

求(1)最短运行时间(4分?)

(2)画时空图(1分)

(3)S4的利用率(3分?)

第四大题(12分)

有一种机器指令只有7种。操作码采用2－4扩展编码。指令长度有8位和16位两种。

操作数有寄存器－寄存器类型和寄存器－变址寻址寄存器两种类型。

各种指令出现的比例和CPI：

指令 比例 CPI

I1 （8位） 43% 1

计算f=Π(Xi+Yi)，加法需要2个时钟周期，乘法需要4个时钟周期，求计算出f的最短时间

i=0

1.串行处理器，有1个加法单元，一个乘法单元，不能同时工作，求总的时钟周期(3分)

2.SIMD处理器，PE0-PE7，单向环，每个PE向相邻的PE转移需要1个时钟周期，Xi,Yi

存储在PEk中 k = i mod 8。求总时间。(4分)

3.一个SISD流水线，S4的输出可以直接到输入。一个乘法指令顺序执行S1 S2 S3 S4

一个加法指令执行S1 S4。每个1个周期。(8分)

\_\_\_\_ \_\_\_\_ \_\_\_\_ \_\_\_\_

---|S1 |-----| S2 |-----| S3 |-----| S4 |---

---|\_\_\_\_| |\_\_\_\_| |\_\_\_\_| |\_\_\_\_|---

|\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_|

求(1)最短运行时间(4分?)

(2)画时空图(1分)

(3)S4的利用率(3分?)

第四大题(12分)

有一种机器指令只有7种。操作码采用2－4扩展编码。指令长度有8位和16位两种。

操作数有寄存器－寄存器类型和寄存器－变址寻址寄存器两种类型。

各种指令出现的比例和CPI：

指令 比例 CPI

I1 （8位） 43% 1

I2 （8位） 21% 2

I3 （8位） 12% 2

I4 （16位） 8% 2

I5 （16位） 6% 1

I6 （16位） 6% 2

I7 （16位） 4% 2

1.求MIPS。

2.评价指令码长度。

3.该指令系统最多能有多少可以编址的通用寄存器和可以编址的变址寄存器。

4.设计指令码格式，并给出各指令的操作码。

(2)画时空图(1分)

(3)S4的利用率(3分?)

第四大题(12分)

有一种机器指令只有7种。操作码采用2－4扩展编码。指令长度有8位和16位两种。

操作数有寄存器－寄存器类型和寄存器－变址寻址寄存器两种类型。

各种指令出现的比例和CPI：

指令 比例 CPI

I1 （8位） 43% 1

I2 （8位） 21% 2

I3 （8位） 12% 2

I4 （16位） 8% 2

I3 （8位） 12% 2

I4 （16位） 8% 2

I5 （16位） 6% 1

I6 （16位） 6% 2

I7 （16位） 4% 2

1.求MIPS。

2.评价指令码长度。

3.该指令系统最多能有多少可以编址的通用寄存器和可以编址的变址寄存器。

4.设计指令码格式，并给出各指令的操作码。

(2)画时空图(1分)

(3)S4的利用率(3分?)

第四大题(12分)

有一种机器指令只有7种。操作码采用2－4扩展编码。指令长度有8位和16位两种。

操作数有寄存器－寄存器类型和寄存器－变址寻址寄存器两种类型。

各种指令出现的比例和CPI：

指令 比例 CPI

I1 （8位） 43% 1

I2 （8位） 21% 2

I3 （8位） 12% 2

I4 （16位） 8% 2

I5 （16位） 6% 1

I6 （16位） 6% 2

I7 （16位） 4% 2

1.求MIPS。

2.评价指令码长度。

3.该指令系统最多能有多少可以编址的通用寄存器和可以编址的变址寄存器。

4.设计指令码格式，并给出各指令的操作码。

※ 来源:·酒井BBS bbs.net9.org·[FROM: 219.224.141.169]

2004

填空题：

1。开发并行处理技术的主要原因在于＿＿

2。举出两种利用程序局部性原理构建的系统

3。四类实用的并行系统

4。并行计算的加速比的两个决定因素

5。2乘2四功能开关单元包括＿＿

6。系统可扩展性包括＿＿

7。在静态网络中，网络直径指＿＿

8。可扩展性的直观定义

9。举出3种用于构建并行集群系统的高速互连网络

10。基本的网络通信模式

11。线性阵列与总线的区别

12。固定时间加速比指＿＿

13。同时性指＿＿，并发性指＿＿

14。网络传输的寻径方法有＿＿

15。构成负载算法的几个部分是＿＿

16。相对加速比指＿＿

17。写出三种减少CPI的基本途径

18。以低位交叉方式进行存储的主要优点＿＿

19。影响流水线并行性的主要问题是＿＿

20。在数据流控制机制中，指令的执行是由＿＿来驱动

21。造成多个cache不一致的原因

22。在基于目录的CACHE一致性协议中，三种基本目录存放方式

23。监听总线协议为什么需要广播功能

24。局部性包括＿＿

25。存储器顺序一致性是指＿＿

26。DSM系统是指＿＿

27。维护数据一致性的两种基本策略是＿＿

28。分布式存储的两种编程方法

29。构成网络存储的两种方式

30。存储器访问的原子性是指＿＿

2005

第一大题：填空。

基本都是讲义上面的，可以看作是2003年和2004年题目的并集然后再加上若干新出现的

。加速比的部分很多，如超线性加速比、线性加速比、病态加速比的定义和出现的条件，以

及其它若干定义。

第二大题：计算题

1、讲义ch5最后那个练习题。和前几年一模一样。

2、讲义第一章的某个例题：某个计算改进后计算速度是改进前的10倍，该任务改进前占总

计算量的40％，求加速比。

3、CISC和RISC的那个题目，和前几年一模一样。

总结：1、把前几年的题目都做一遍并且记住的话，及格肯定没有问题；

2、如果要考高分，就把讲义反复认真的看就行了，都背下来最好；

3、其他老师的讲课内容基本没考?

(Mon Jan 9 10:30:02 2006) A/B卷

汪东升很喜欢考一样的题目，比如计算SIMD要多久做完一个程序;画时空图之类的，居然要画三个！！

一，填空(3\*11)

1,使用混洗交换单级网络将一个PE中的数据播送到所有16个PE中，需要\_\_\_\_次交换，需要

\_\_\_混洗。假设每步只能进行混洗或交换中的一种变换。

B卷:32个PE

2,有16个处理器(0,1,…,15),经过Shuffle(PM2+3)变换后,11号处理器连向\_\_\_号处理器。

B卷:13号处理器

3,五段流水线CPU,各段延迟时间分别为2.2ns,2.5ns,2.2ns,2.3ns,2.3ns。连续执行10条指

令，需要的时间为\_\_\_\_,该CPU最高频率为\_\_\_\_MHz。

B卷:1.9ns,2ns,2ns,1.9ns,2ns

4,在100次内存访问中,一级cache缺失10次,二级cache缺失5次。则一级cache的全局命中率

为\_\_\_,二级cache的全局命中率为\_\_\_。

B卷:一级8次，二级4次

5,采用预留算法实现的非线性流水线优化调度,其启动循环为(1,3),则该流水线周期P为

\_\_\_,调度后的禁止集F(mod P)为{\_\_\_}。

B卷:(1,2)

6，有一指令系统，共有7条指令。有两种类型，一种为寄存器－寄存器型，一种为寄存器－

存储器型。指令字长为8位或者16位。要求变址范围－127到128。则该指令系统最多可以编

址\_\_\_个通用寄存器，最多可以编址\_\_\_个变址寄存器。

二，(9)

预约表如下：

1 2 3 4 5

S1 X X

S2 X X

S3 X X X

1,求禁止集

2,求冲突向量

3,用预留算法实现优化调度，若流水线时钟周期t为30ns，则该流水线的最大吞吐率TP为?

三,(10)

某指令系统，有三地址指令4条,单地址指令255条,零地址指令16条。其指令字长12位,

地址码3位。请问扩展编码是否可行?如果单地址指令是254条呢?

四,(8)

cache采用组相连映像及变换。主存1MB,cache 32KB,块大小64B,cache分为8组。

1,写出主存地址和缓存地址的格式(写出各域及位数)

2,若cache的访问周期为20ns,命中率H=0.95,要使加速比大于10,主存的访问周期应大于多少?

五,(10)

cache有4块,每块4字，采用直接映像法。初始时cache为空。

访问的字地址序列为：0,7,12,9,16,8,17,0,12,2.

求cache命中率。

六,(15)

9

计算f= ∑(Xi\*Yi)，加法需要2个时钟周期，乘法需要4个时钟周期。

i=0

1,串行处理器,有1个加法单元,一个乘法单元,但不能同时工作,求总的时钟周期;

2,SIMD处理器,PE0-PE7，单向环,每个PE向相邻的PE转移需要1个时钟周期,Xi,Yi

存储在PEk中(k = i mod 8)。求总时间。

3,一个SISD流水线，S4的输出可以直接到输入。一个乘法指令顺序执行S1 S2 S3 S4

一个加法指令执行S1 S4。每个1个周期。

\_\_\_\_ \_\_\_\_ \_\_\_\_ \_\_\_\_

---|S1 |-----| S2 |-----| S3 |-----| S4 |---

---|\_\_\_\_| |\_\_\_\_| |\_\_\_\_| |\_\_\_\_|---

|\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_|

(a)求最短运行时间?

(b)画出流水线的时空图;

(c)求S4的利用率。

七,(15)

某CPU指令的运行分为取指、译码、执行、写结果四个阶段，每段延迟均为5ns。

运行程序如下：

K1 MOVE R1,#4; R1 <- 向量长度4

K2 Loop: MOVE R2,A(R1); R2 <- A向量的一个元素

K3 ADD　R0,R2; R0 <- (R0)+(R2)

K4 DNE R1,Loop; R1 <- (R1)-1, 若(R1)!=0, 则转向Loop

K5 MOVE SUM,R0; SUM <- (R0) ,保存结果

1,列出所有的数据相关。

2,采用预测转移不成功的静态分支预测法，画出流水线的时空图，求吞吐率、加速比、

　 “译码”段的效率。

3,采用预测转移成功的静态分支预测法，画出流水线的时空图，求吞吐率、加速比、

　 “执行”段的效率。

(Sun Jul 8 16:47:19 2007) B卷

考前wds手拿着卷子跟大家说：这次我出的题都是中文课本就能覆盖到的，本来想出但

是最后还是没出那些只有课件上有的（别的参考书中的）内容。

1、（5分）同2006.1(A)五。序列为0 8 12 8 16 8 17 0 12 8

2、（3\*2=6分）指令字长16位，有双地址指令、单地址、零地址。地址都是6位。

双地址指令15条。单地址与零地址条数基本相同。

（1）单、零地址各多少条？

（2）给这三种分配操作码

3、（3\*2=6分）设计了一种优化方案。

·优化后的时钟周期比未优化的快15%

·未优化中的取/存指令占总数的30%

·优化中的取/存指令比未优化的少1/3，其它无变化

·未优化的所有指令均用1个时钟周期；优化的，取/存：2个，其它1个

（1）求优化的平均CPI

（2）通过计算加速比，判断哪个方案速度更快？

4、（3\*2=6分）类似2006.1(A)四

Cache有64个存储块，每组4个块。主存4096个块。每块128字。访存地址为字地址

（1）主存地址、Cache地址各多少位？

（2）主存中各个组成部分各多少位？

5、（5\*3=15分）预约表如下：

1 2 3 4 5 6

S1 X X X

S2 X X

S3 X

（1）禁止集合？初始冲突向量？

（2）画状态图

（3）最小启动循环？最小平均启动距离？

（4）画连接图

（5）用预留算法实现优化调度。时钟周期τ=20ns，求最大吞吐率

6、（3\*2=6分）全相联Cache，Write Through。初始为空。求以下操作后，命中率。

Write Mem[100]

Write Mem[100]

Read Mem[200]

Write Mem[200]

Write Mem[100]

（1）写分配

（2）写不分配

// 这题作业留过吧。

7、（6分）求ΣAi\*Bi，i=0到31。加法2个周期，乘法4个周期。

（1）2分。SISD的总时间。

（2）4分。SIMD，8个PE，以PM2I连接。每个是按模8存的。（类似2006.1(A)六）

求总时间。

2007A

1.讲义第二章例4.

2.描述立方体网格中的寻径算法。（第三章）

3.第五章最后的习题……（风怒了）

4.画写通过策略下的cache的状态转移图。

两个状态 有效/无效。四种转换条件Rr,Rl,Wr,Wl。

5.omiga网络。（1）画一个无阻塞实现给定置换的方案。

（2）给了一个方案，问能不能无阻塞地实现，为什么。

这两个方案都是讲义上的。

6.加速比的计算。

一个任务90%可并行化。问在100个CPU的并行机上做的加速比以及10000个CPU的并行机上

的加速比。计算后的结论是什么？如果在增加CPU的情况下还要保持较高的加速比应如何做

？如何计算。

7.说明两种cache不一致的情况。

2008

填空 2X15

全是概念，参见以往考题和PPT

选择 2X10

也都是概念，参见以往考题&PPT

问答 5X10

1. 两个系统可扩展性哪个好，参见PPT例题

2. cache策略，直接映射和组相联

（1） 哪个命中率高

（2） 命中情况下，那个访问速度快

3. OSD系统

（1） 怎么阻止客户端访问不属于它的数据

（2） 访问数据的过程

4. Omega 网络，没看，估计看看PPT就够了，我嫌烦就没看，竟然考了

5. MapReduce 写伪代码

给定内容集合，要求每个单词出现的位置

void Map(string docID, string contents);

(Fri Jun 19 10:47:38 2009)

许多人做了前四题就傻了。

一 填空题 每空1分共7分

1. Cache有64个存储块，每组4个块。主存4096个块。每块128字。则主存地址\_\_\_\_位，

Cache地址\_\_\_\_位。（2006年题）

2. 使用混洗交换单级网络将一个PE中的数据播送到所有64个PE中，需要\_\_\_\_次交换，需要

\_\_\_\_次混洗。假设每步只能进行混洗或交换中的一种变换。（类似2006年题）

3. 一条流水线有k段，每段的执行时间分别是t1, t2, ..., tk。连续执行k个任务，那么加

速比应该是\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_。（类似2006年题）

4. 采用预留算法实现的非线性流水线优化调度，其启动循环为(1, 1, 4)，则该流水线周期

P为\_\_\_，调度后的禁止集F(mod P)为{\_\_\_\_\_}。（类似2006年题）

二 7分

Cache有4块,每块4字，采用直接映像法。初始时Cache为空。

访问的字地址序列为：4, 8, 12, 8, 15, 8, 16, 0, 4, 12（大概是这样）

求Cache命中率。

（2006年题）

三 8分

设计了一种优化方案。

·优化后的时钟周期比未优化的快15%

·未优化中的取/存指令占总数的30%

·优化中的取/存指令比未优化的少1/3，其它无变化

·未优化的所有指令均用1个时钟周期；优化的，取/存：2个，其它1个

(1) 求优化的平均CPI

(2) 通过计算加速比，判断哪个方案速度更快？（2007年题）

四 8分

全相联Cache，Write Through。初始为空。求以下操作的，命中率。

Write Mem[100]

Write Mem[100]

Read Mem[200]

Write Mem[200]

Write Mem[100]

(1) 写分配；

(2) 写不分配。

要求写出具体过程。（2007年题）

五 12分

采用超标量处理机执行下面这些指令。超标量处理机每个时钟周期可以发射2条指令，

每条指令分为取指令、译码、执行、写结果四个阶段。除了执行段，其余每段时间都是10ns。

执行段有LOAD、ADD、MUL、AND部件各一个。其中LOAD和AND需要10ns，ADD需要20ns，

MUL需要30ns。ADD和MUL也分为多个流水段实现，每个流水段也是10ns。

LOAD R0, ?? ; 读入R0

ADD R0, ?? ; 用R0做加法

LOAD R2, ?? ; 读入R2

MUL R4, R4, R5 ;

AND R3, ?? ;

ADD R2, ?? ; 用R2做加法

(1) 写出所有数据相关，包括写读、读写和写写相关。

(2) 如果所有需要的数据只有在写结果结束后才能得到，采用顺序发射顺序完成的方式，画

出时空图，并且计算程序执行时间。

(3) 如果所有需要的数据只有在写结果结束后才能得到，采用顺序发射乱序完成的方式，画

出时空图，并且计算程序执行时间。

(4) 如果所有的计算部件都有输出连接到输入部件，采用顺序发射乱序完成的方式，画出时

空图，并且计算程序执行时间。

（新题！！！12分！！！大悲剧！！！！！！）

六 6分

下面一段程序是计算浮点向量运算Y = a \* X + Y的，其中X和Y都是100维向量。采用循环展

开的方式使得执行过程没有stall，那么最少需要展开几次？写出展开的程序。

LOOP: (和第一个LOAD是一行)

LD F0, 0(R1)

MULTD F0, F0, F2

LD F4, 0(R2)

ADDD F0, F0, F4

SD F0, 0(R2)

SUBI R1, R1, #8

SUBI R2, R2, #8

BNEZ R1, LOOP

给出了一张延迟表，表示后执行的指令需要先执行的指令的结果需要多少个周期的stall。

大致如下：

先执行的 后执行的 stall数

FP ALU FP ALU 3

FP LD FP ALU 2

FP ALU FP SD 1

FP LD FP SD 0

BRANCH ANY 1 (NOOP)

INT ALU INT ALU 0

INT ALU BRANCH 1

（98的题！！！年代久远也是悲剧！！！！！！）

2009B

1、在有32个处理机的并行机上运行一段程序，获得加速比26，已知该程序只有两种运行方

式：在所有32个处理机上同时运行，或者只能由一个处理机执行。请问程序中只能由一个处

理机执行的部分占多大比例？

2、一段程序有1000条指令，每条指令平均访问存储器1.5次，一级Cache访问需要1ns，二级

Cache访问需要10ns，主存访问需要100ns。这段程序运行完后共访问二级Cache90次，访问

主存27次

(1)求一级Cache和二级Cache命中率（==从来没讲过二级Cache系统。。这题目也不知道是访

问二级Cache miss然后再访问主存27次，还是分开算）

(2)求存储器等效访问时间

(3)求每条指令因为访问存储器造成的平均延迟

3、虚存地址一共32bit，有64个用户，页面大小1KB，主存实际大小1GB，Cache大小1MB，每

组大小和主存页面大小相同，每组有16块，快表有32个字

(1)用户号、虚页号、页内偏移地址长度

(2)主存实页号、页内偏移地址长度

(3)Cache组号、块号、块内偏移地址长度

(4)散列变换电路的输入和输出长度

(5)快表的每个字中，多用户虚页号长度与主存实页号长度

4、一段循环体程序

k1: LD R1, A(R0) ;R1 <- A(R0)

k2: LD R2, B(R0) ;R2 <- B(R0)

k3: MUL R3, R1, R2 ;R3 <- R1×R2

k4: ADD R4, R4, R3 ;R4 <- R4+R3

k5: ADD R0, R0, #4 ;R0 <- R0+4

k6: BNE R0, R5, k1 ;if R0 /= R5 goto k1

(1)分析循环体内数据相关

(2)单流水线处理机，有数据通路，画一个循环的执行时空图（空闲流水段标“空闲”）

(3)双发射超标量处理机

改写程序，展开两个循环（==这课什么时候讲过循环展开。。），优化代码，在代码后面标

记本条代码将在第几个周期被IF

(4)前两小题中一个循环体要运行多久？（每个流水段2ns）

5、处理机有五个中断源，优先级D1>D2>D3>D4>D5

设计中断屏蔽码，使得当五个中断源同时申请服务的时候，响应顺序D1-D3-D2-D4-D5，服务

顺序D2-D4-D3-D1-D5

屏蔽码中无关部分用“x”标记

6、计算以下网络函数，节点标号0<=x<=63

(1)Ex1(10)

（后面忘记了，一共六个小题，Rev Shuffle PM2I+5都考了）

7、16个处理机组成16个节点的二维闭合螺旋线网，相邻处理机之间传送数据需要2ns（另一

份卷子据说1ns？），每个处理机有一条四段加法流水线，每个流水段延时2ns，一开始每个

处理机中有两个数据，求所有32个数据的和

(1)设计算法，要求：算法是最快的（==花了我四十分钟也不知道怎么的算法是最快的，本

题全挂。。），最后的和位于0号处理机

(2)计算算法运行时间

(3)计算加法器的使用效率

(4)以上结果对设计并行处理机流水线有什么参考意义？

(Mon Jun 24 18:21:28 2013)

一、判断题 (15 \* 1 = 15)

1. 以下对MIPS架构CPU的各改进方案，哪些修改了系统结构（Architecture），哪些只修改

了实现（Implementation）？填写A或者I。

(1) 将32位指令改为64位指令（或者16位指令变成了32位？） A

(2) 加入指令Cache A

(3) 增加流水线的段数 I

(4) 减去某些定向（forwarding）相关逻辑的实现 I

(5) 取消气泡 I

(6) 增加16个额外的通用寄存器 A

(7) 加了4位浮点操作？ I

(8) 增加对某指令集的支持 A

2. 以下对Cache的修改，会对特定参数产生什么影响？增加填+，减少填-。

(1)增加块大小对强制缺失的次数：必然缺失率 -

（2）增加相连度对冲突缺失的次数 -

（3）增加xxx对容量缺失的次数

（4）增加块大小对命中时间 +

（5）增加相连度对命中时间 +

（6）想不起来了。。

（7）想不起来了。。

二、填空题（1.5 \* 20 = 30）

//基本就是往年的原题，没啥新鲜的，有些往年题没说清楚条件，这里补充一下。

在SIMD中，有8个PE（标号为0~7），连接为单向环。计算∑(Ai\*Bi)，i=0~9，初始时Ai和

Bi所在的处理机标号为PE\_(i mod 8)，运算加法3个周期，乘法5个周期，处理机见转移数据

1个周期，问最小要多少个周期完成计算。

1.4096主存，每块128字的那个往年题，数字都没改，注意题目其实是4路组相联，不是4组，

有按字寻址的条件，问主存地址长，tag长，index长。

2.100次中一级cache缺失10次，二级缺失5次那个往年题，区别在于问题变成了二级的局部命中率。

3.给了两张表，分别是两个处理器的指令的比例和CPI，问谁快，是慢的那个的几倍。

4.向量处理机，给了一段程序，问串行执行多久，链接要多久。印象中是：

V1<-存储器

V2<-V3+V4

V5<-V1\*V2

之类的，好像前两句没冲突。

5.同时可以处理向量和标量的处理机，T的时间里有25%用来处理向量，剩下的处理标量，

已知处理向量比标量快9倍，问向量占全部指令的多少。

6.按字节访问，每块1字节，访问字节序列0 1 4 1 0 4，cache为二路组相连的时候缺失

率\_\_直接映射的时候缺失率\_\_

7.算\sum\_{i=0}^{7}x\_i y\_i，在8个PE中，单向环，算总时间，可能加和乘记反了，加要

3个周期，乘要5个周期。每次传递要1个周期，问总时间。

8 传播到交换混洗网络，和往年题类似，N=64

三、（8分）某系统Cache为4路组相联，Cache大小为16K字节，块大小为64字节。按写分配。

对于如下代码：

int M[4096], i, j;

for (i = 0; i < 10; i++) {

for (j = 0; j < 4096; j++) {

M[j] = i + j;

}

}

(1) 当i=0时，发生的Cache缺失是属于什么类型的缺失？发生了多少次？（4分）

(2) 运行完这段代码，求整体缺失率（or命中率）。（4分）

四、（7分）关于旋转锁，给定由硬件实现的原子操作compare\_and\_swap，其效果伪代码如下：

int compare\_and\_swap(int \*a, int old, int new) {

if (\*a == old) {

\*a = new;

return 1;

} else {

return 0;

}

}

用改原子操作实现旋转锁：

(1) 如何获得锁？（2分）

(2) 如何释放锁？（2分）

(3) 如果在有缓存一致性的系统里，如何改进旋转锁的实现，优化访存效率？（3分）

五、（10分）给一个预约表：

1 2 3 4 5 6 7

S1 x x

S2 x x

S3 x

S4 x x

或者

1 2 3 4 5 6 7

S1 x x

S2 x x

S3 x

S4 x x

(1) 求禁止集合和初始冲突向量（2分）

(2) 画出状态图（2分）

(3) 找出最小启动循环，求最小平均启动时间（2分）

(4) 如果用上一问的启动循环连续完成10条指令，求实际的吞吐率（2分）

(5) 用插入非计算延迟的方法可以得到最优调度，求最优调度的最大吞吐率（2分）

六、（10分）在超标量处理机中，一次发射两条指令，一条指令的执行过程分四段：

取指（IF）、译码（ID）、执行、写回（WB）。执行部件共有四种：读写内存（1个周期）、

逻辑操作（1个周期）、加法（2个周期）、乘法（3个周期），每个部件各一个。

每个部件的输出都可以直接连到输入。

给定一段代码（7条，指令分别是LD、ADD、SD、MUL、ADD、OR、ADD，冲突情况记不住了），

在以下两种情况，分别补完时空图，并求完成代码所用的周期（状态图的框架给了，

第一问给了前两条指令的时空图，第二问给了第一条指令的时空图，PPT上有类似的图）：

(1) 顺序发射、顺序完成（5分）

(2) 顺序发射、乱序完成（5分）

七、（10分）在多处理机系统中，采用总线监听协议、write invalidate策略，给定两个状态图，

一个是本地CPU访存时间的状态图，一个是总线消息的状态图。

CPU事件RdM = Read Miss，RdH = Read Hit，WrM = Write Miss，WrH = Write Hit；

总线消息WrMs = Write Miss，RdMs = Read Miss）

(1) 给出M、I、S状态的定义，并说明什么时候可以确定发生了Cache不一致的情况。（4分）

(2) 假设有两个地址A和B（映射到不同的Cache块中），两个处理机P1和P2，初始时Cache全

为空，根据特定的访问序列，补全下表（无消息用'/'代替）（6分）

| A | B | 消息/操作 |

操作 | P1 | P2 | P1 | P2 | P1 | P2 |

P1: LD A | S | I | I | I |RdM/RdMs|RdMs/- |

P2: SD A 10 | | | | | | |

P2: LD A | | | | | | |

P1: SD A 20 | | | | | | |

P1: SD B 10 | | | | | | |

P2: SD B 20 | | | | | | |

（注：可能跟原题有出入，不过前四条只跟A有关，后四条只跟B有关，大概如此，只要对着

状态图填就好）

八、（10分）Write Through策略，Cache初始为空，Mem[100]和Mem[200]被映射Cache中不

同的块，给定以下操作，分别在写分配、不按写分配的情况下，标出每一步的命中情况，并

计算命中率。（写分配、不按写分配各5分）

Write Mem[100]

Write Mem[100]

Read Mem[200]

Write Mem[200]

Write Mem[100]

2013B

（4）加了寄存器？

（5）记不得了。。

（6）记不得。。

（7）记不。。

（8）记。。

二 填空

1 4096主存，每块128字的那个往年题，数字都没改，注意题目其实是4路组相联，不是4

组，有按字寻址的条件，问主存地址长，tag长，index长。

（以下都是乱序回忆……）

2 100次中一级cache缺失10次，二级缺失5次那个往年题，区别在于问题变成了二级的局

部命中率。

3 给了两张表，分别是两个处理器的指令的比例和CPI，问谁快，是慢的那个的几倍。

4 向量处理机，给了一段程序，问串行执行多久，链接要多久。印象中是：

V1<-存储器

V2<-V3+V4

V5<-V1\*V2

之类的，好像前两句没冲突。

5 同时可以处理向量和标量的处理机，T的时间里有25%用来处理向量，剩下的处理标量，

已知处理向量比标量快9倍，问向量占全部指令的多少。

6 按字节访问，每块1字节，访问字节序列0 1 4 1 0 4，cache为二路组相连的时候缺失

率\_\_直接映射的时候缺失率\_\_

7 算\sum\_{i=0}^{7}x\_i y\_i，在8个PE中，单向环，算总时间，可能加和乘记反了，加要

3个周期，乘要5个周期。每次传递要1个周期，问总时间。

8 传播到交换混洗网络，和往年题类似，N=64

填空一共多少题我也不记得了，感觉基本上都见过，没有太难的。

三 流水线预约表：

1 2 3 4 5 6 7

S1 x x

S2 x x

S3 x危度笔?次那个往年题，区别在于问题变成了二级的局

部命中率。

3 给了两张表，分别是两个处理器的指令的比例和CPI，问谁快，是慢的那个的几倍。

4 向量处理机，给了一段程序，问串行执行多久，链接要多久。印象中是：

V1<-存储器

V2<-V3+V4

V5<-V1\*V2

之类的，好像前两句没冲突。

5 同时可以处理向量和标量的处理机，T的时间里有25%用来处理向量，剩下的处理标量，

已知处理向量比标量快9倍，问向量占全部指令的多少。

6 按字节访问，每块1字节，访问字节序列0 1 4 1 0 4，cache为二路组相连的时候缺失

率\_\_直接映射的时候缺失率\_\_

7 算\sum\_{i=0}^{7}x\_i y\_i，在8个PE中，单向环，算总时间，可能加和乘记反了，加要

3个周期，乘要5个周期。每次传递要1个周期，问总时间。

8 传播到交换混洗网络，和往年题类似，N=64

填空一共多少题我也不记得了，感觉基本上都见过，没有太难的。

三 流水线预约表：

1 2 3 4 5 6 7

S1 x x

S2 x x

S3 x

S4 x x

(前几行应该是对的吧。。后面的就记不清了）

1 求禁止集和初始向量C0

2 画状态图

3 求最小的启动循环和平均间隔距离，给出吞吐率

4 用预留算法，求吞吐率

四

给了一段程序：

int i,j,M[4096]

for i=0 to 10

for j=0 to 4096

M[j]=i+j

1 M[0]的缺失是什么缺失？这种缺失有多少？

2 求命中率

五

给了一段compare\_and\_swap的代码。要求实现spin lock。

1 怎么上锁

2 怎么开锁

3 在cache一致性里怎么提高性能

六

。。。怎么想不起来了

七

流水线，画时空图，是超标量的，一次发射两句。很类似09年还是06年那题，程序不一样

。不过做法没什么差别。

澳

给了一段程序：

int i,j,M[4096]

for i=0 to 10

for j=0 to 4096

M[j]=i+j

1 M[0]的缺失是什么缺失？这种缺失有多少？

2 求命中率

五

给了一段compare\_and\_swap的代码。要求实现spin lock。

1 怎么上锁

2 怎么开锁

3 在cache一致性里怎么提高性能

六

。。。怎么想不起来了

七

流水线，画时空图，是超标量的，一次发射两句。很类似09年还是06年那题，程序不一样

。不过做法没什么差别。

八

关于多处理机通信共享内存之类的什么，给了两张状态转移图，填表。很像课件里的那个

表（SEC 16 multiprocessor，38页的那个example，只填P1 P2和传递的消息）。写无效

方式，写分配。按图画理论上说能画对。其实似乎前面的条件都不用看，只要按照那两张

八

关于多处理机通信共享内存之类的什么，给了两张状态转移图，填表。很像课件里的那个

表（SEC 16 multiprocessor，38页的那个example，只填P1 P2和传递的消息）。写无效

方式，写分配。按图画理论上说能画对。其实似乎前面的条件都不用看，只要按照那两张

图画就行了？

九

往年那个

WRITE A[100]

WRITE A[100]

READ A[200]

blabla的题，写分配和写不分配，求命

七

流水线，画时空图，是超标量的，一次发射两句。很类似09年还是06年那题，程序不一样

。不过做法没什么差别。

八

关于多处理机通信共享内存之类的什么，给了两张状态转移图，填表。很像课件里的那个

表（SEC 16 multiprocessor，38页的那个example，只填P1 P2和传递的消息）。写无效

方式，写分配。按图画理论上说能画对。其实似乎前面的条件都不用看，只要按照那两张

八

关于多处理机通信共享内存之类的什么，给了两张状态转移图，填表。很像课件里的那个

表（SEC 16 multiprocessor，38页的那个example，只填P1 P2和传递的消息）。写无效

方式，写分配。按图画理论上说能画对。其实似乎前面的条件都不用看，只要按照那两张

图画就行了？

九

往年那个

WRITE A[100]

WRITE A[100]

READ A[200]

blabla的题，写分配和写不分配，求命中率。

这题10分啊。。太友好了。

八

关于多处理机通信共享内存之类的什么，给了两张状态转移图，填表。很像课件里的那个

表（SEC 16 multiprocessor，38页的那个example，只填P1 P2和传递的消息）。写无效

方式，写分配。按图画理论上说能画对。其实似乎前面的条件都不用看，只要按照那两张

图画就行了？

九

往年那个

WRITE A[100]

WRITE A[100]

READ A[200]

blabla的题，写分配和写不分配，求命中率。

这题10分啊。。太友好了。

我不知道第六题是我想不出了还是本来就是一共八题。待补充。

填补一下体系结构这门课试卷的断层现象~~~~~感觉大题和往年风格差距还是挺大的。他

自己还说过多处理机什么的只考概念的，反正看到试卷很穿越

2014

一、简答题

1) 指令流水计算机中，采用独立的指令缓存与数据缓存对系统性能有什么好处。

2) 什么是指令动态调度？使用寄存器重命名能够解决哪些数据冲突？

3) 从数据和指令的角度，分别说明引起时间与空间局部性的原因。

4) 直接用虚拟地址索引缓存会存在什么问题？

5) 多处理机为什么要有同步机制？为什么要维护缓存一致性？

二、填空题

1) 分别在以下条件时计算块地址0110的索引(index)，缓存有8块，主存有16块。

a) 二路组相联

b) 直接映射

2) 16个处理器组成的网络，使用sigma函数相联，那么与10号相联的是？

3) 向量处理器在串行模式执行以下指令需要多少拍？使用链接技术呢？

v3 <- A (load, 6拍)

v2 <- v0 + v1 (add, 6拍)

v4 <- v2 \* v 3 (mul, 7拍)

4) 可以在向量与标量工作模式中切换的处理器，处理向量时效率是处理标量的9倍。

已知运行一段程序时有1/4的时间在运行向量指令，求向量指令的比例。

5) 缓存共有4块，每块1 byte，采用LRU策略。

对以下访问序列

0 1 4 1 0 4

在

a) 直接映射

b) 二路组相联

时的命中率是？

6) 处理器P1和P2执行A, B, C三种指令的周期如下

P1 P2

A 1 2

B 2 3

C 4 4

一段程序中A占60%，B占30%，C占10%索引(index)，缓存有8块，主存有16块。

a) 二路组相联

b) 直接映射

2) 16个处理器组成的网络，使用sigma函数相联，那么与10号相联的是？

3) 向量处理器在串行模式执行以下指令需要多少拍？使用链接技术呢？

v3 <- A (load, 6拍)

v2 <- v0 + v1 (add, 6拍)

v4 <- v2 \* v 3 (mul, 7拍)

4) 可以在向量与标量工作模式中切换的处理器，处理向量时效率是处理标量的9倍。

已知运行一段程序时有1/4的时间在运行向量指令，求向量指令的比例。

5) 缓存共有4块，每块1 byte，采用LRU策略。

对以下访问序列

0 1 4 1 0 4

在

a) 直接映射

b) 二路组相联

时的命中率是？

6) 处理器P1和P2执行A, B, C三种指令的周期如下

P1 P2

A 1 2

B 2 3

C 4 4

一段程序中A占60%，B占30%，C占10%，分别求P1和P2运行该程序时的CPI。

7) 16个处理器组成的网络，采用PM2I+-0，PM2I+-2链接，求网络直径与结点度。

8) 已知一处理器指令缓存Miss率为2%，数据缓存Miss率为4%，Miss代价为100周期。

不Miss时，CPI为2，那么执行一段含有Load/Save指令各15%的程序时，求其CPI。

9) 一个缓存，采用m路组相联，顺序访问一个元素大小和缓存块大小相等的数组，

求

数组长度N

a) >m

b) <m

且

缓存采用

A) LRU

B) OPT

时的命中率。

10) 一个流水线如下图所示，求执行指令

Zi := Xi + Yi (i = 0..9)

的排空时间。

-- [=] --

[=] -|- [=] -|- [=] --- [=]

-- [=] --

s1 dt s2 3dt s3 dt s4 dt

三、流水线

有以下指令

load r0 a

add r1 r0

load r2 b

mul r3 r4

and r4

a) >m

b) <m

且

缓存采用

A) LRU

B) OPT

时的命中率。

10) 一个流水线如下图所示，求执行指令

Zi := Xi + Yi (i = 0..9)

的排空时间。

-- [=] --

[=] -|- [=] -|- [=] --- [=]

-- [=] --

s1 dt s2 3dt s3 dt s4 dt

三、流水线

有以下指令

load r0 a

add r1 r0

load r2 b

mul r3 r4

and r4 r5

add r2 r5

1) 请列出所有可能的数据冲突与结构冲突。

2) 假设该处理器一个周期仅能进行一次访存操作，画出其执行上述指令的时空图。

四、SIMD

8处理器单向环，串行和SIMD计算 sum 0..9 Ai \* Bi 的时间，老题，不再赘述

五、多功能流水线

已知预约表

1 2 3 4 5 6

1 x x

2 x x

3 x x

4 x

1) 求其禁止表F与初始向量v0

2) 在预留算?

有以下指令

load r0 a

add r1 r0

load r2 b

mul r3 r4

and r4 r5

add r2 r5

1) 请列出所有可能的数据冲突与结构冲突。

2) 假设该处理器一个周期仅能进行一次访存操作，画出其执行上述指令的时空图。

四、SIMD

8处理器单向环，串行和SIMD计算 sum 0..9 Ai \* Bi 的时间，老题，不再赘述

五、多功能流水线

已知预约表

1 2 3 4 5 6

1 x x

2 x x

3 x x

4 x

1) 求其禁止表F与初始向量v0

2) 在预留算法优化下求其最短启动循环

3) 在2)情况下求其最大吞吐

六、缓存

4096，老题，不再赘述

七、同步

双处理器的系统，假设现在一个处理器收不到Bus\_Read和Bus\_Write信号。

对于缓存处在如下状态时，如信号发生而未收到，是否会对正确性产生影响。

R W

M

E

S

I

如果一个处理器被宇宙射线击中，缓存状态位发生变化，如正常执行打勾，

会影响效率话圈，会执行错误画叉

M E S I (From)

M \

E \

S \

I \

(To)

并对图中每个圈进行解释。

八、网络

?96，老题，不再赘述

七、同步

双处理器的系统，假设现在一个处理器收不到Bus\_Read和Bus\_Write信号。

对于缓存处在如下状态时，如信号发生而未收到，是否会对正确性产生影响。

R W

M

E

S

I

如果一个处理器被宇宙射线击中，缓存状态位发生变化，如正常执行打勾，

会影响效率话圈，会执行错误画叉

M E S I (From)

M \

E \

S \

I \

(To)

并对图中每个圈进行解释。

八、网络

某系统采用三层sigma-开关链接，使用开关控制，如下图

0 -sigma- /\ -sigma- /\ -sigma- /\ - 0

1 - - \/ - - \/ - - \/ - 1

2 - - /\ - - /\ - - /\ - 2

3 - - \/ - - \/ - - \/ - 3

4 - - /\ - - /\ - - /\ - 4

5 - - \/ - - \/ - - \/ - 5

6 - - /\ - - /\ - - /\ - 6

7 - - \/ - - \/ - - \/ - 7

如开关处在0，则会不交换，如开关为1，则会发生交换。

a - /\ - (a) a - /\ - (b)

b - \/ - (b) b - \/ - (a)

0 1

1) 若开关处在000状态，则0号链接？

2) 若最左开关为0，那么1号不可能链接到哪些处理器

E \

S \

I \

(To)

并对图中每个圈进行解释。

八、网络

某系统采用三层sigma-开关链接，使用开关控制，如下图

0 -sigma- /\ -sigma- /\ -sigma- /\ - 0

1 - - \/ - - \/ - - \/ - 1

2 - - /\ - - /\ - - /\ - 2

3 - - \/ - - \/ - - \/ - 3

4 - - /\ - - /\ - - /\ - 4

5 - - \/ - - \/ - - \/ - 5

6 - - /\ - - /\ - - /\ - 6

7 - - \/ - - \/ - - \/ - 7

如开关处在0，则会不交换，如开关为1，则会发生交换。

a - /\ - (a) a - /\ - (b)

b - \/ - (b) b - \/ - (a)

0 1

1) 若开关处在000状态，则0号链接？

2) 若最左开关为0，那么1号不可能链接到哪些处理器？

九、分支预测

1) 画出2位饱和计数器的状态图

2) 已知如下指令序列

addr target Taken?

\*\*\*\*01 b1 N

\*\*\*\*01 b1 N

\*\*\*\*01 b1 T

\*\*\*\*10 b2 N

\*\*\*\*10 b2 T

已知初始BHT为

1) 若开关处在000状态，则0号链接？

2) 若最左开关为0，那么1号不可能链接到哪些处理器？

九、分支预测

1) 画出2位饱和计数器的状态图

2) 已知如下指令序列

addr target Taken?

\*\*\*\*01 b1 N

\*\*\*\*01 b1 N

\*\*\*\*01 b1 T

\*\*\*\*10 b2 N

\*\*\*\*10 b2 T

已知初始BHT为

History: 00

表项全为01，求执行完上述程序后的BHT。

3) 简 addr target Taken?

\*\*\*\*01 b1 N

\*\*\*\*01 b1 N

\*\*\*\*01 b1 T

\*\*\*\*10 b2 N

\*\*\*\*10 b2 T

已知初始BHT为

1) 若开关处在000状态，则0号链接？

2) 若最左开关为0，那么1号不可能链接到哪些处理器？

九、分支预测

1) 画出2位饱和计数器的状态图

2) 已知如下指令序列

addr target Taken?

\*\*\*\*01 b1 N

\*\*\*\*01 b1 N

\*\*\*\*01 b1 T

\*\*\*\*10 b2 N

\*\*\*\*10 b2 T

已知初始BHT为

History: 00

表项全为01，求执行完上述程序后的BHT。

3) 简要说明为何引入BTB会使得CPI下降。