

绝密★启用前

考试号

2019 年 10 月高等教育自学考试全国统一命题考试

计算机系统结构

(课程代码 02325)

注意事项:

1. 本试卷分为两部分, 第一部分为选择题, 第二部分为非选择题。
2. 应考者必须按试题顺序在答题卡(纸)指定位置上作答, 答在试卷上无效。
3. 涂写部分、画图部分必须使用 2B 铅笔, 书写部分必须使用黑色字迹签字笔。

第一部分 选择题

一、单项选择题: 本大题共 10 小题, 每小题 1 分, 共 10 分。在每小题列出的备选项中只有一项是最符合题目要求的, 请将其选出。

1. 计算机系统结构的研究内容不包括
 - A. 主存速度
 - B. 数据表示
 - C. 中断分类
 - D. 信息保护方式
2. 自定义数据表示包括标志符数据表示和
 - A. 标题数据表示
 - B. 数据描述符
 - C. 向量数据表示
 - D. 堆栈数据表示
3. 关于指令执行的“一次重叠”, 下列说法正确的是
 - A. “一次重叠”是同时解释很多条指令
 - B. “一次重叠”是同时解释相邻两条指令
 - C. “一次重叠”是同时解释一条指令
 - D. “一次重叠”是只解释两条指令
4. 计算机外部中断不包括
 - A. 机器校验中断
 - B. 定时器中断
 - C. 外部信号中断
 - D. 中断键中断
5. 虚拟存储器地址变换是指
 - A. 将实地址变换成虚地址
 - B. 静态再定位时将程序的逻辑地址变换成主存的实地址
 - C. 程序执行时将虚地址变换成对应的实地址
 - D. 将指令的符号地址变换成二进制地址
6. 流水线分为部件级、处理机级和系统级的划分依据是
 - A. 流水的状态
 - B. 硬件的功能
 - C. 流水的功能
 - D. 处理的级别
7. 不属于堆栈型替换算法的是
 - A. 近期最久未使用算法
 - B. OPT 算法
 - C. 先进先出算法
 - D. 近期最少使用算法

8. 分布式存储器阵列处理机属于
A. SIMD 系统 B. SISD 系统 C. MISD 系统 D. MIMD 系统
9. 紧耦合多处理机系统的机间通信是通过
A. 共享总线实现 B. 共享 Cache 实现
C. 共享虚拟存储器实现 D. 共享主存实现
10. 下列关于数据流计算机的描述,不正确的是
A. 数据流计算机的主要目的是为了提高对操作级并行的开发水平
B. 数据流计算机对具有很强数据相关,且并行性不高的题目会大大提高解题效率
C. 数据流计算机需要花费较多的辅助开销和存储空间为数据建立、识别和处理标记
D. 数据流计算机对标量运算非常有利,而对数组、递归操作及其他高级操作较难管理

第二部分 非选择题

二、填空题: 本大题共 10 小题, 每小题 2 分, 共 20 分。

11. 计算机组成是计算机系统结构的_____实现, 计算机实现是计算机组成的_____实现。
12. 浮点数尾数下溢处理方法包括截断法、舍入法、_____和_____。
13. 流水线单位时间能流出的任务数或结果数称为_____, 流水线中设备的实际使用时间占整个运行时间的比值称为_____。
14. 页式虚拟存储器中的 CPU 要用到的指令或数据不在_____时会发生_____。
15. 集中式总线仲裁方式分为_____、_____和独立请求等三种。
16. 按多功能流水线的各功能段能否允许同时用于多个不同功能连接, 可将流水线分为_____流水线和_____流水线。
17. 流水处理机“先写后读”相关的解决方法包括推后_____的读和设置_____。
18. 与阵列处理机相比, 流水线处理机利用的是_____方式而不是_____方式的并行技术。
19. 从指令的格式来看, 指令由_____和_____两部分组成。
20. 计算机仿真用_____解释, 其解释程序存储于_____中。

三、简答题: 本大题共 5 小题, 每小题 6 分, 共 30 分。

21. 简述提高计算机系统并行性技术的三个途径。
22. 简述紧耦合多处理机中解决多 Cache 一致性的办法。
23. 简述 Cache 全相联映像的概念及其优缺点。
24. 简述 IBM360/91 解决流水控制的途径。
25. 简述脉动阵列结构计算机的特点。

四、简单应用题：本大题共 2 小题，每小题 10 分，共 20 分。

26. 在并行存储器中，为了对 4×4 的二维数组 A 的各元素 a_{ij} ($i=0 \sim 3, j=0 \sim 3$) 在行、列、主对角线、次对角线上均能实现无冲突访问，则
- (1) 存储器的分体数 m 至少应该为多少？
 - (2) 画出数组各元素在该存储器各分体中的分布情况（假设分体号从 0 开始、体内地址从 $i+0$ 开始，且 a_{00} 已存放在分体号为 2、体内地址为 $i+0$ 的位置）。
27. 有 10 台外设，各设备要求传送信息的工作速率如题 27 表所示。

题 27 表

设备	A	B	C	D	E	F	G	H	I	J
工作速率/ $\text{KB} \cdot \text{s}^{-1}$	2500	2000	1500	800	400	160	100	80	40	18

现设计的通道在数据传送期，每选择一次设备需 $2\mu\text{s}$ ，每传送一个字节数据需要 $0.5\mu\text{s}$ 。若用作字节多路通道，则：

- (1) 通道工作时的最高流量是多少？
- (2) 如果希望同时不少于 5 台设备挂在此通道上，最好多挂一些，且高速设备尽量多挂一些，请问应选哪些设备挂在此通道上？为什么？
- (3) 如果定长块大小为 512B，求通道工作时的最高流量。
- (4) 请问应选哪些设备挂在此通道上？为什么？

五、综合应用题：本大题共 2 小题，每小题 10 分，共 20 分。

28. 在一个采用组相联映像的 Cache 系统中，主存由 0~15 共 16 块组成，Cache 分为 2 组，每组 2 块，每块大小为 16 个存储字。在某个程序执行时，访存的主存块地址流为：6、2、4、1、4、6、3、0、4、5、7、3。
- (1) 写出主存块地址和 Cache 块地址的格式，并指出各字段的长度。
 - (2) 采用 LRU 替换算法时，画出 Cache 内各块实际替换过程图，并计算 Cache 命中率。
29. 由霍纳法则给定的表达式如下：
- $$x = a + b(c + (d + e)) + f(g(i + j))$$
- 利用减少树高来尽可能加快运算速度，要求：
- (1) 画出在 3 台处理机上并行运算的树形流程图。
 - (2) 当 $P=3$ 时，求运算级数 T_p 、加速比 S_p 和效率 E_p 的值。

2019 年 10 月高等教育自学考试全国统一命题考试

计算机系统结构试题答案及评分参考

(课程代码 02325)

一、单项选择题:本大题共 10 小题,每小题 1 分,共 10 分。

1. A 2. B 3. B 4. A 5. C 6. D 7. C 8. A 9. D 10. B

二、填空题:本大题共 10 小题,每小题 2 分,共 20 分。

- | | |
|------------------------------|---------------------|
| 11. 逻辑,物理(顺序不可更改) | 12. 恒置 1 法,查表舍入法 |
| 13. 吞吐率,效率(顺序不可更改) | 14. 主存,页面失效(顺序不可更改) |
| 15. 串行链接,定时查询 | 16. 静态,动态 |
| 17. 后续指令对相关单元,相关直接通路(顺序不可更改) | |
| 18. 时间重叠,资源重复(顺序不可更改) | 19. 操作码,地址码 |
| 20. 微程序,控制寄存器(顺序不可更改) | |

三、简答题:本大题共 5 小题,每小题 6 分,共 30 分。

21. 提高计算机系统并行性技术的三个途径:
- (1) 时间重叠是在并行性概念中引入时间因素,(1 分)让多个处理过程在时间上相互错开,轮流使用同一套硬件设备的各个部分以加快硬件的周转来赢得速度;(1 分)
 - (2) 资源重复是在并行性概念中引入空间因素,(1 分)通过重复设置硬件资源来提高可靠性或性能;(1 分)
 - (3) 资源共享是用软件的方法,(1 分)让多个用户按一定的时间顺序轮流使用同一套资源来提高资源利用率从而提高系统的性能。(1 分)
22. 多 Cache 一致性问题的解决方法主要有:
- (1) 解决进程迁移引起的多 Cache 不一致性,可以通过禁止进程迁移的方法予以解决,也可以在进程挂起时,靠硬件方法将 Cache 中该进程改写过的信息块强制写回主存相应位置。(2 分)
 - (2) 以硬件为基础实现多 Cache 的一致性,主要有监视 Cache 协议法,即各个处理机中的 Cache 控制器随时都在监视着其他 Cache 的行动。另一种是目录表法,建立一个目录表,记录每一个数据块的使用情况。(2 分)
 - (3) 以软件为基础实现多 Cache 的一致性,例如依靠编译程序的分析,不把一些公用的可写数据存入 Cache 中。(2 分)
23. 概念:
- Cache 全相联映像是主存中任意一块都可映像装入 Cache 中的任意一块位置的地址映像。(1 分)

优点:

块冲突率最低,(1分)只有当 Cache 全部装满才可能出现冲突,(1分)Cache 的空间利用率最高;(1分)

缺点:

要构成容量为 2^{n+1} 项的相联存储器的代价太大;(1分)Cache 容量很大时,其查表的速度很难提高。(1分)

24. IBM360/91 解决流水控制的途径:

- (1) 在各个寄存器中设置忙位标志来判断是否相关,当寄存器正在使用时置该寄存器的忙位标志为“1”; (1分)当寄存器被释放,其忙位标志清为“0”,访问寄存器时先看忙位标志如果为“1”表示相关。(1分)
- (2) 设置多条流水线让它们并行工作,(1分)同时在分布于各流水线的入、出端上分别设置若干保存站来缓冲存放信息,一旦相关采用异步方式流动;(1分)
- (3) 通过分布设置的站号来控制相关专用通路的连接;(1分)
- (4) 相关专用通路采用总线方式,相关后通过更改站号来实现不同相关专用通路的连接。(1分)

25. 脉动阵列结构计算机具有以下特点:

- (1) 结构简单、规整,模块化强,可扩充性好,非常适合用超大规模集成电路实现。(2分)
- (2) 处理单元(PE)间数据通信距离短、规则,数据流和控制流的设计、同步控制等均简单规整。(2分)
- (3) 脉动阵列中所有 PE 能同时运算,具有极高的计算并行性,可通过流水获得很高的运算效率和吞吐率。(1分)
- (4) 脉动阵列结构的构形与特定计算任务和算法密切相关,具有某种专用性。(1分)

四、简单应用题:本大题共 2 小题,每小题 10 分,共 20 分。

26. 解:

- (1) 要实现 $n \times n$ 的二维数组 A 的各元素 a_{ij} ($i=0 \sim 3, j=0 \sim 3$) 在行、列、主对角线、次对角线上均能实现无冲突访问,则 m 应取大于 n 的质数,且 $m=2^{2^p}+1$ (P 为正整数),因此 m 至少为 5。(2分)
- (2) 存储器各元素在该存储器各分体中的分布情况如答 26 表所示。(8分,“体内地址”每行错一处扣 1 分,错两处及以上该行不得分)

答 26 表

分体号 体内地址	0	1	2	3	4
i+0	a_{03}		a_{00}	a_{01}	a_{02}
i+1	a_{11}	a_{12}	a_{13}		a_{10}
i+2		a_{20}	a_{21}	a_{22}	a_{23}
i+3	a_{32}	a_{33}		a_{30}	a_{31}

27. 解:

$$(1) f_{\max \cdot \text{byte}} = 1 / (T_s + T_D) = 1 / (2 + 0.5) = 400 \text{KB/s} \quad (2 \text{分})$$

(2) 挂 F、G、H、I、J 等 5 台设备。(2 分)

$$\text{因为 } \sum_{i=1}^5 f_{\text{byte} \cdot i} = 160 + 100 + 80 + 40 + 18 = 398 \text{KB/s} < 400 \text{KB/s}$$

否则, 要么挂不够 5 台, 要么丢失设备信息。(2 分)

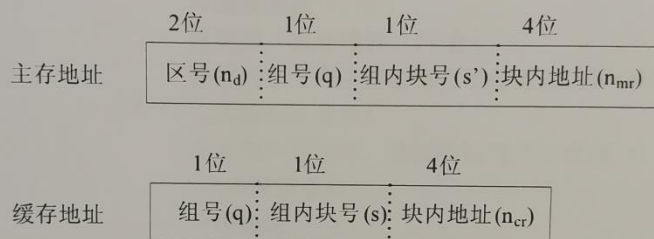
$$(3) f_{\max \cdot \text{block}} = \frac{K}{T_s + K T_D} = \frac{512}{2 + 512 \times 0.5} \approx 1984 \text{KB/s} \quad (2 \text{分})$$

(4) 可挂 C、D、E、F、G、H、I、J 等 8 台设备, 但不可挂 A、B 设备, 否则 $f_{\max \cdot \text{block}} \geq f_{\text{block}}$ 的条件不能满足。(2 分)

五、综合应用题: 本大题共 2 小题, 每小题 10 分, 共 20 分。

28. 解:

(1) 主存、Cache 地址的格式及各字段位数如答 28 图所示。(4 分, 主存、Cache 地址格式正确各得 2 分)



答 28 图

(2) 在访问主存的地址流中, 第 0、1、4、5 块将被映射装入或替换到 Cache 的第 0、1 块, 第 2、3、6、7 块将被映射装入或替换到 Cache 的第 2、3 块。

采用 LRU 算法时, Cache 中各个块的使用情况如答 28 表所示。表中标“*”的是候选替换块的块号。(5 分, “Cache 块”和“命中情况”每行完全正确各得 1 分)

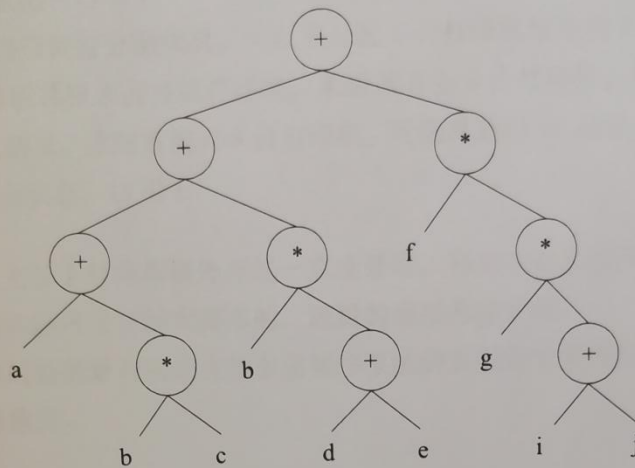
答 28 表

主存块地址	6	2	4	1	4	6	3	0	4	5	7	3
Cache 块	0		4	4	4	4	4	4	4	4	4	4
	1			1	1	1	1*	0	0*	5	5	5
	2	6	6	6	6	6	6	6	6	6*	7	7
	3		2	2	2	2*	3	3	3	3	3	3
命中情况					H	H			H			H

$$\text{命中率 } H_c = 4/12 = 1/3 \quad (1 \text{分})$$

29. 解:

(1) 算法按照 $x = a + bc + b(d + e) + fg(i + j)$ 进行运算。(1 分) 在 3 台处理机上并行运算的树形流程图如答 29 图所示。(5 分, 每错一处扣 1 分, 以扣满 5 分为止)



答 29 图

(2) 表达式利用单处理机需要 8 级运算, 即 $T_1 = 8$ (1 分)

在 3 台处理机进行并行运算时, 运算级数 $T_p = 4$ (1 分)

加速比 $S_p = T_1 / T_p = 8 / 4 = 2$ (1 分)

效率 $E_p = S_p / P = 2 / 3$ 。(1 分)