

## 第四章

### 一、选择题：

1. 下列说法不正确的是 (C)
  - A. 集电极开路的门称为 OC 门
  - B. 三态门输出端有可能出现三种状态 (高阻态、高电平、低电平)
  - C. OC 门输出端直接连接可以实现正逻辑的线或运算
  - D. 利用三态门电路可实现双向传输
2. 以下错误的是 (B)
  - A. 数字比较器可以比较数字大小
  - B. 实现两个一位二进制数相加的电路叫全加器
  - C. 实现两个一位二进制数和来自低位的进位相加的电路叫全加器
  - D. 编码器可分为普通全加器和优先编码器
3. 离散的、不连续的信号, 称为 (B)。
  - A. 模拟信号
  - B. 数字信号
4. 组合逻辑电路通常由 (A) 组合而成。
  - A. 门电路
  - B. 触发器
  - C. 计数器
5. 十六路数据选择器的地址输入 (选择控制) 端有 (C) 个。
  - A. 16
  - B. 2
  - C. 4
  - D. 8
6. 一位 8421BCD 码译码器的数据输入线与译码输出线的组合是 (C)。
  - A. 4:6
  - B. 1:10
  - C. 4:10
  - D. 2:4
7. 有一个左移移位寄存器, 当预先置入 1011 后, 其串行输入固定接 0, 在 4 个移位脉冲 CP 作用下, 四位数据的移位过程是 (A)。
  - A. 1011--0110--1100--1000--0000
  - B. 1011--0101--0010--0001--0000
8. 16 个触发器构成计数器, 该计数器可能的最大计数模值是 (D)
  - A. 16
  - B. 32
  - C.  $16^2$
  - D.  $2^{16}$
9. 在函数  $F=AB+CD$  的真值表中,  $F=1$  的状态有多少个? (D)。
  - A. 2
  - B. 4
  - C. 6
  - D. 7
  - E. 16
10. 电路的输出态不仅与当前输入信号有关, 还与前一时刻的电路状态有关, 这种电路为 (B)。
  - A. 组合电路
  - B. 时序电路
11. 在下列逻辑电路中, 不是组合逻辑电路的有 (D)。
  - A. 译码器
  - B. 编码器
  - C. 全加器
  - D. 寄存器
12. 把一个五进制计数器与一个四进制计数器串联可得到 (D) 进制计数器。
  - A. 4
  - B. 5
  - C. 9
  - D. 20
13. N 个触发器可以构成最大计数长度 (进制数) 为 (D) 的计数器。
  - A. N
  - B. 2N
  - C.  $N^2$
  - D. 2N
14. 同步时序电路和异步时序电路比较, 其差异在于后者 (B)。
  - A. 没有触发器
  - B. 没有统一的时钟脉冲控制
  - C. 没有稳定状态
  - D. 输出只与内部状态有关
15. 寻址容量为  $16K \times 8$  的 RAM 需要 (C) 根地址线。
  - A. 4
  - B. 8
  - C. 14
  - D. 16
  - E. 16K
16. 指出下列电路中能把串行数据转换为并行数据的是 (C)
  - A. JK 触发器
  - B. 3 线-8 线译码器
  - C. 移位寄存器
  - D. 十进制计数器

17. 在下列逻辑电路中，不是组合逻辑电路的有（ D ）。
- A.译码器      B.编码器      C.全加器      D.寄存器
18. 随机存取存储器具有（ A ）功能。
- A.读/写      B.无读/写      C.只读      D.只写
19. 寻址容量为  $16K \times 8$  的 RAM 需要（ C ）根地址线。
- A.4      B.8      C.14      D.16      E.16K
20. 用 PROM 来实现组合逻辑电路，他的可编程阵列是（ B ）
- A、与阵列      B、或阵列
- C、与阵列和或阵列都可以      D、以上说法都不对

二、填空题：

1. 按逻辑功能的不同特点，数字电路可分为（组合逻辑电路）和（时序逻辑电路）两大类。
2. 在逻辑电路中，三极管通常工作在（饱和）和（截止）状态。
3. 组合逻辑电路任何时刻的输出信号，与该时刻的输入信号（有关）；与电路原来所处的状态（无关）；时序逻辑电路任何时刻的输出信号，与该时刻的输入信号（有关）；与信号作用前电路原来所处的状态（有关）。（答案填有关或无关）
4. 发光二极管半导体数码显示器的内部接法有两种形式：共（阴）接法和共（阳）接法。对于以上两种接法的发光二极管数码显示器，应分别采用（高）电平驱动和（低）电平驱动的七段显示译码器。
5. 时序逻辑电路按照其触发器是否有统一的时钟控制分为（同步）时序电路和（异步）时序电路。

三、是非题：

1. TTL 或非门多余输入端可以接高电平。（ × ）
2. 寄存器属于组合逻辑电路。（ × ）
3. 构成一个 5 进制计数器需要 5 个触发器（ × ）
4. 当时序逻辑电路存在有效循环时该电路能自启动（ × ）
5. 八路数据分配器的地址输入（选择控制）端有 8 个。（ × ）
6. 关门电平  $U_{OFF}$  是允许的最大输入高电平。（ × ）
7. 三态门输出为高阻时，其输出线上电压为高电平（ × ）
8. 译码器哪个输出信号有效取决于译码器的地址输入信号（ √ ）
9. 五进制计数器的有效状态为五个（ √ ）
10. 当时序逻辑电路存在无效循环时该电路不能自启动（ √ ）
11. RS 触发器、JK 触发器均具有状态翻转功能（ × ）
12. 构成一个 7 进制计数器需要 3 个触发器（ √ ）
13. 两个二进制数相加，并加上来自高位的进位，称为全加，所用的电路为全加器（ × ）
14. 判断时序逻辑电路能否自启动可通过判断该电路是否存在有效循环来实现（ × ）
15. 利用三态门可以实现数据的双向传输。（ √ ）
16. PLA 的与阵列和或阵列均可编程。（ √ ）
17. 当决定事件发生的所有条件中任一个（或几个）条件成立时，这件事件就会发生，这种因果关系称为与运算。（ × ）
18. 将代码状态的特点含义“翻译”出来的过程称为译码。实现译码操作的电路称为译码器。（ √ ）