# 中国石油大学

## 数字逻辑实验报告



实验名称:_	实验三 组合电路的	<b>仿真</b>		
实验时间:_	2020 年	6 月	15 日	
学生班级:_	计算机 19-3			_
学生姓名 <b>:</b> _		2019011777		

中国石油大学(北京)信息学院计算机系

#### 一、实验目的:

- 1、学习 Verilog 描述组合逻辑电路的方法。
- 2、学习仿真软件 Quartus || 的使用方法。
- 3、进一步熟悉组合逻辑电路的设计方法。

#### 二、实验要求:

- 1、设计一个8选1的多路选择器,要求用门级建模和行为级建模分别描述。 在Quartus||中实现功能仿真。
- 2、设计一个7人投票的表决器,规定简单多数表示通过。在 Quartus II 中实现功能仿真。

#### 三、代码:

#### 1.1 门级建模

```
module mux8x1 (out, in, s);
   output out;
   input[7:0] in;
   input[2:0] s;
   wire[7:0] t;
   wire[3:0] tt;
   wire[2:0] ns;
   not(ns[0], s[0]),
      (ns[1], s[1]),
      (ns[2], s[2]);
   and(t[0], in[0], ns[1], ns[0]),
      (t[1], in[1], ns[1], s[0]),
      (t[2], in[2], s[1], ns[0]),
      (t[3], in[3], s[1], s[0]);
   or(tt[0], t[0], t[1], t[2], t[3]);
   and(tt[2], tt[0], ns[2]);
```

```
and(t[4], in[4], ns[1], ns[0]),
    (t[5], in[5], ns[1], s[0]),
    (t[6], in[6], s[1], ns[0]),
    (t[7], in[7], s[1], s[0]);
or(tt[1], t[4], t[5], t[6], t[7]);
and(tt[3], tt[1], s[2]);
```

or(out, tt[2], tt[3]);

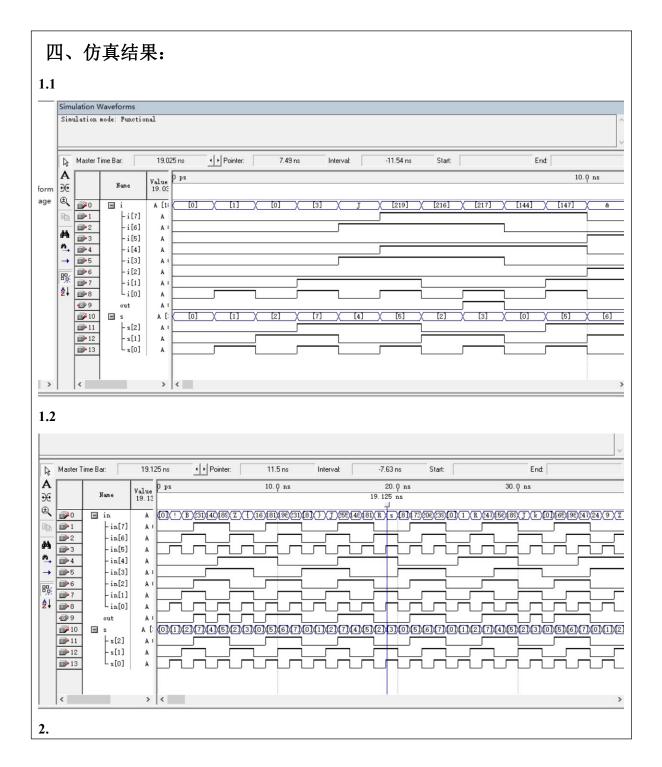
Endmodule

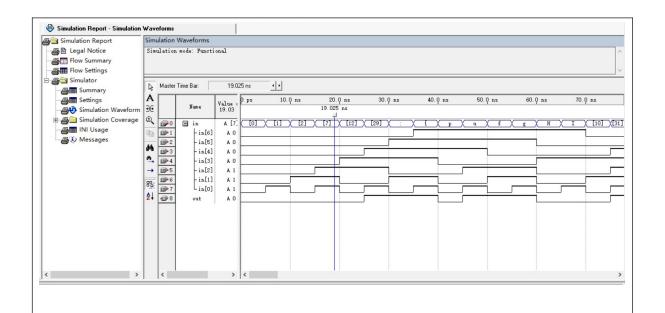
#### 1.2 行为级建模

```
module mux8_to_1(out,i,s);
    output out;
    input[7:0] i;
    input[2:0] s;
    reg out;
    always @(s[2] \text{ or } s[1] \text{ or } i[0] \text{ or } i[1] \text{ or } i[2] \text{ or } i[3] \text{ or } i[4] \text{ or } i[5] \text{ or } i[6] \text{ or } i[7])
        case({s[2],s[1],s[0]})
         3'b000: out = i[0];
        3'b001: out = i[1];
        3'b010: out = i[2];
        3'b011: out = i[3];
        3'b100: out = i[4];
        3'b101: out = i[5];
        3'b110: out = i[6];
        3'b111: out = i[7];
        default: out = 1'bx;// ???....
endmodule
```

#### 2.

```
module vote_7(in, out);
    input[6:0] in;
    output out;
    wire[2:0] vote_count;
    assign vote_count = in[0] + in[1] + in[2] + in[3] + in[4] + in[5] + in[6];
    assign out = (vote_count >= 4) ? 1 : 0;
endmodule
```





### 五、总结(收获,问题和解决方法等)

8选一时注意 s2, s1, s0 的顺序。

两个四选一拼一个 8 选一,只需共享 s0, s1, 而用 s2 对两个进行封锁即可,s2 为 0 锁高位,为 1 锁低位,最后输出相或即可。

六、其他