

数字逻辑实验报告



**实验名称： 实验四 时序电路的仿真**

**实验时间： 2020 年 6 月 15 日**

**学生班级： 计算机19-3**

**学生姓名： 刘康来 学号： 2019011777**

**中国石油大学（北京）信息学院计算机系**

|  |
| --- |
| **一、实验目的：**  1、学习Verilog描述时序逻辑电路的方法。  2、学习仿真软件Quartus II 的使用方法。  3、进一步熟悉时序逻辑电路的原理和设计方法。  **二、实验要求：**  1、设计一个模块，实现8421BCD码表示的模60的计数器，实现0-59加1计数，当第60个计数脉冲到来时，产生一个进位脉冲。  2、将计数器改写成模24的计数器。  **三、代码：**  1.  module DigitalCountBCD60(qout, cout, data, load, cin, reset, clk); //一般情况下使用<=，组合逻辑使用=赋值，时序逻辑使用<=赋值：  input load, cin, reset, clk; // load, data no need  input[7:0] data;  output [7:0] qout;  output cout;  reg [7:0] qout;  always@(posedge clk)  begin      if(reset) qout <= 0;      //else if(load) qout = data;      else if(cin)      begin          if(qout[3:0] == 9)              begin              qout[3:0] <= 0;              if(qout[7:4] == 5)                  qout[7:4] <= 0;              else                  qout[7:4] <= qout[7:4]+1;              end          else              qout[3:0] <= qout[3:0]+1;      end  end      assign cout = ((qout == 8'h59)&cin) ? 1 : 0;    endmodule  2.  module DigitalCountBCD24(qout, cout, data, load, cin, reset, clk);  input load, cin, reset, clk;  input[7:0] data;  output [7:0] qout;  output cout;  reg [7:0] qout;  always@(posedge clk)  begin      if(reset) qout = 0;      //else if(load) qout = data;      else if(cin)      begin          if(qout[7:4] == 2)          begin              if(qout[3:0] == 3)              begin                  qout[7:4] <= 0;                  qout[3:0] <= 0;              end              else                  qout[3:0] <= qout[3:0]+1;          end          else          begin              if(qout[3:0] == 9)                begin                  qout[3:0] <= 0;                  qout[7:4] <= qout[7:4]+1;                end              else                  qout[3:0] <= qout[3:0]+1;          end      end  end      assign cout = ((qout == 8'h23)&cin) ? 1 : 0;    endmodule |
| **四、仿真结果：**  1.      2. | |
| **五、总结（收获，问题和解决方法等）**  对于最后一个进位脉冲，因代码并行，cout要快于sum变化  可以给cout加一延迟，或者在代码修改使cout在sum后变化（不知语法。。。），或使sum为0时才令cout变化... | |
| **六、其他** | |