

# 计算机组成原理

## 第六章 中央处理器

### 6.17 CPU设计实验

## 1

## 实验目标与任务

- 学生理解单周期**MIPS CPU**基本原理
  - 能在**Logisim**平台中设计实现**单周期MIPS CPU**
  - **8条核心指令或更多，能运行冒泡排序测试程序**
- 学生理解**MIPS**多周期处理器的基本原理，
  - 能在**Logisim**平台中设计实现**MIPS 多周期CPU**
  - **硬布线控制器，微程序控制器两种方案**
  - **8条核心指令**

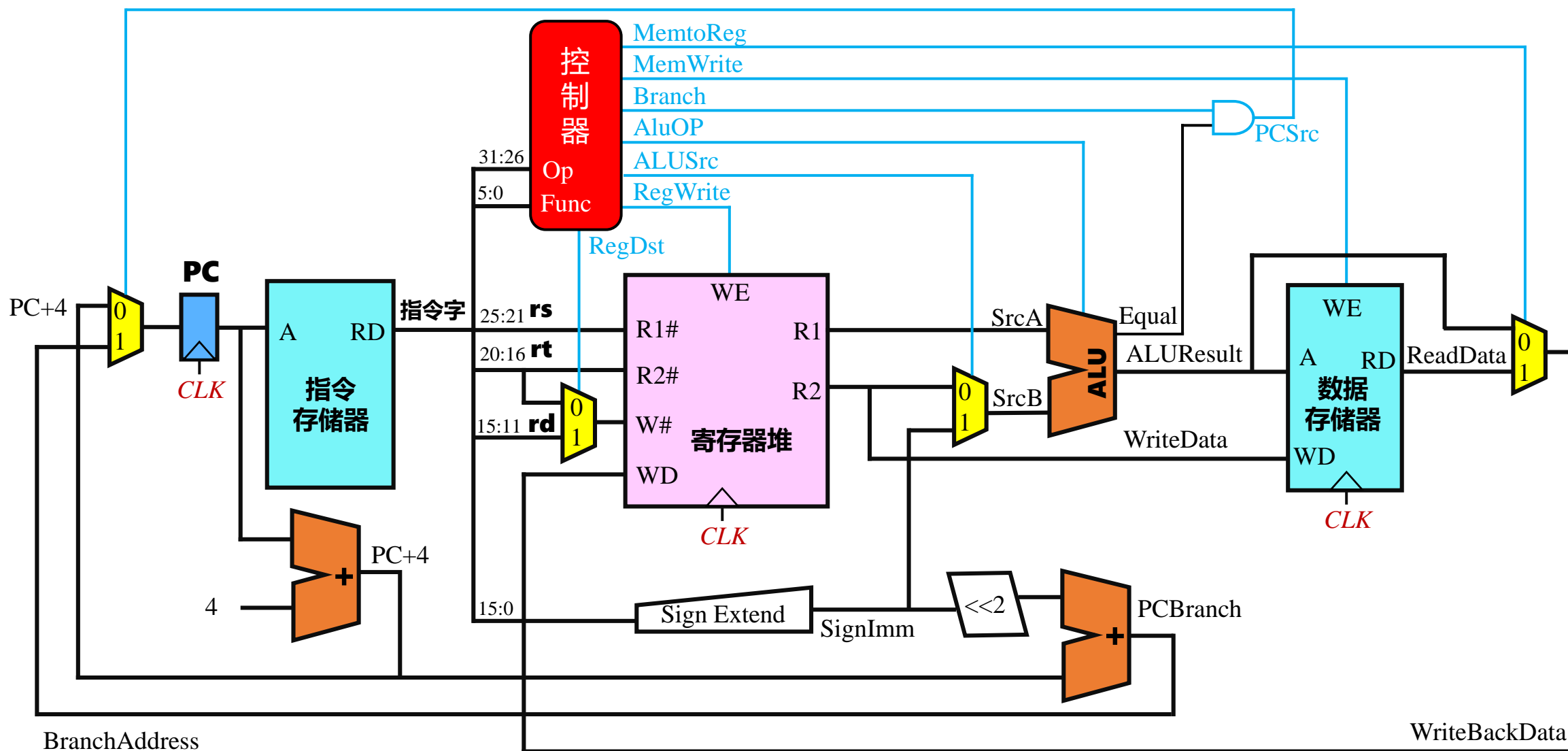
2 核心指令集

可实现内存区域冒泡排序

#	MIPS指令	RTL功能描述
1	add \$rd,\$rs,\$rt	$R[\$rd] \leftarrow R[\$rs] + R[\$rt]$ 溢出时产生异常, 且不修改 $R[\$rd]$
2	slt \$rd,\$rs,\$rt	$R[\$rd] \leftarrow R[\$rs] < R[\$rt]$ 小于置1, 有符号比较
3	addi \$rt,\$rs,imm	$R[\$rt] \leftarrow R[\$rs] + \text{SignExt}_{16b}(\text{imm})$ 溢出产生异常
4	lw \$rt,imm(\$rs)	$R[\$rt] \leftarrow \text{Mem}_{4B}(R[\$rs] + \text{SignExt}_{16b}(\text{imm}))$
5	sw \$rt,imm(\$rs)	$\text{Mem}_{4B}(R[\$rs] + \text{SignExt}_{16b}(\text{imm})) \leftarrow R[\$rt]$
6	beq \$rs,\$rt,imm	if( $R[\$rs] = R[\$rt]$ ) $PC \leftarrow PC + \text{SignExt}_{18b}(\{\text{imm}, 00\})$
7	bne \$rs,\$rt,imm	if( $R[\$rs] \neq R[\$rt]$ ) $PC \leftarrow PC + \text{SignExt}_{18b}(\{\text{imm}, 00\})$
8	syscall	系统调用, 这里用于停机

3

## 构建单周期MIPS数据通路

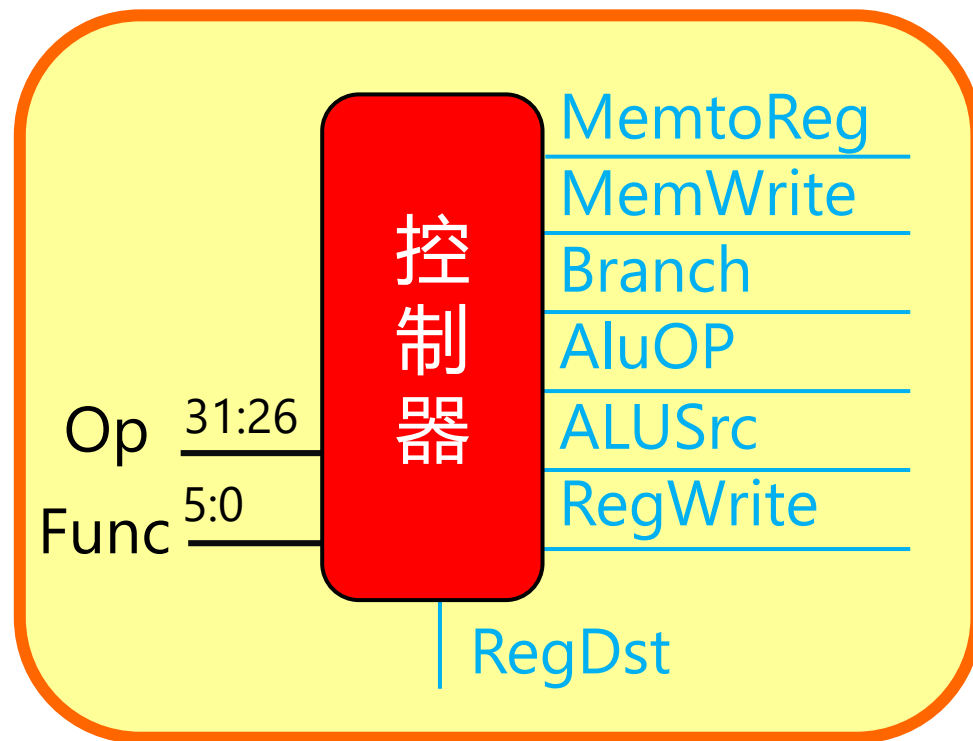


## 4

## 单周期MIPS控制器设计

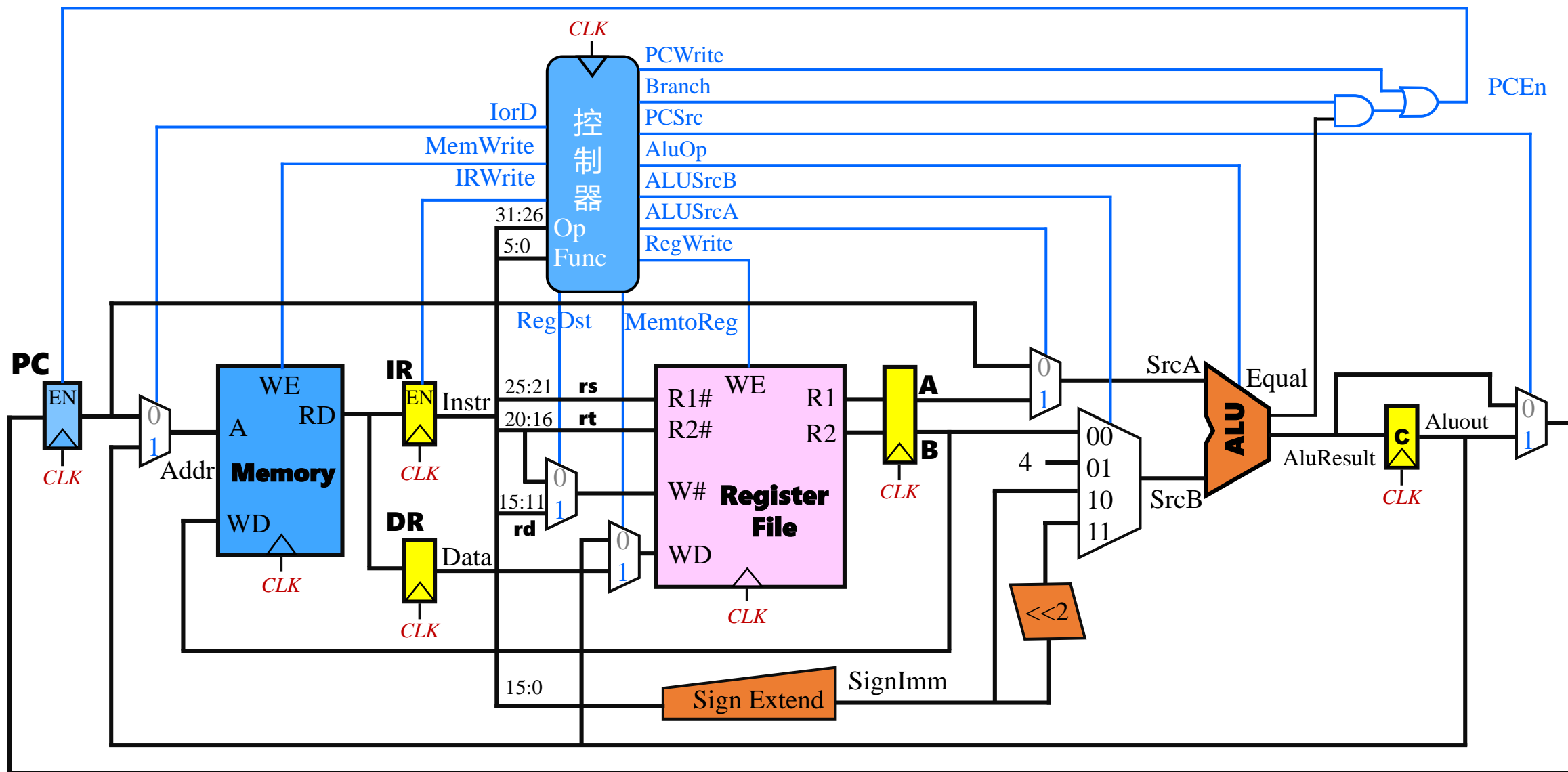
- 单周期控制器无时序逻辑，纯组合逻辑电路
- 输入信号：指令字**Opcode**，**Func**字段（12位）
- 输出信号：所有**控制信号**
- 设计方法：真值表 → 表达式 → 电路

利用**Logisim**自动生成电路



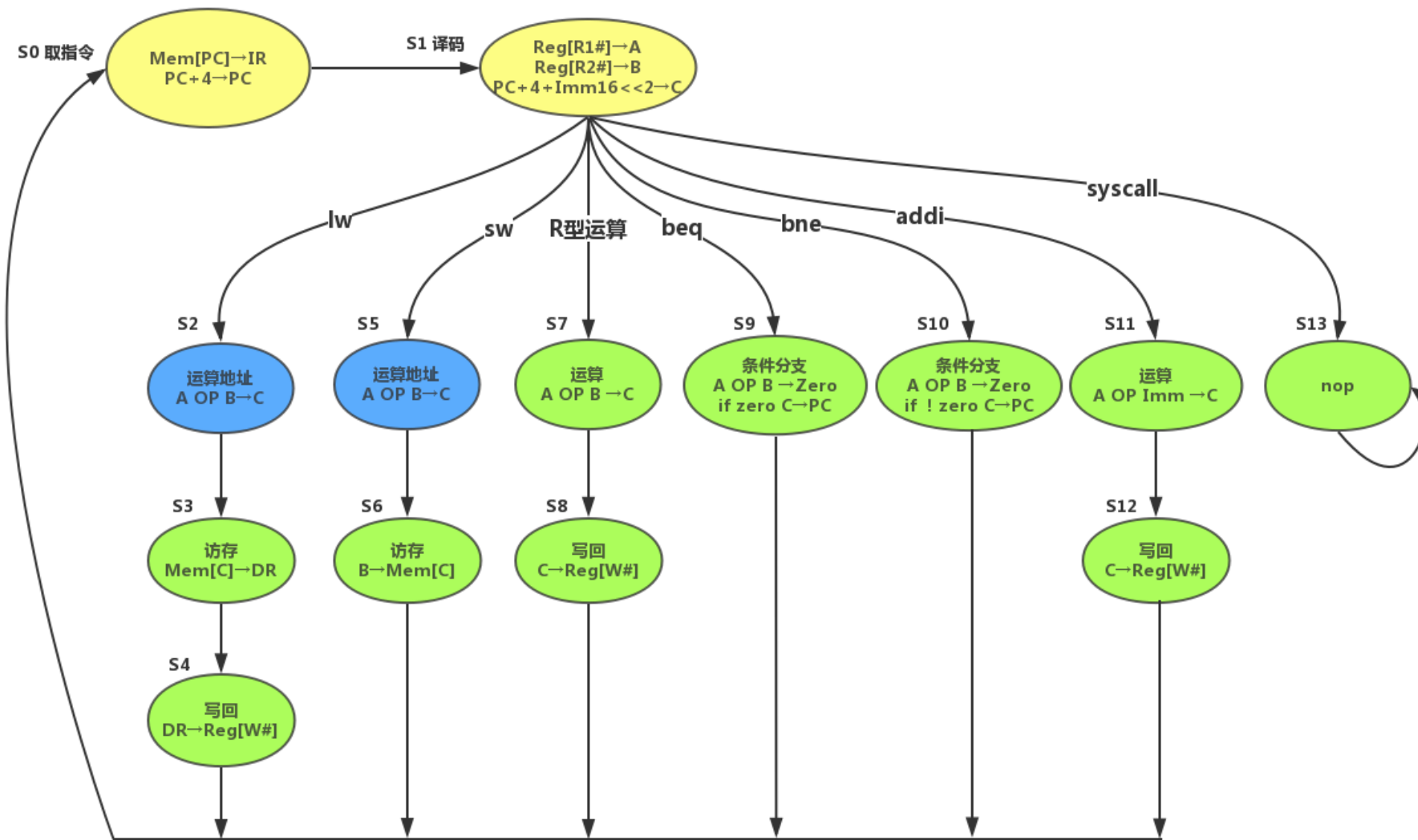
6

## 多周期MIPS 顶层视图



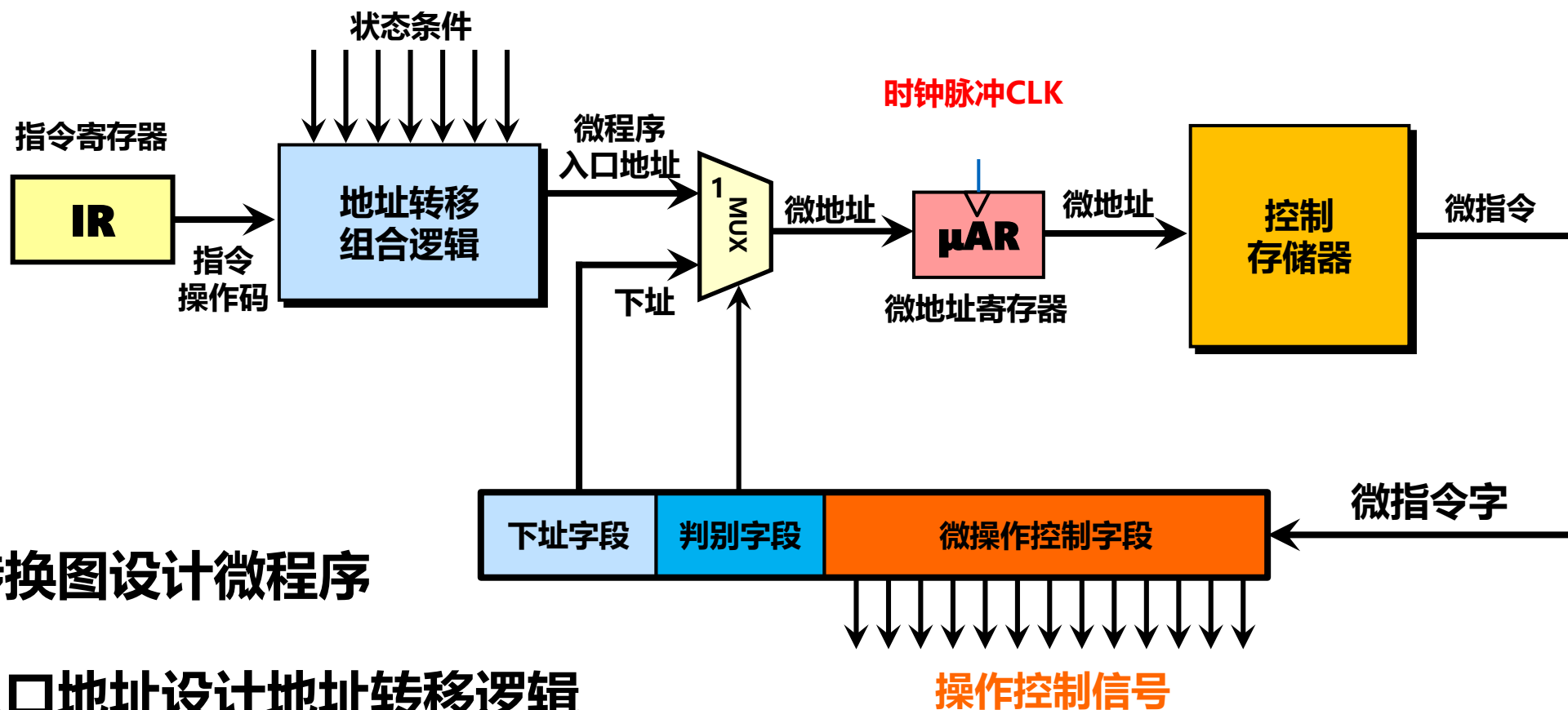
## 7

## 构建指令周期状态转换图



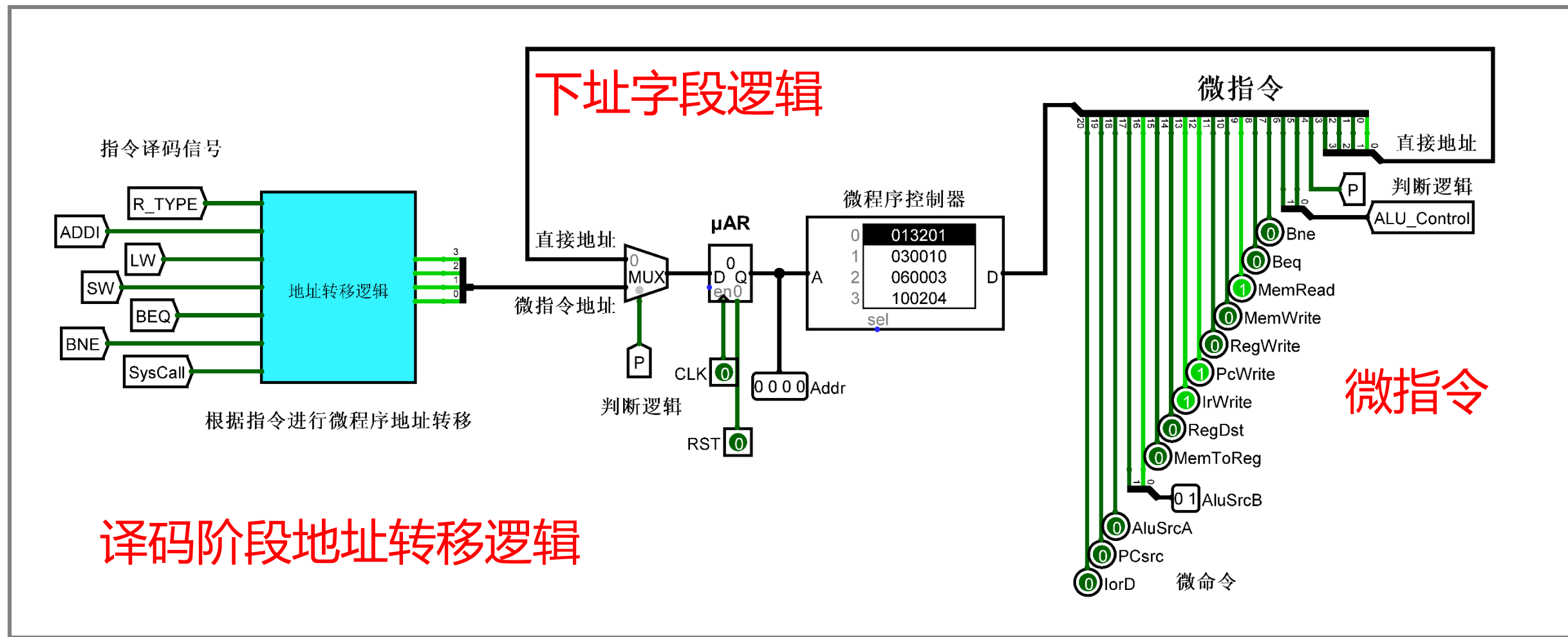
## 8

## 构造微程序控制器



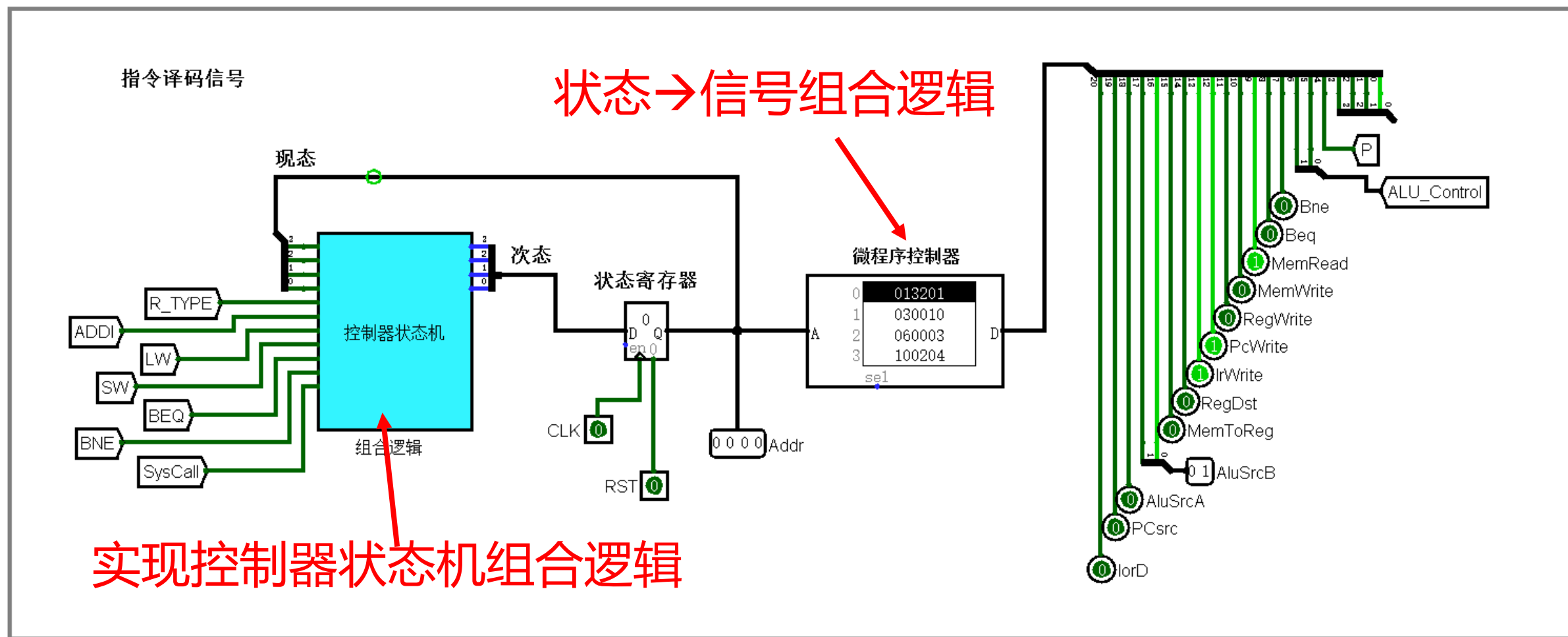
- 根据状态转换图设计微程序
- 按微程序入口地址设计地址转移逻辑
- 构造微程序控制器





A

## 硬布线控制器Logisim实现





谢谢!