

# 计算机组成原理

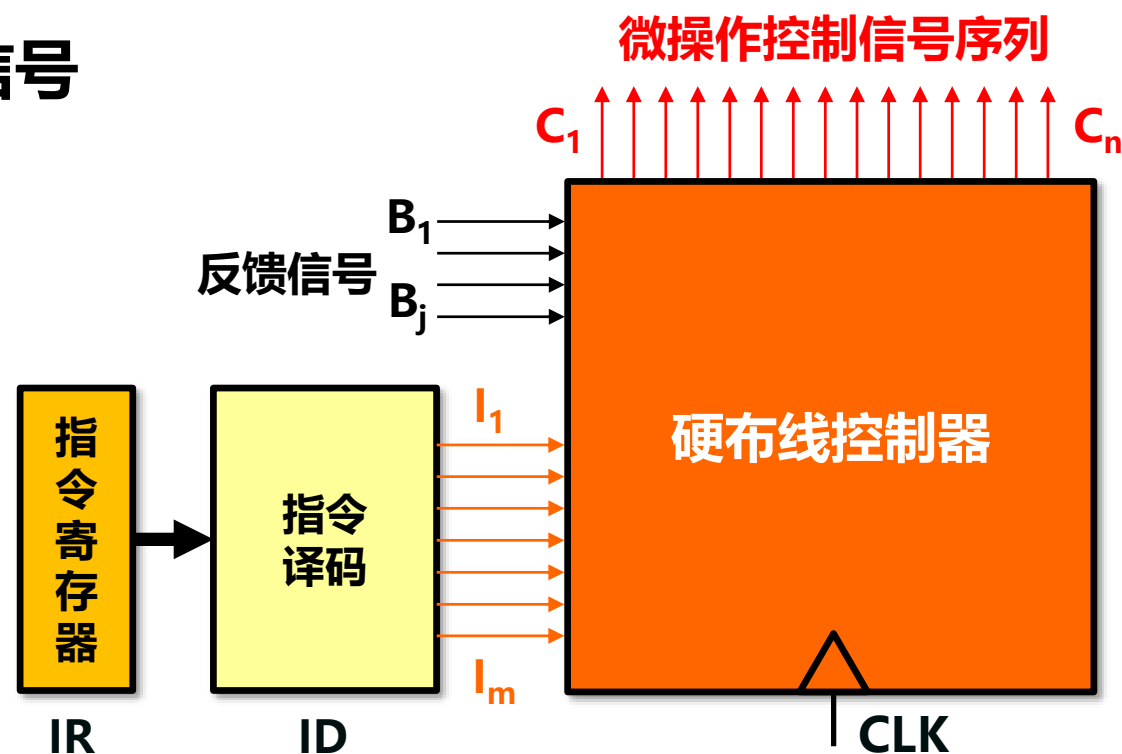
## 第六章 中央处理器

### 6.8 硬布线控制器设计 (1)

## 1

## 基本原理

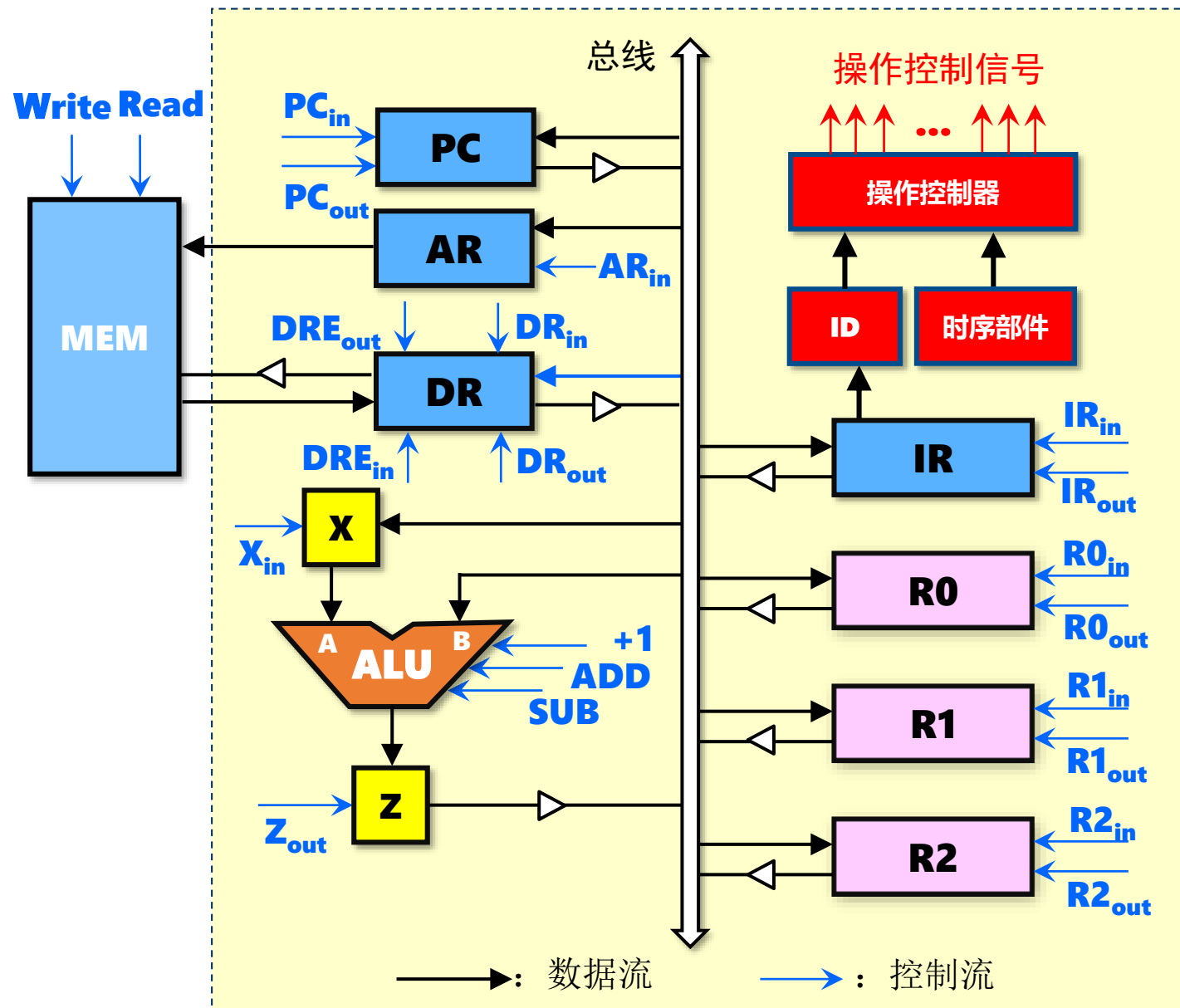
- 将控制器看成产生固定时序控制信号的逻辑电路
- 输入信号：指令译码，时钟信号，反馈信号
- 输出信号：功能部件控制信号序列
- 设计目标：最少元件，最快速度
- 理论基础：布尔代数
- 组成器件：门电路，触发器



机器指令字 → 控制器信号序列

2

单总线结构CPU

1. **LOAD R0,6#**2. **MOVE R1,10**3. **ADD R0,R1**4. **STORE R0,(R2)**5. **JMP 1000**

取指令周期

3 单总线结构CPU指令周期

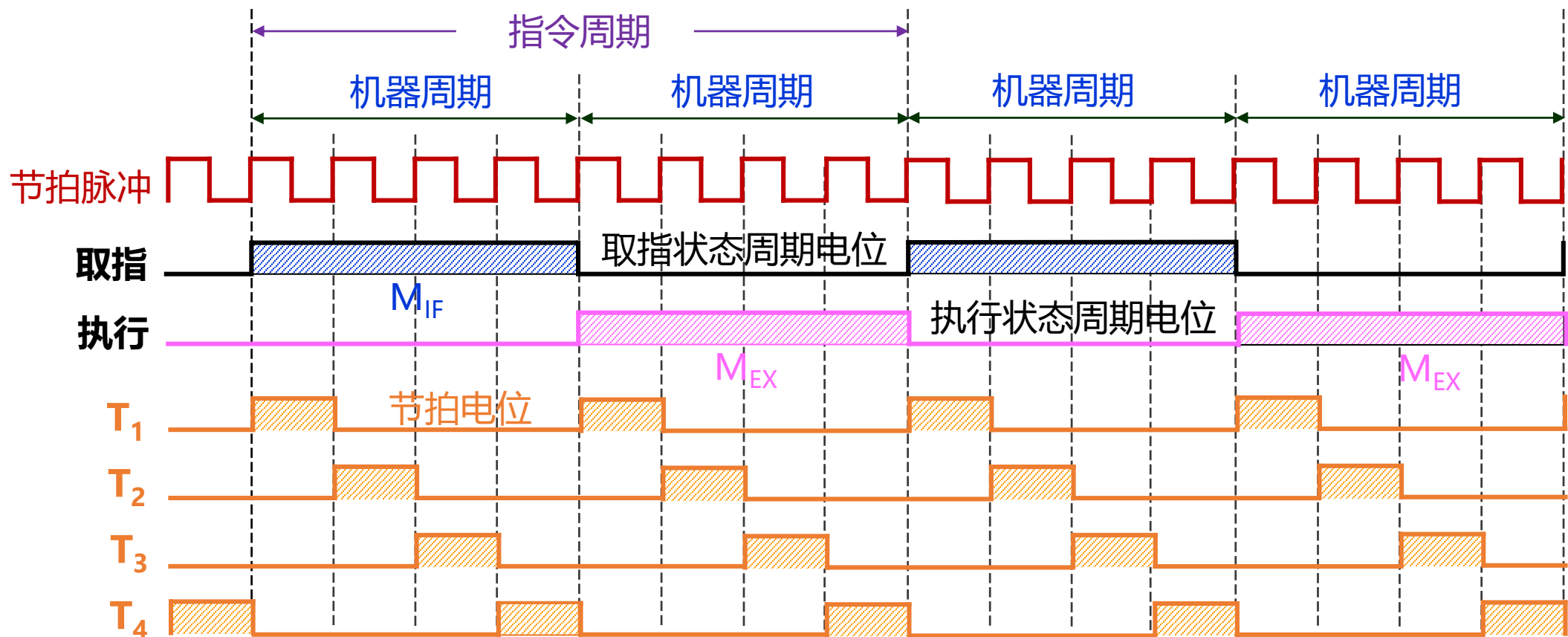
节拍	控制信号(4 cycles)
T1	PC <sub>out</sub> , AR <sub>in</sub> , X <sub>in</sub>
T2	+1, Read
T3	Z <sub>out</sub> , PC <sub>in</sub> , DRE <sub>in</sub> , Read
T4	DR <sub>out</sub> , IR <sub>in</sub>

- 定长指令周期：传统三级时序
  - ◆ 2个机器周期，8个时钟周期、慢、设计简单
- 变长指令周期：现代时序
  - ◆ 时钟周期数可变，快，设计复杂

执行周期

节拍	LOAD (4 cycles)	MOVE (1 cycles)	ADD (3 cycles)	STORE (3 cycles)	JMP (1 cycles)
T5	IR <sub>out</sub> , AR <sub>in</sub>	IR <sub>out</sub> , R1 <sub>in</sub>	R0 <sub>out</sub> , X <sub>in</sub>	R2 <sub>out</sub> , AR <sub>in</sub>	IR <sub>out</sub> , PC <sub>in</sub>
T6	Read		R1 <sub>out</sub> , ADD	R0 <sub>out</sub> , DR <sub>in</sub>	
T7	DRE <sub>in</sub> , Read		Z <sub>out</sub> , R0 <sub>in</sub>	DRE <sub>out</sub> , Write	
T8	DR <sub>out</sub> , R0 <sub>in</sub>				

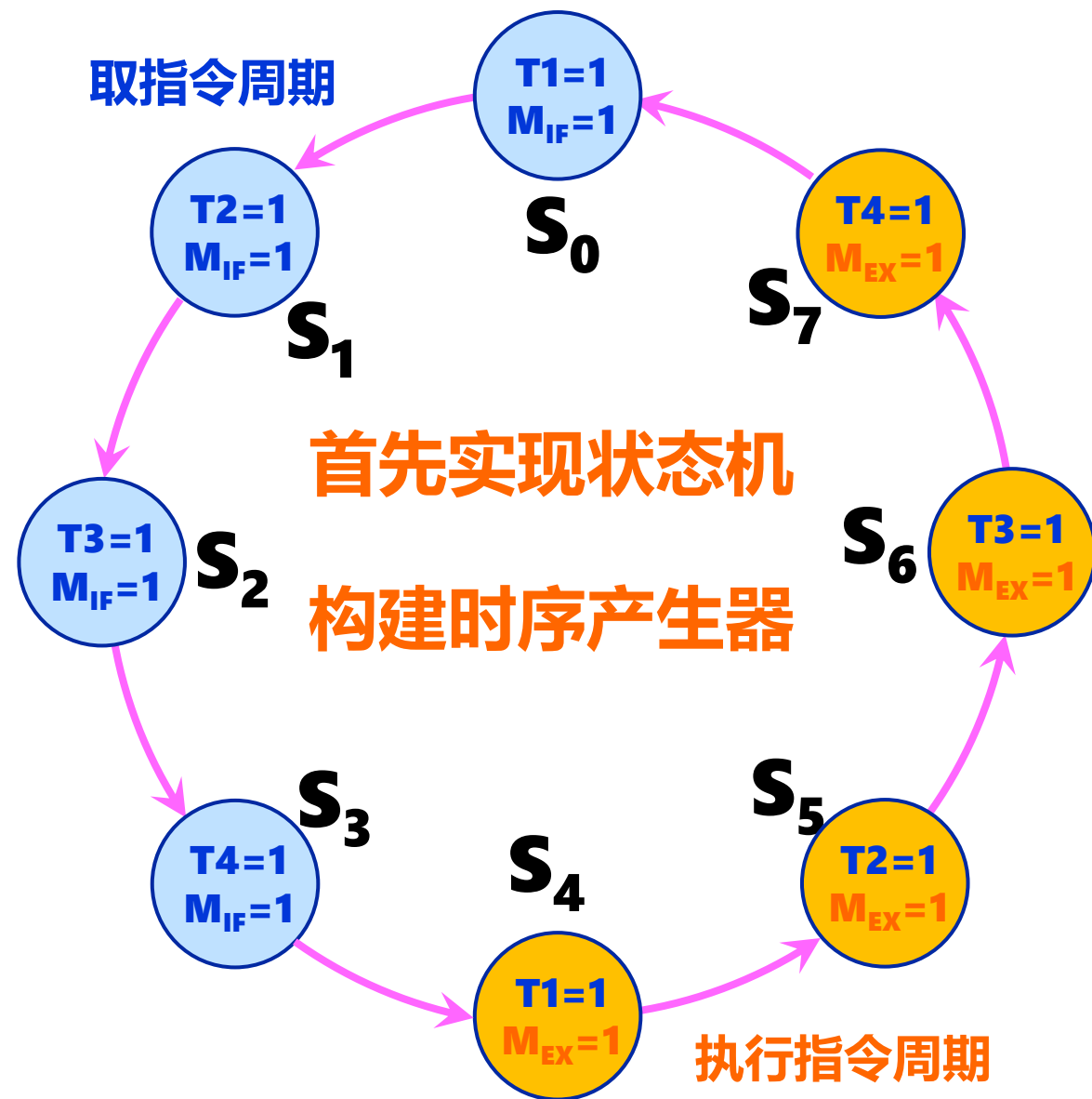
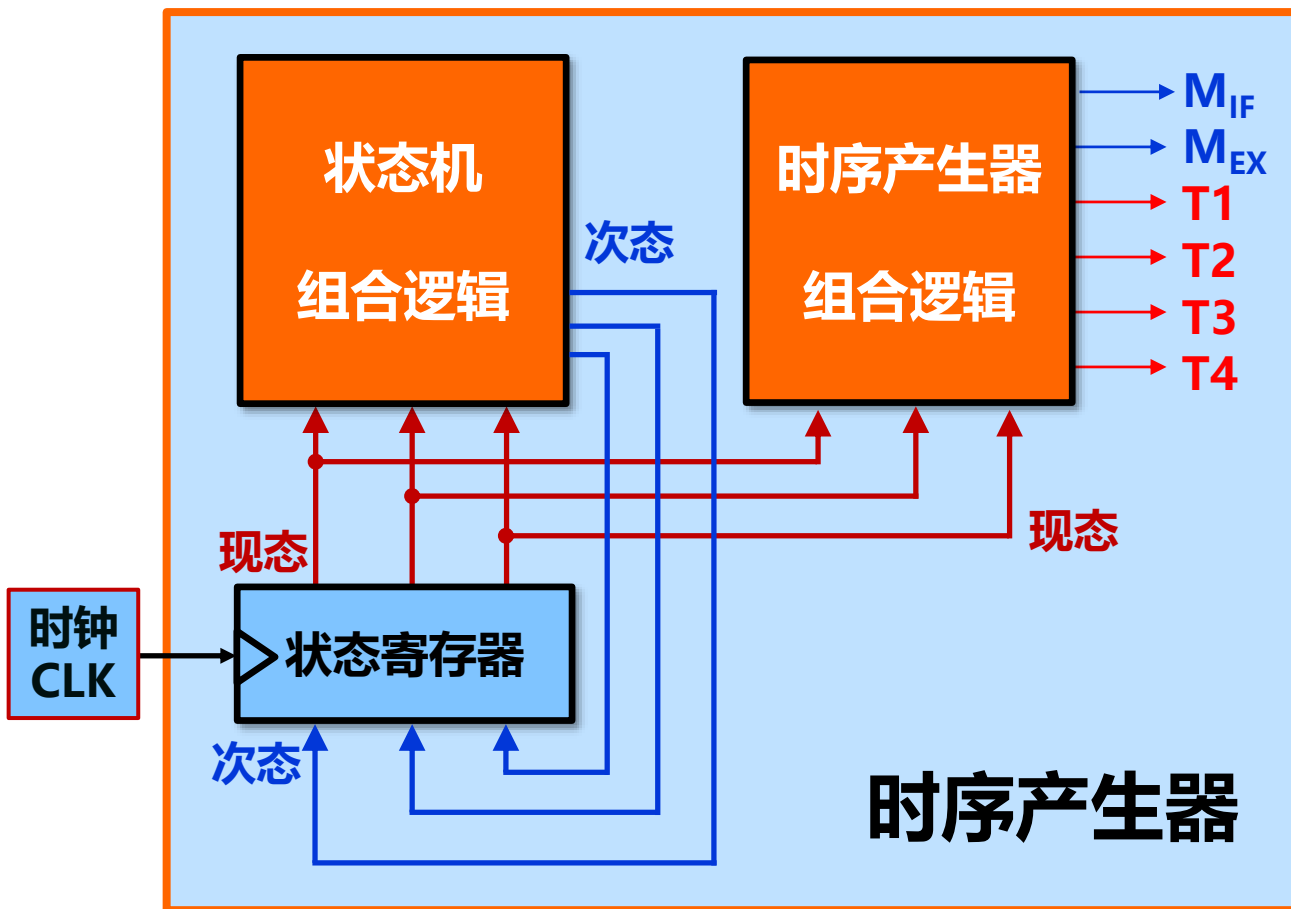
4 定长指令周期时序产生器 传统三级时序 固定2个机器周期，8个时钟节拍



构建时序产生器 输出:  $M_{IF}$ ,  $M_{EX}$ ,  $T_1$ ,  $T_2$ ,  $T_3$ ,  $T_4$

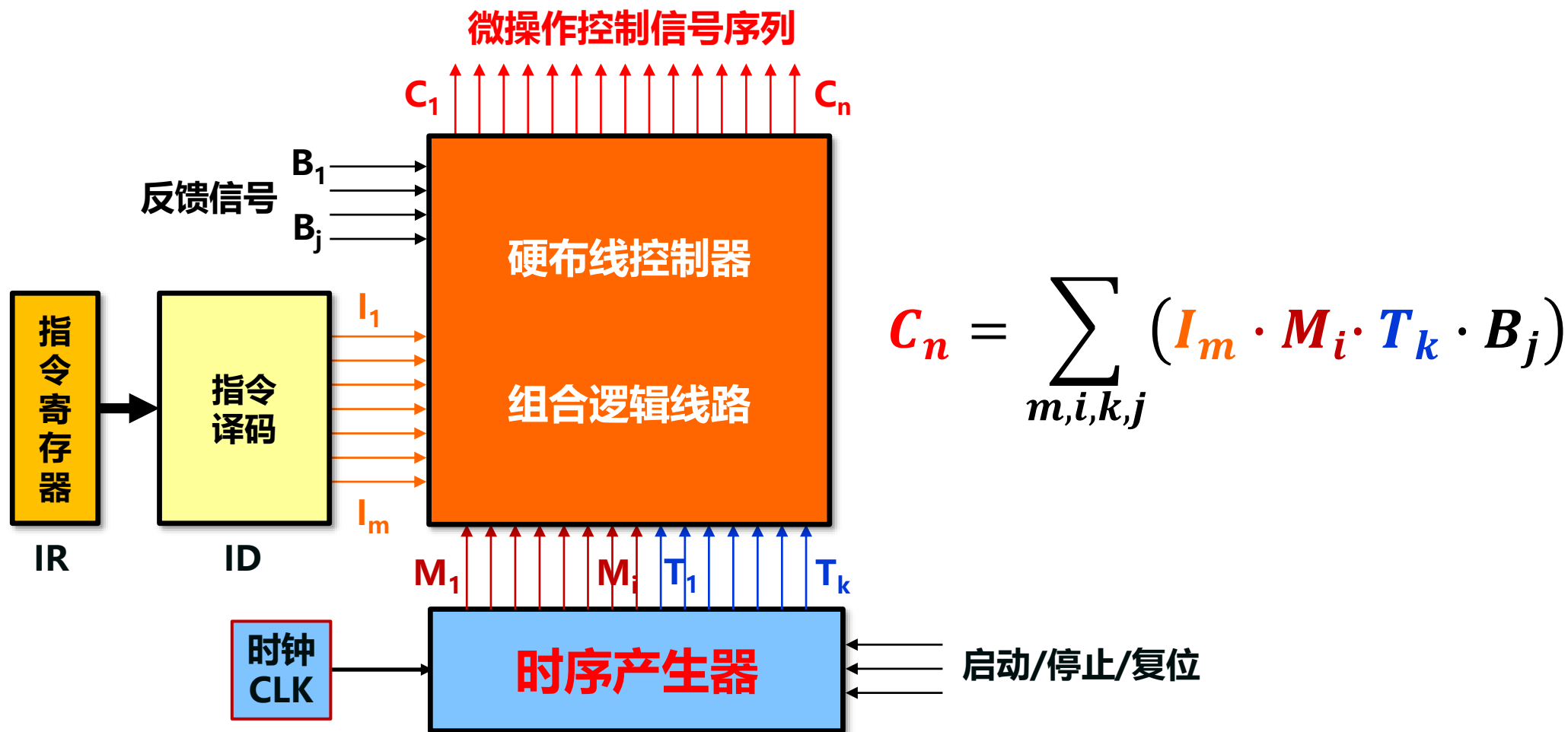
5

时序产生器状态机



## 6

## 硬布线控制器基本架构



时序产生器循环产生周期电位、节拍电位，供控制器对信号进行时间调制

取指令周期  
 $M_{IF}$

7 单总线CPU控制信号生成

节拍	控制信号
T1	PC <sub>out</sub> , AR <sub>in</sub> , X <sub>in</sub>
T2	+1, Read
T3	Z <sub>out</sub> , PC <sub>in</sub> , DRE <sub>in</sub> , Read
T4	DR <sub>out</sub> , IR <sub>in</sub>

$$C_n = \sum_{m,i,k,j} (I_m \cdot M_i \cdot T_k \cdot B_j)$$

■ Read =  $M_{IF} \cdot (T2+T3) + LOAD \cdot M_{EX} \cdot (T2+T3)$

■ AR<sub>in</sub> =  $M_{IF} \cdot T1 + (LOAD+STORE) \cdot M_{EX} \cdot T1$

执行周期  
 $M_{EX}$

节拍	LOAD	MOVE	ADD	STORE	JMP
T1	IR <sub>out</sub> , AR <sub>in</sub>	IR <sub>out</sub> , R1 <sub>in</sub>	R0 <sub>out</sub> , X <sub>in</sub>	R2 <sub>out</sub> , AR <sub>in</sub>	IR <sub>out</sub> , PC <sub>in</sub>
T2	Read		R1 <sub>out</sub> , ADD	R0 <sub>out</sub> , DR <sub>in</sub>	
T3	DRE <sub>in</sub> , Read		Z <sub>out</sub> , R0 <sub>in</sub>	DRE <sub>out</sub> , Write	
T4	DR <sub>out</sub> , R0 <sub>in</sub>				



## 8

## 固定指令周期硬布线控制器设计过程

1. 设计三级时序产生器： 所有指令固定机器周期数， 节拍数，
2. 列出所有机器指令的指令周期流程图， 明确每个节拍的控制信号；
3. 找出产生同一微操作控制信号的条件；
4. 写出各微操作控制信号的布尔表达式；
5. 化简各表达式；
6. 利用组合逻辑电路实现。

$$C_n = \sum_i \left( M_i \cdot T_k \cdot B_j \cdot \sum_m I_m \right)$$



谢谢!