

计算机组成原理

第六章 中央处理器

6.9 硬布线控制器设计 (2)

取指令周期

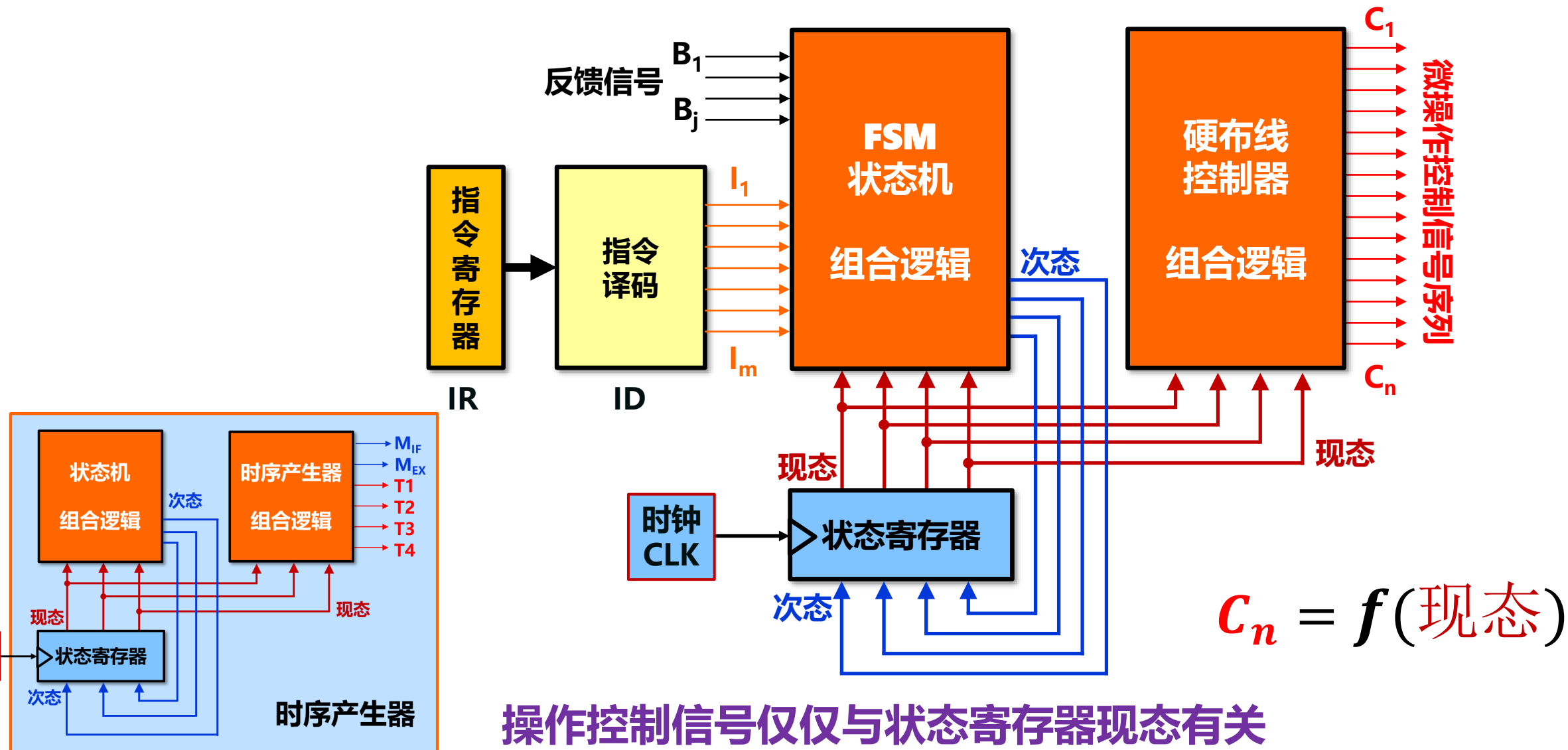
1 单总线结构CPU控制信号表

节拍	控制信号(4 cycles)	
T1	S ₀	PC _{out} , AR _{in} , X _{in}
T2	S ₁	+1, Read
T3	S ₂	Z _{out} , PC _{in} , DRE _{in} , Read
T4	S ₃	DR _{out} , IR _{in}

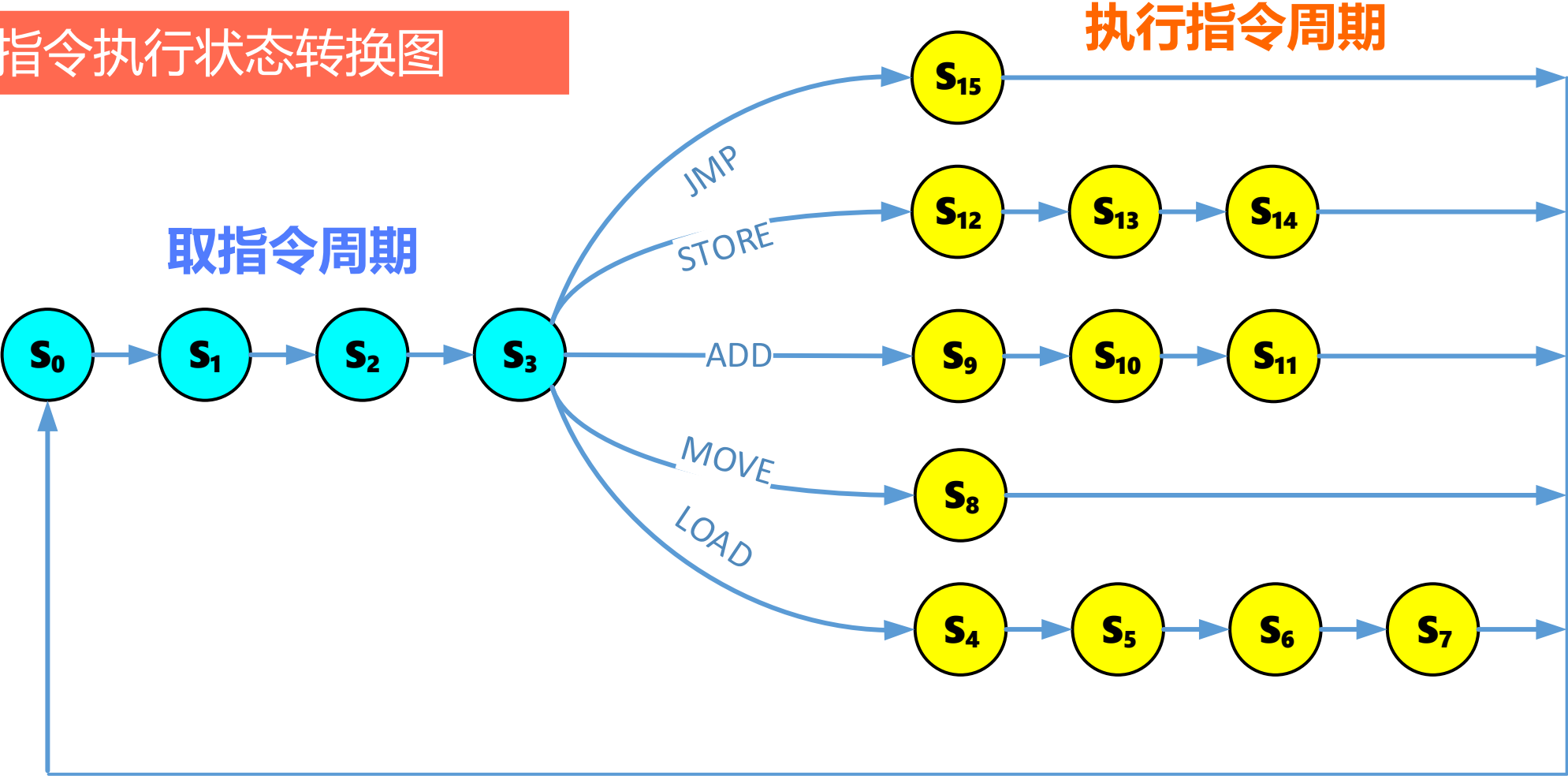
执行周期

节拍	LOAD (4 cycles)	MOVE (1 cycles)	ADD (3 cycles)	STORE (3 cycles)	JMP (1 cycles)
T5	S ₄ IR _{out} , AR _{in}	S ₈ IR _{out} , R1 _{in}	S ₉ R0 _{out} , X _{in}	S ₁₂ R2 _{out} , AR _{in}	S ₁₅ IR _{out} , PC _{in}
T6	S ₅ Read		S ₁₀ R1 _{out} , ADD	S ₁₃ R0 _{out} , DR _{in}	
T7	S ₆ DRE _{in} , Read		S ₁₁ Z _{out} , R0 _{in}	S ₁₄ DRE _{out} , Write	
T8	S ₇ DR _{out} , R0 _{in}				

- 定长指令周期：传统三级时序
 - ◆ 2个机器周期，8个时钟周期、慢、设计简单
- 变长指令周期：现代时序
 - ◆ 时钟周期数可变，快，设计复杂



3 指令执行状态转换图



现态	LOAD	MOVE	ADD	STORE	JMP	次态
S0	X	X	X	X	X	S1
S1	X	X	X	X	X	S2

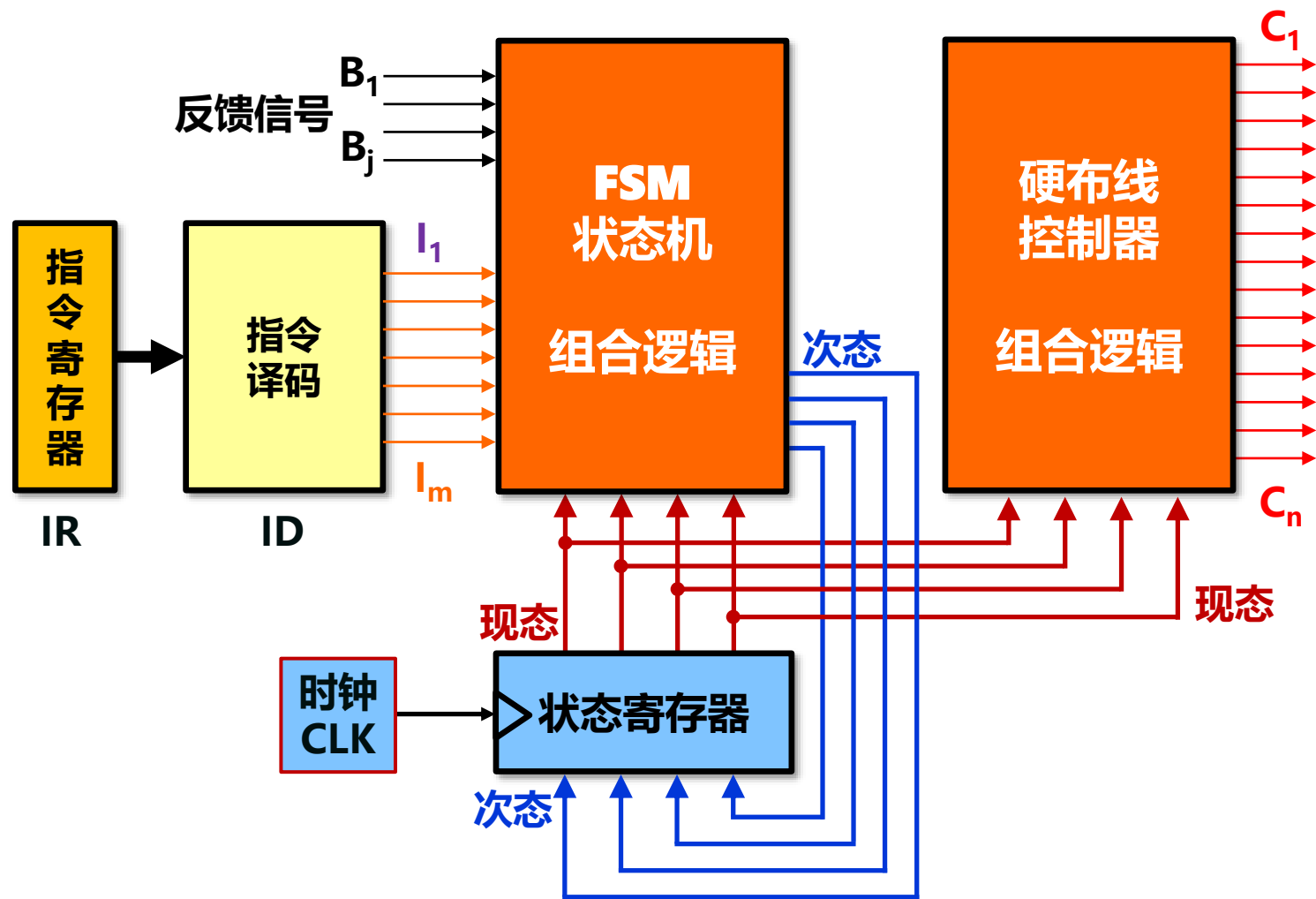
4 有限状态机真值表

	现态	LOAD	MOVE	ADD	STORE	JMP	次态
取指令周期状态	S0	X	X	X	X	X	S1
	S1	X	X	X	X	X	S2
	S2	X	X	X	X	X	S3
	S3	1					S4
	S3		1				S8
	S3			1			S9
	S3				1		S12
	S3					1	S15
LOAD	S4	X	X	X	X	X	S5
	S5	X	X	X	X	X	S6
	S6	X	X	X	X	X	S7
	S7	X	X	X	X	X	S0
MOVE	S8	X	X	X	X	X	S0

JMP	S15						S0

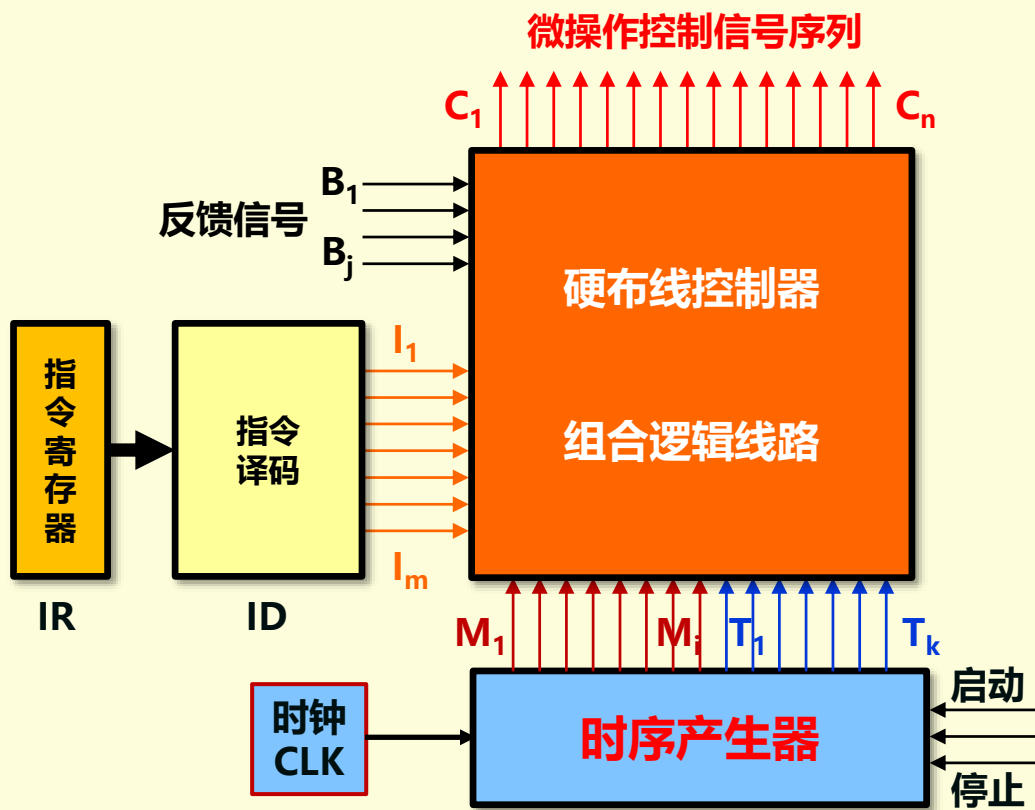
5 可变周期硬布线控制器设计步骤

1. 列出所有机器指令的指令周期流程图，明确每个节拍的控制信号；
2. 绘制指令执行状态转换图
3. 根据状态转换图构建状态机真值表，实现有限状态机组合逻辑
4. 实现控制器组合逻辑电路

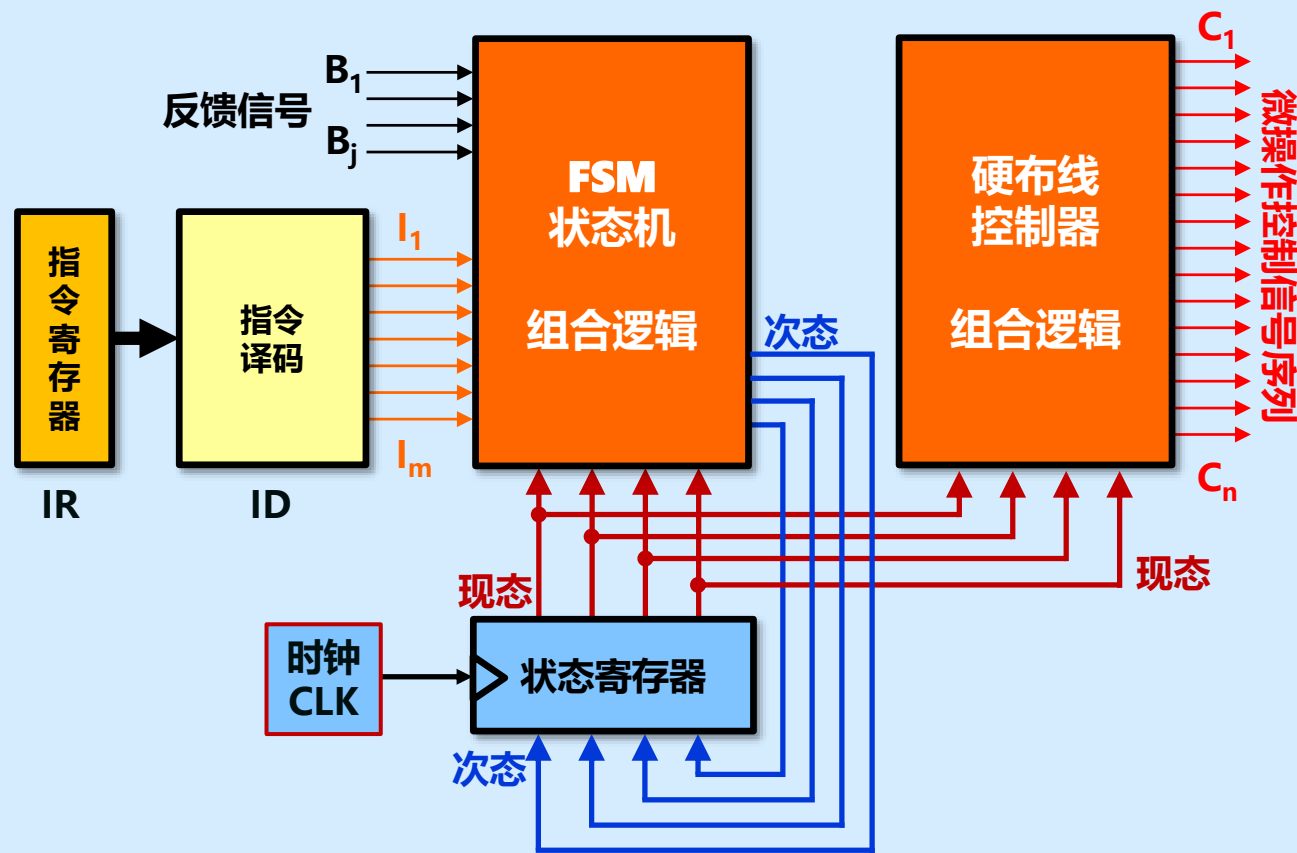


6

传统时序与现代时序对比



现代时序：指令周期可变，快，复杂





谢谢!