

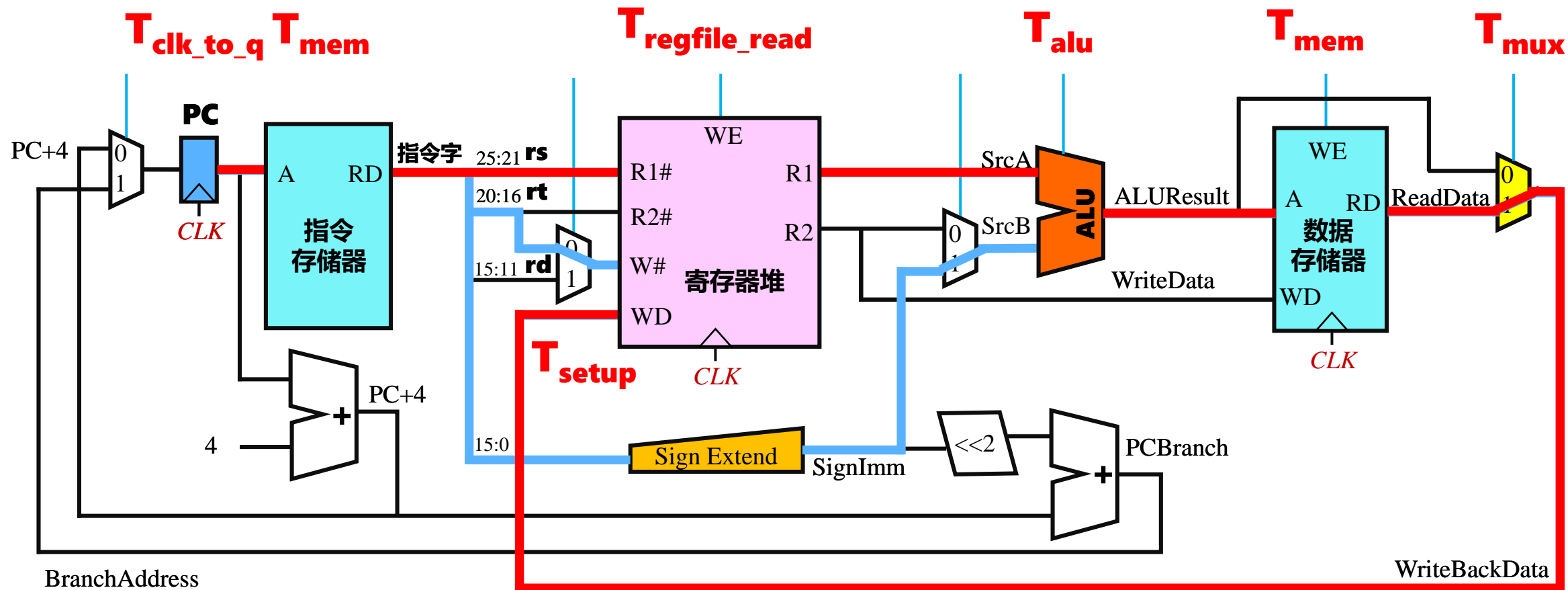
# 计算机组成原理

## 第六章 中央处理器

### 6.15 多周期MIPS CPU数据通路1

1

单周期MIPS关键路径 LW指令

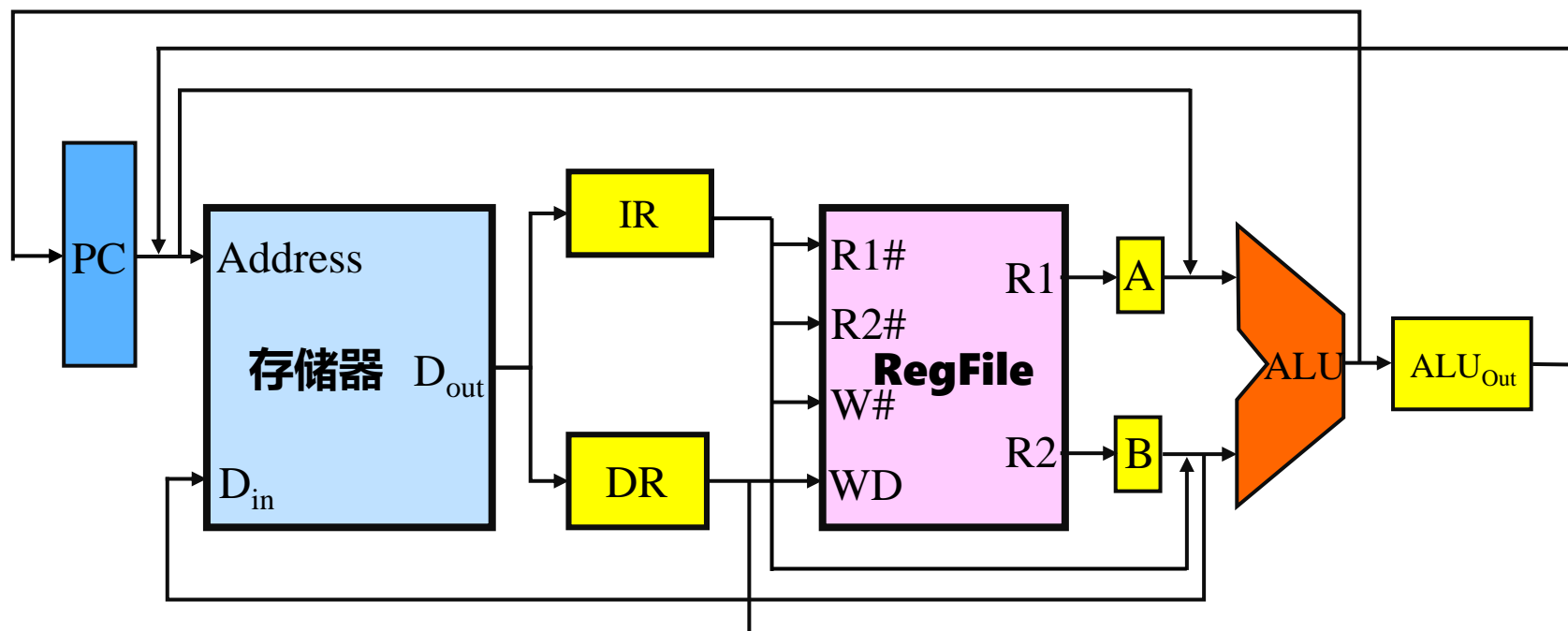


性能取决于最慢的指令，时钟周期过长

2

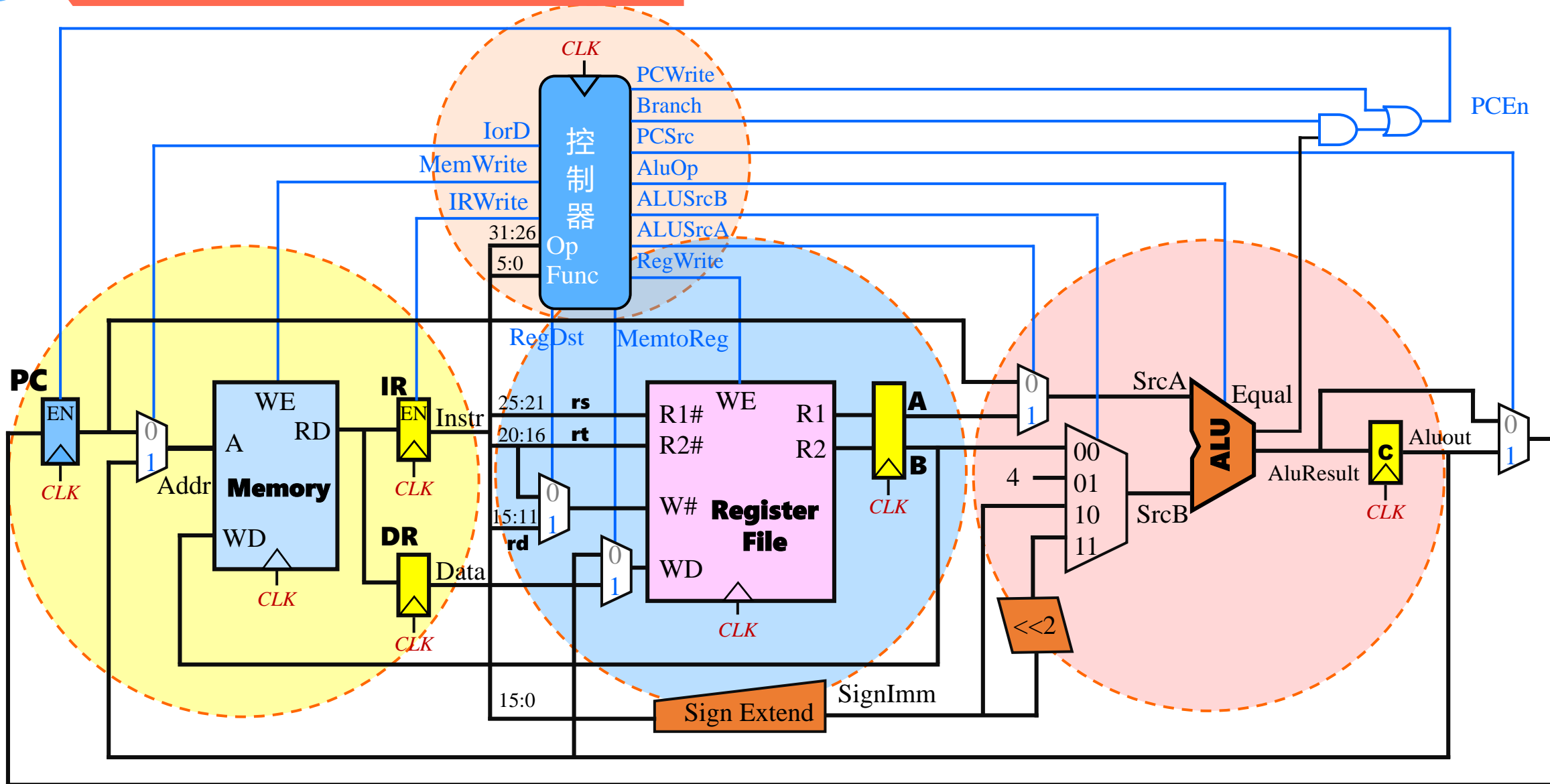
## 多周期MIPS数据通路特点

- 不再区分指令存储器和数据存储器，分时使用部分功能部件
- 主要功能单元输出端增加寄存器锁存数据
- 传输通路延迟变小，时钟周期变短



3

## 多周期MIPS CPU数据通路

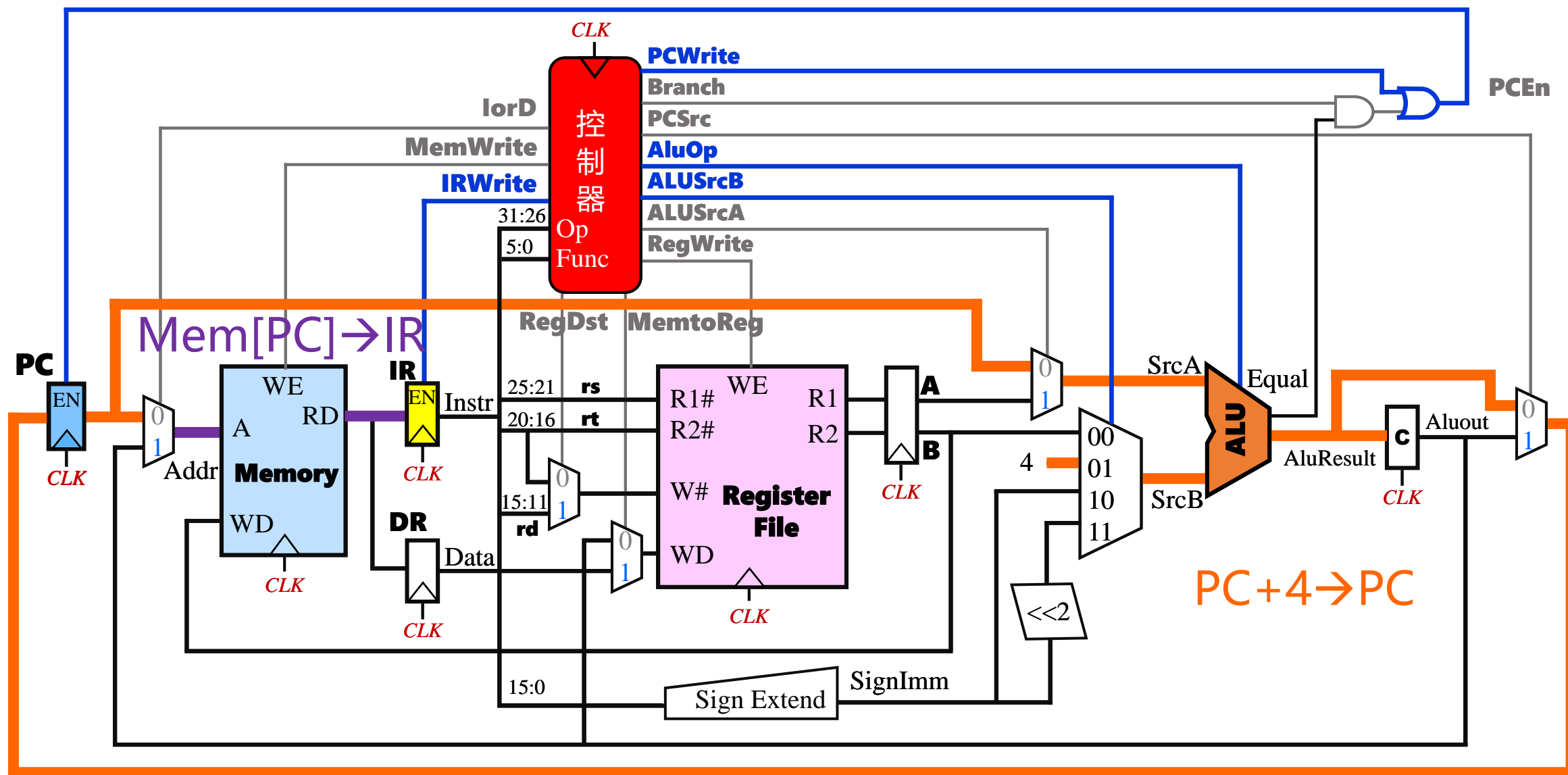


4

多周期MIPS取指令阶段T1

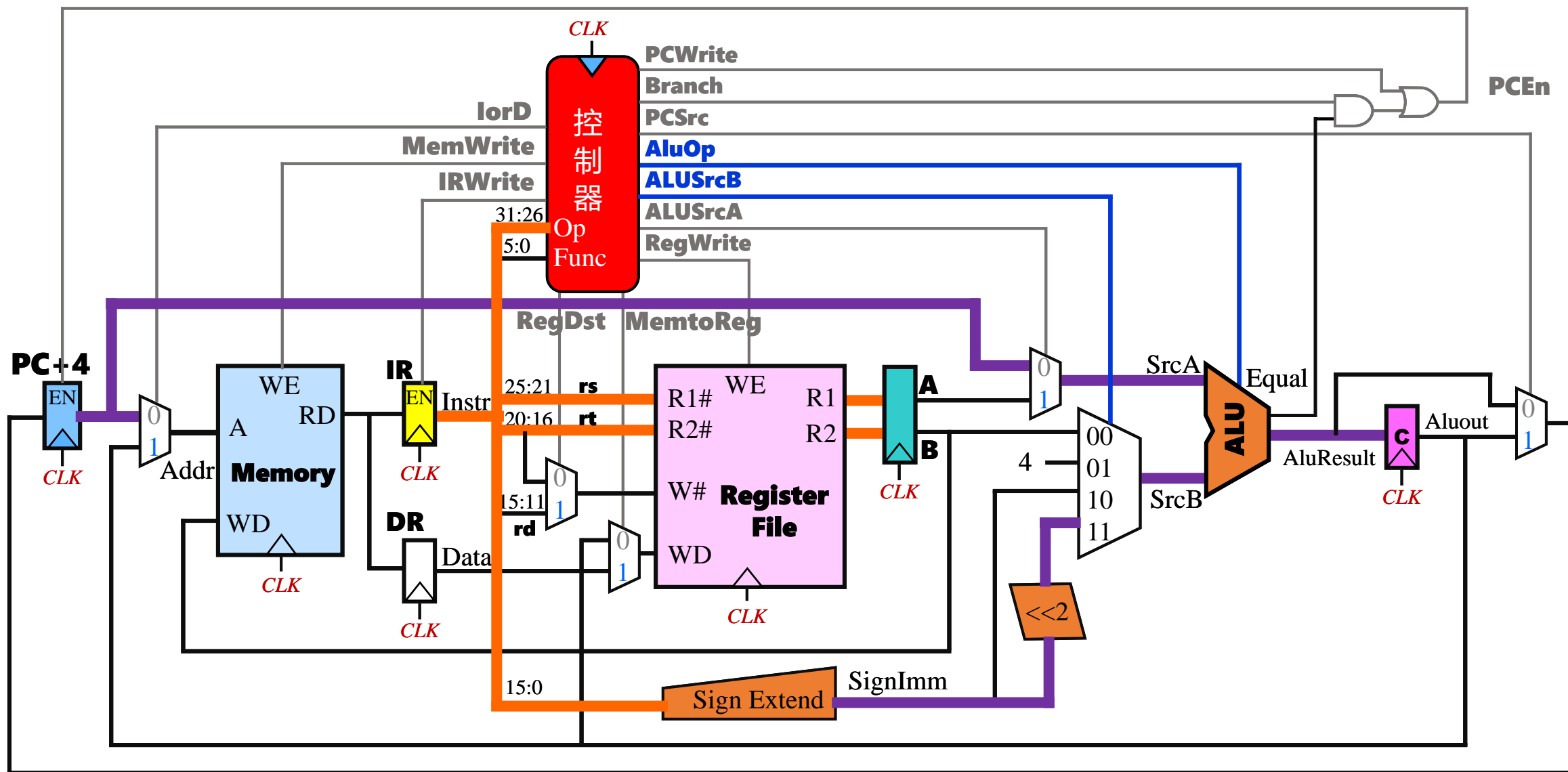
Mem[PC]→IR

PC+4→PC



5

多周期MIPS取指令阶段T2

译码、 $\text{Reg} \rightarrow \text{A}$ 、 $\text{B}$ 、 $\text{PC}+4+\text{Imm}16 \ll 2 \rightarrow \text{C}$ 



谢谢!