

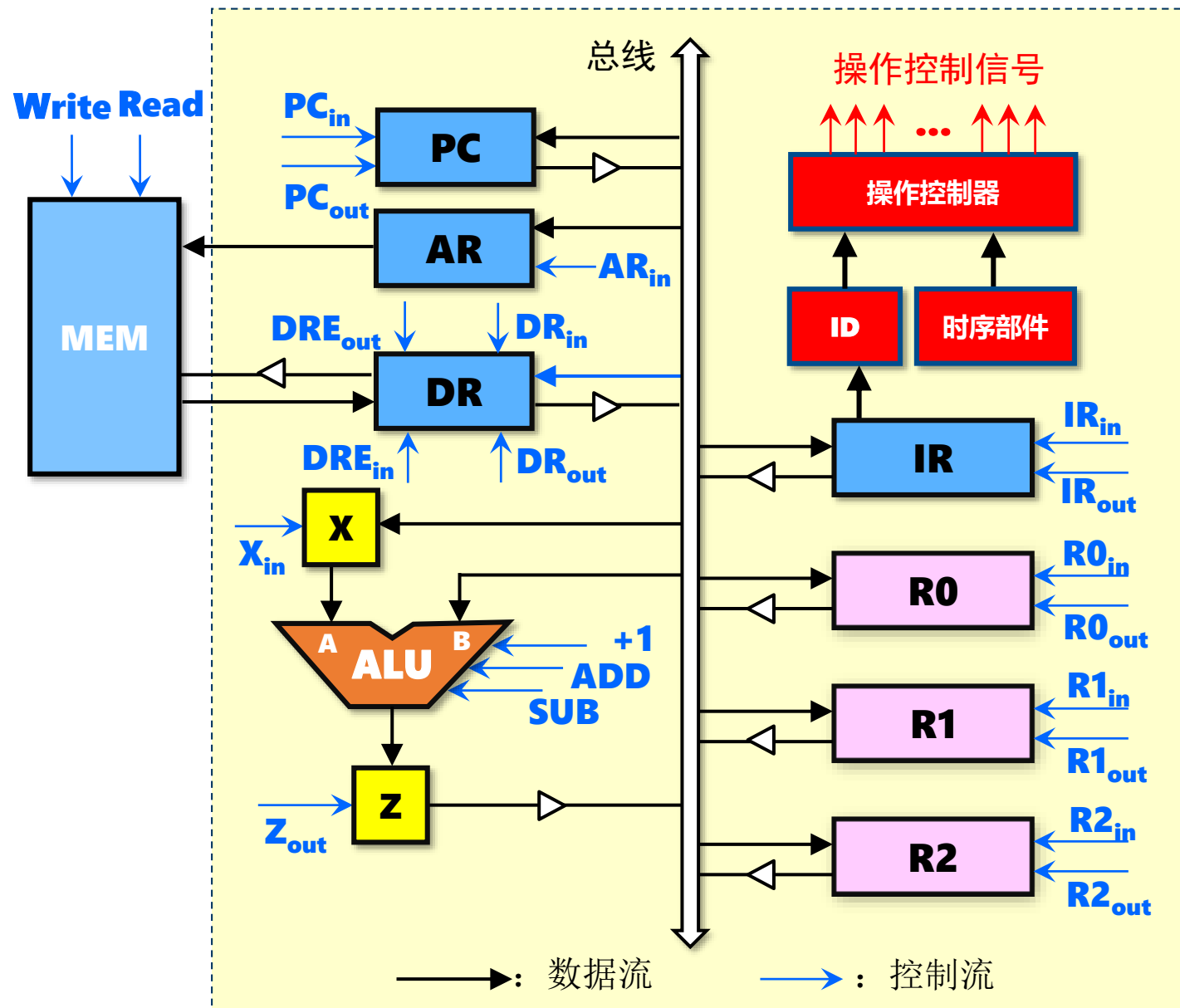
# 计算机组成原理

## 第六章 中央处理器

### 6.6 总线结构CPU指令周期 (1)

1

## 单总线结构CPU

1. **LOAD R0,6#**2. **MOVE R1,10**3. **ADD R0,R1**4. **STORE R0,(R2)**5. **JMP 1000**

1

单总线结构CPU

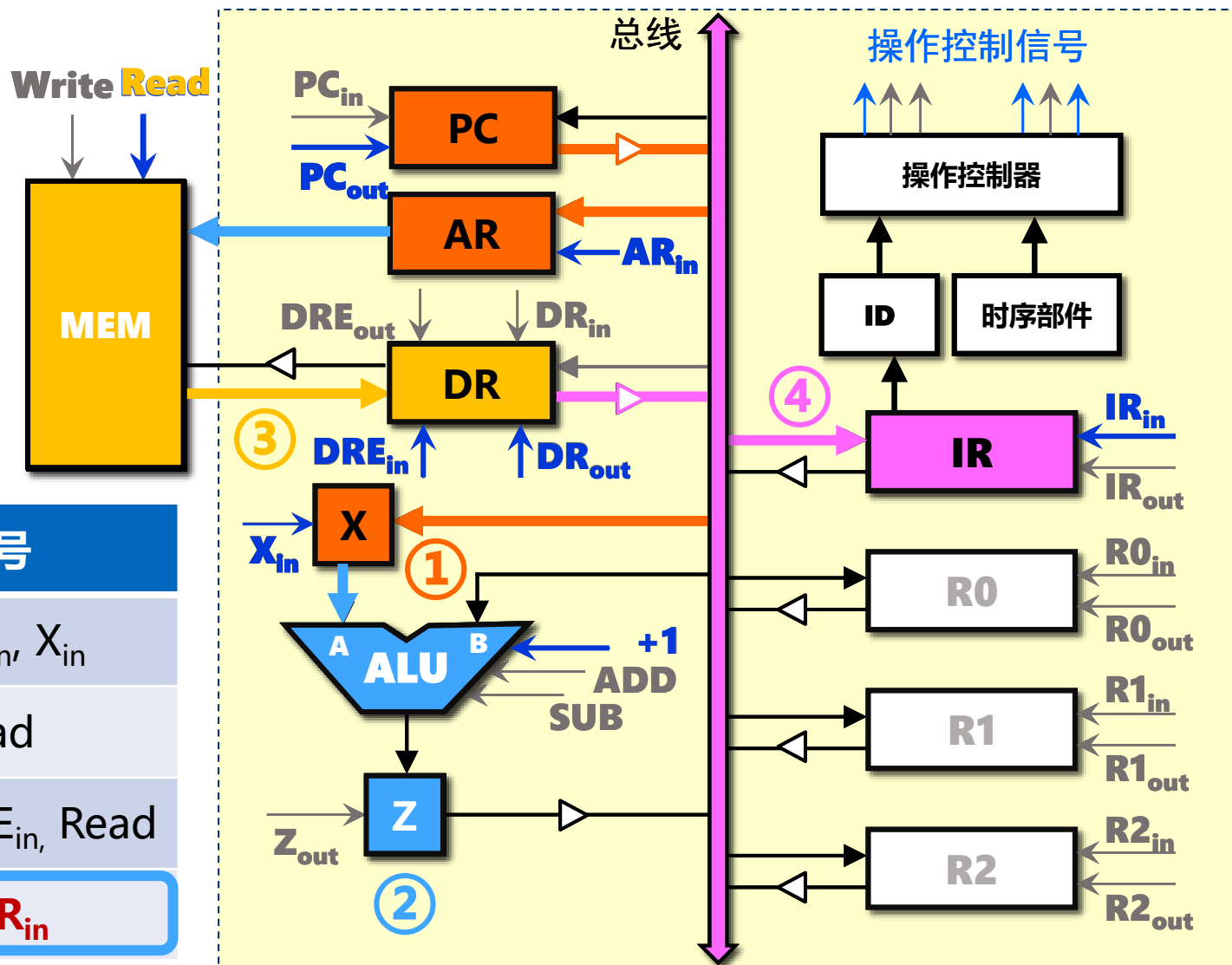
#	指令	指令功能
1	<b>LOAD R0,6#</b>	<b>Mem[6] → R0</b>
2	<b>MOVE R1,10</b>	<b>10 → R1</b>
3	<b>ADD R0,R1</b>	<b>(R0) + (R1) → R0</b>
4	<b>STORE R0,(R2)</b>	<b>(R0) → Mem[(R2)]</b>
5	<b>JMP 1000</b>	<b>1000 → PC</b>

1

取指令数据通路

 $\text{Mem}[\text{PC}++]\rightarrow\text{IR}$ 

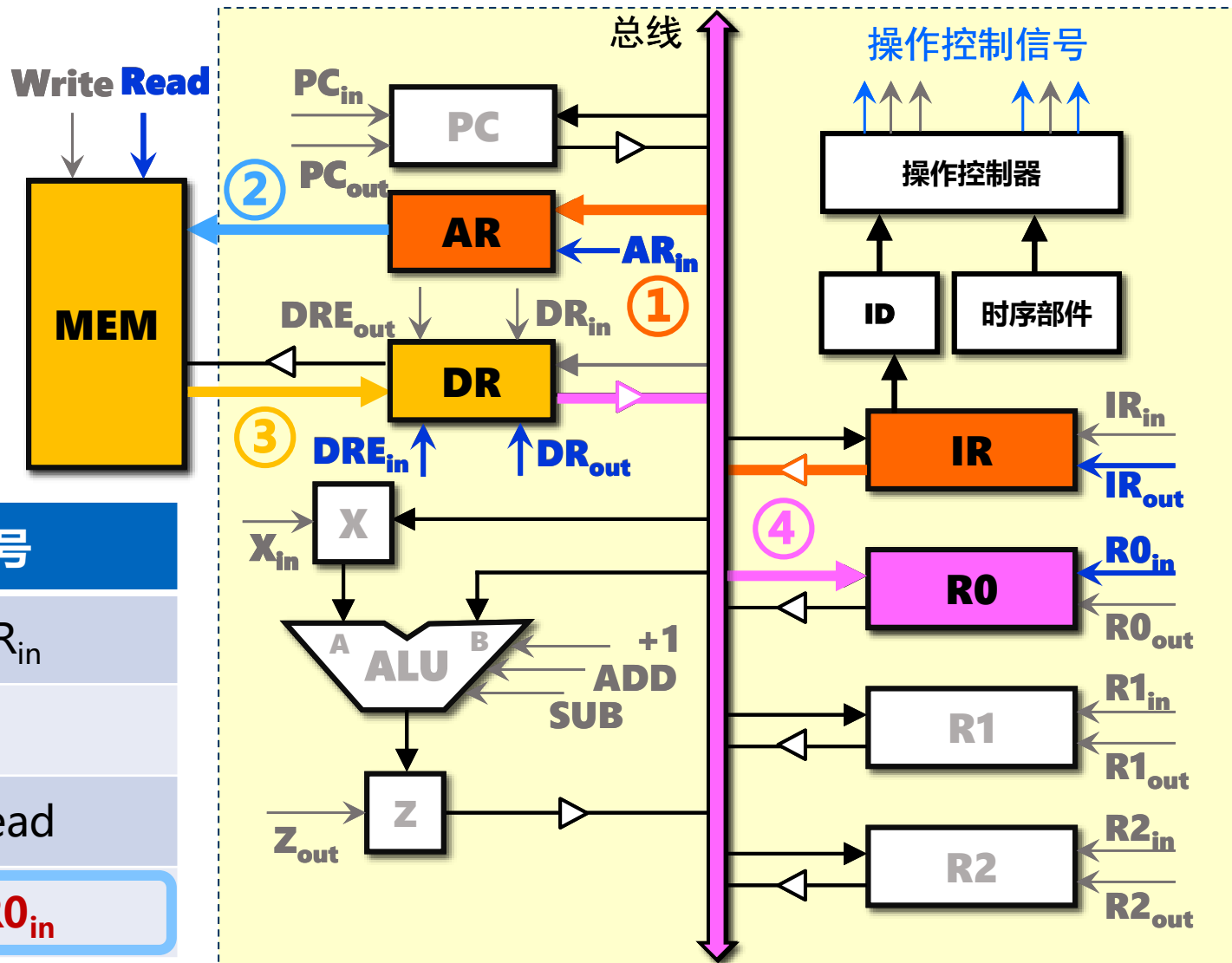
节拍	数据通路	控制信号
T1	$(\text{PC})\rightarrow\text{AR}, (\text{PC})\rightarrow\text{X}$	$\text{PC}_{\text{out}}, \text{AR}_{\text{in}}, \text{X}_{\text{in}}$
T2	$(\text{X})+1\rightarrow\text{Z}$	$+1, \text{Read}$
T3	$(\text{Z})\rightarrow\text{PC}, \text{Mem}[\text{AR}]\rightarrow\text{DR}$	$\text{Z}_{\text{out}}, \text{PC}_{\text{in}}, \text{DRE}_{\text{in}}, \text{Read}$
<b>T4</b>	<b><math>(\text{DR})\rightarrow\text{IR}</math></b>	<b><math>\text{DR}_{\text{out}}, \text{IR}_{\text{in}}</math></b>



## LOAD指令执行数据通路

# Mem[IR<sub>A</sub>] → Reg

节拍	数据通路	控制信号
T1	$(IR_A) \rightarrow AR, (PC) \rightarrow X$	$IR_{out}, AR_{in}$
T2		Read
T3	$Mem[AR] \rightarrow DR$	$DRE_{in}, Read$
<b>T4</b>	<b><math>(DR) \rightarrow R0</math></b>	<b><math>DR_{out}, R0_{in}</math></b>





谢谢!