

计算机组成原理

第六章 中央处理器

6.13 单周期MIPS CPU (1)

1

MIPS CPU控制器设计

■ 定长指令周期：单周期实现

◆ 所有指令均在一个时钟周期内完成，**CPI=1**

◆ 性能取决于最慢的指令，时钟周期过长

■ 变长指令周期：多周期实现

■ 缩短时钟周期，复用器件或数据通路

■ 可支持流水操作，提升性能

2

MIPS指令格式



3

R型指令格式

R 型指令

6bits

OP

5bits

 R_s

5bits

 R_t

5bits

 R_d

5bits

shamt

6bits

funct

■ add \$s1, \$s2, \$s3

0

18

19

17

0

32

■ sub \$s0, \$s1, \$s2

0

17

18

16

0

34

■ sll \$s0, \$s1, 2

0

0

17

16

2

0

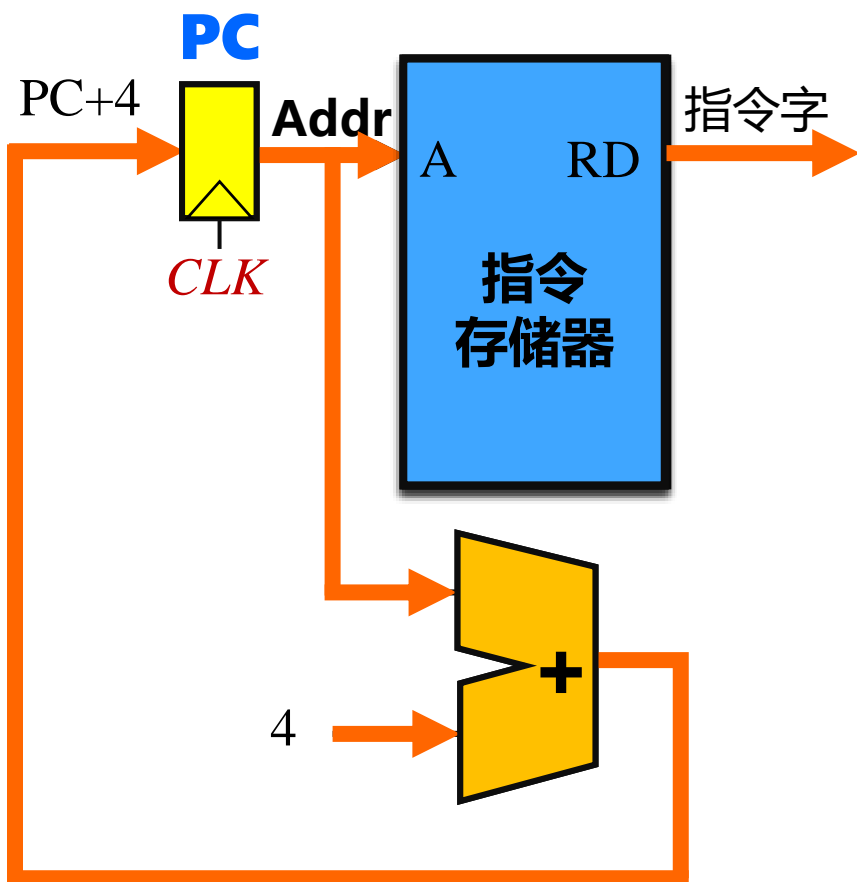
4

I型指令格式



5

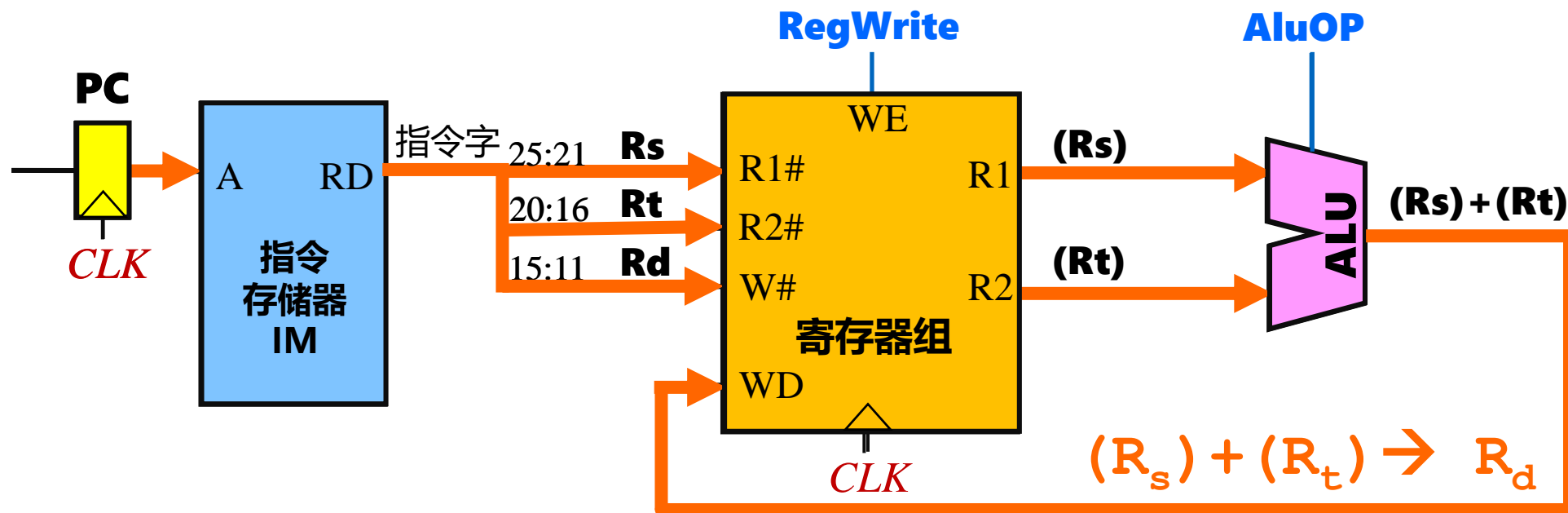
取指令数据通路


$$\text{Mem}[\text{PC}++] \rightarrow \text{IR}$$

- 单周期不能设置AR, DR, IR寄存器
- 程序和数据分开存放——哈佛结构
 - ◆ 指令存储器 数据存储器
 - ◆ 指令cache 数据cache
- 运算器和PC累加器分离

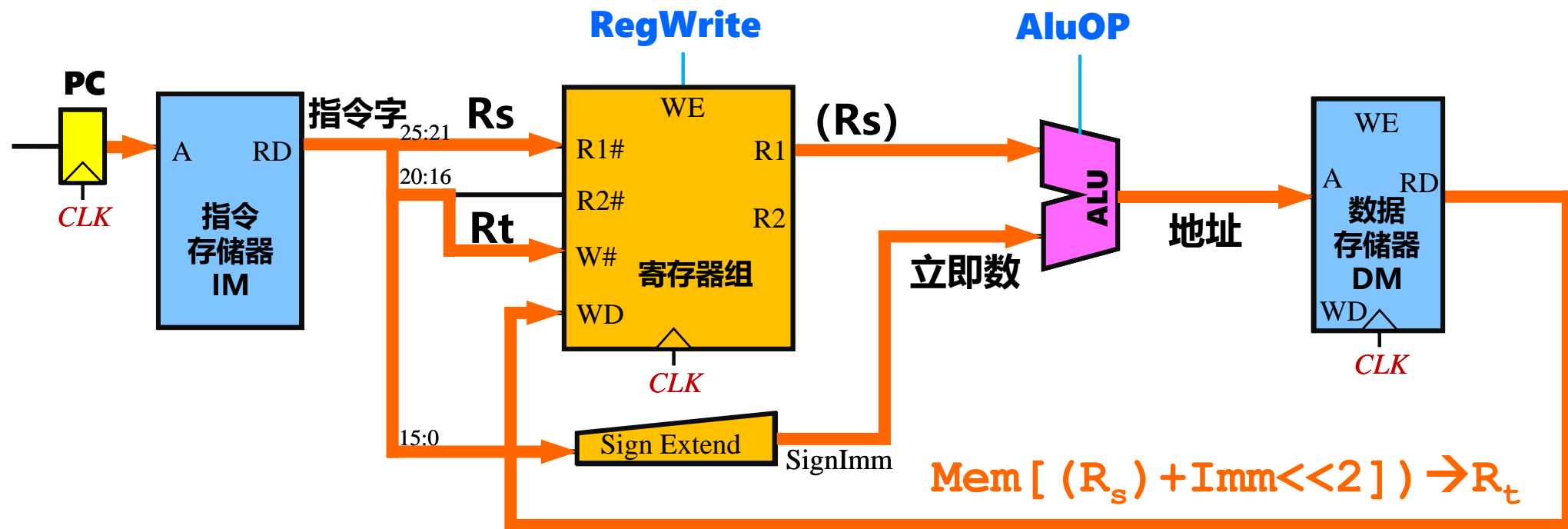
6

R型指令数据通路

`add $s0, $s1, $s2`

7

lw指令数据通路

`lw $s0, 32($s1)`

6bits

5bits

5bits

16bits

OP

 R_s R_t

立即数

SW指令数据通路



16bits

立即数



谢谢!