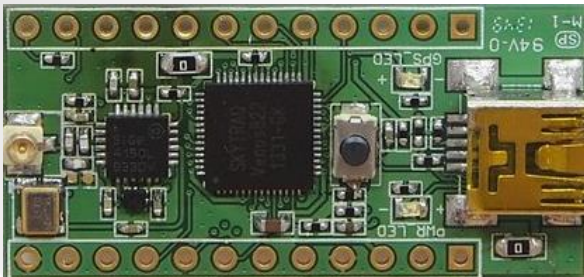


# 计算机组成原理

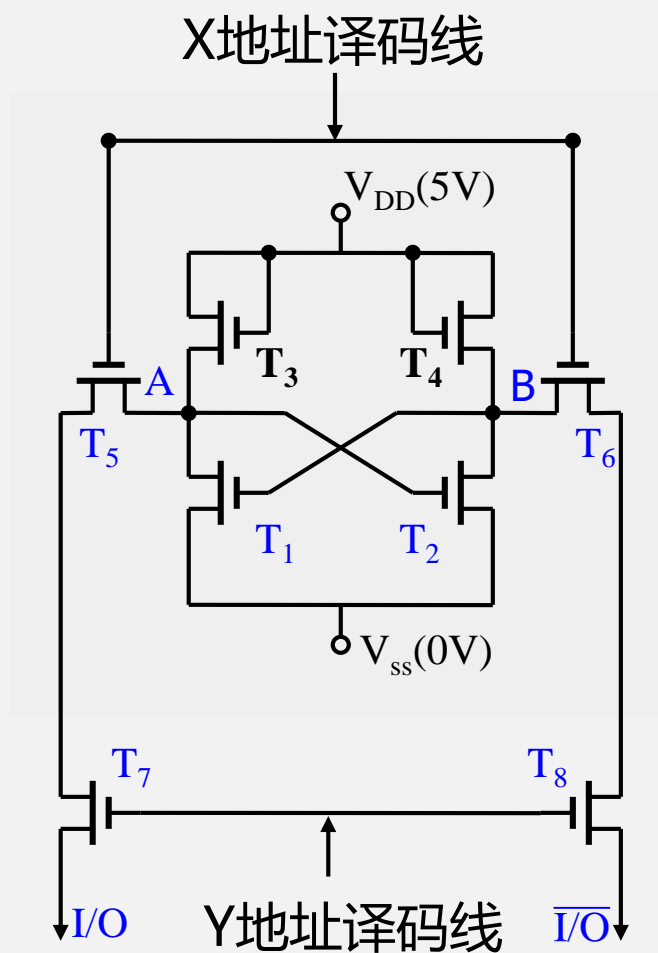
## 第四章 存储系统

### 4.4 动态存储器工作原理



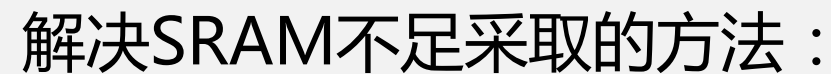
1

## SRAM存储单元的不足



- 晶体管过多
- 存储密度低
- 功耗大

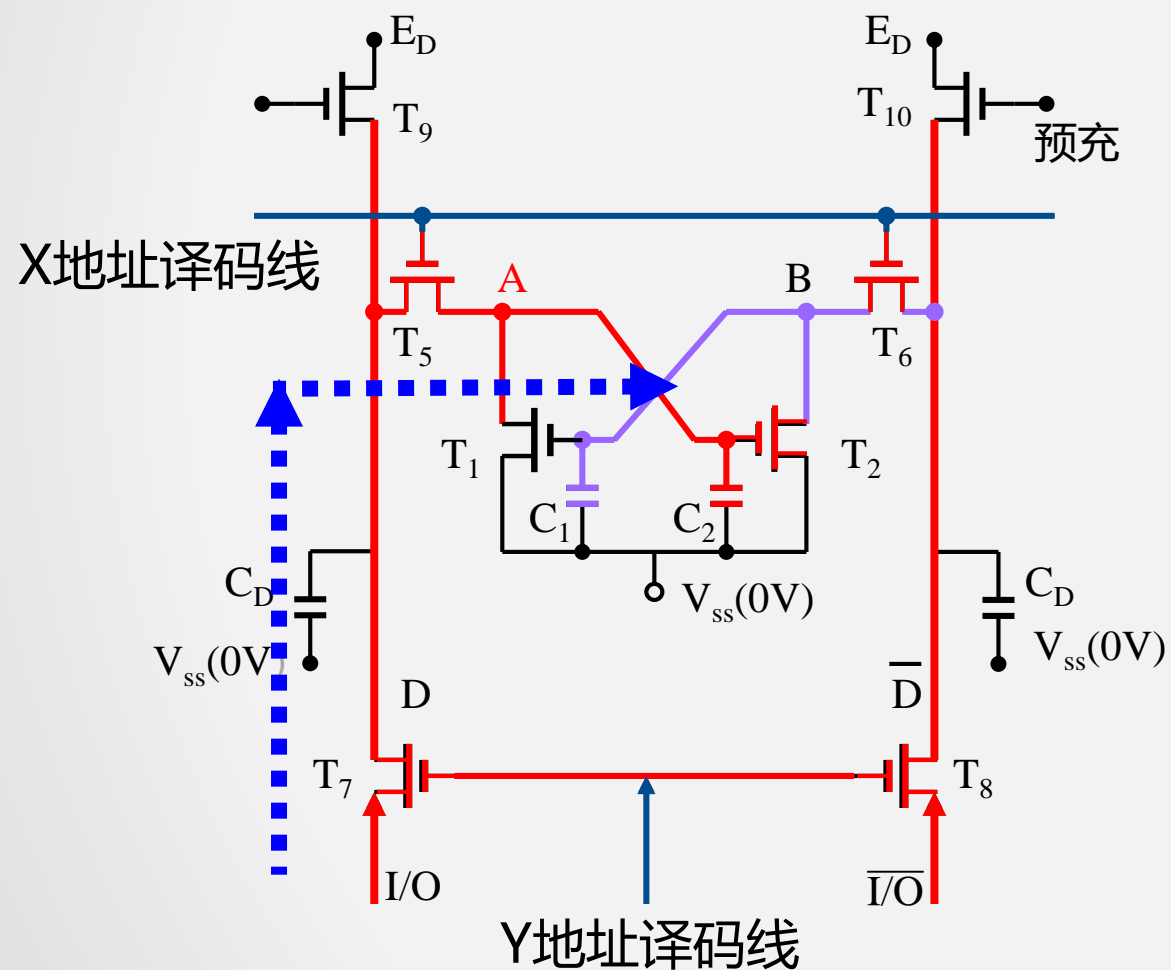
# DRAM存储单元的基本结构



- ## ■ 增加电路协同存储单元工作

## 3

## DRAM存储单元的工作原理

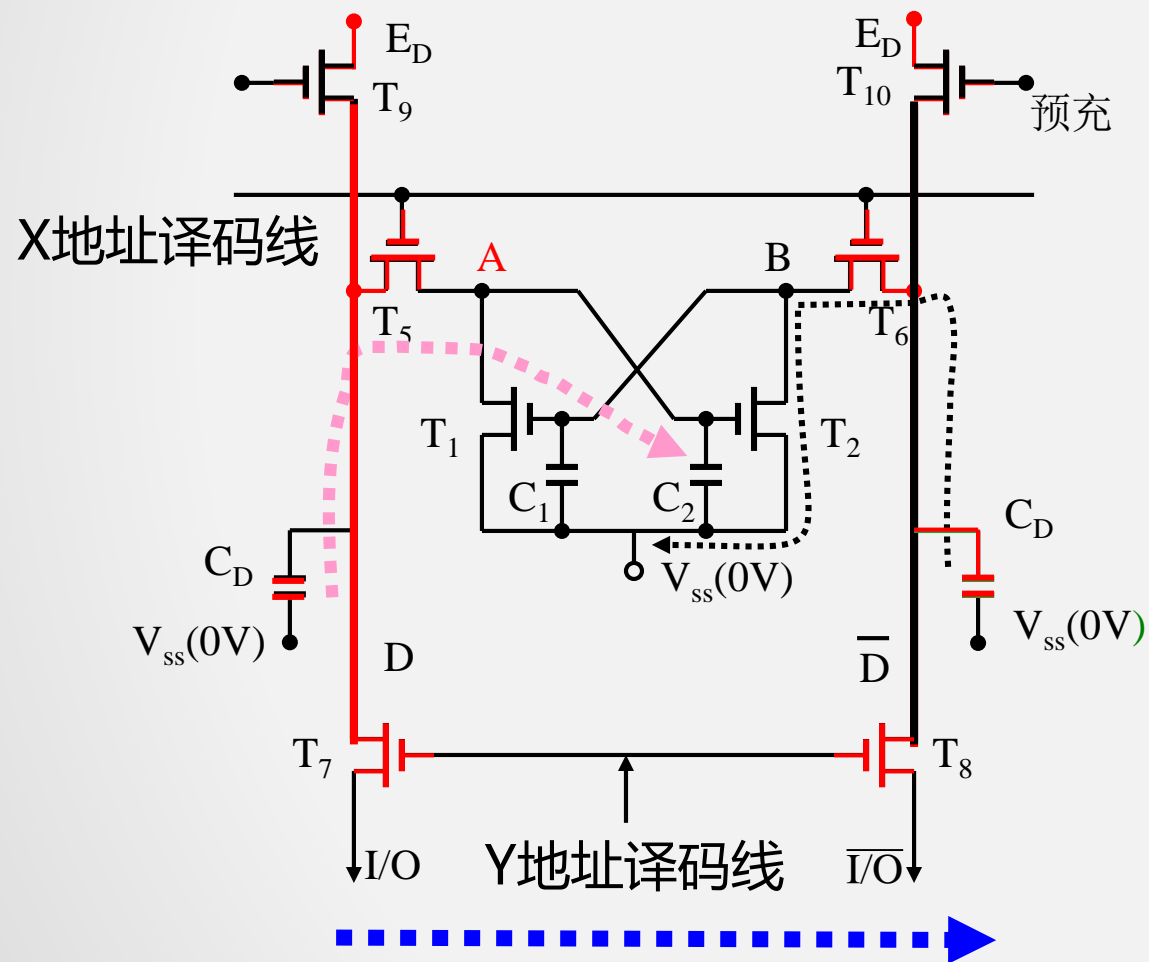


## 写操作

- Y地址选通
  - $T_7$ 、 $T_8$ 管导通
  - I/O端数据写入到位线
- X地址选通
  - $T_5$ 、 $T_6$ 管导通
  - 位线与 $C_2$ 、 $C_1$ 相连

## 3

## DRAM存储单元的工作原理

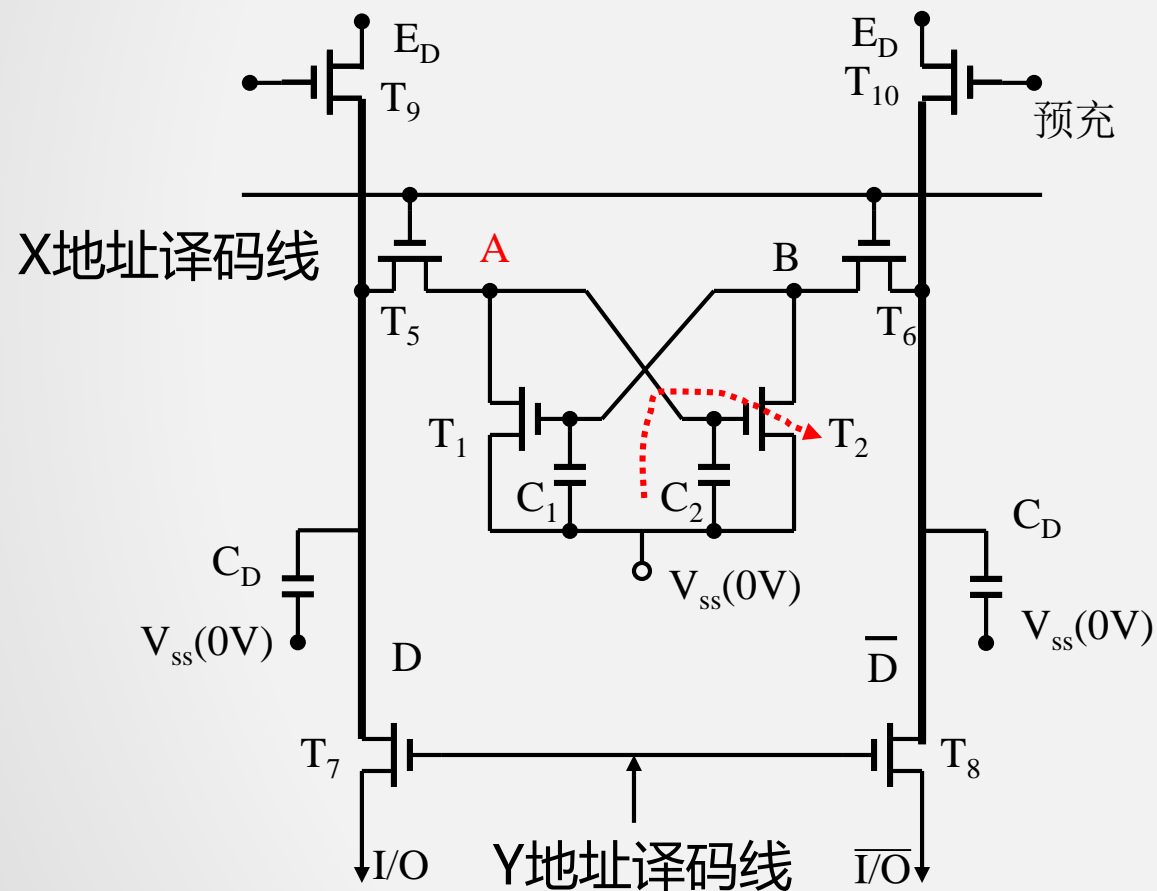


## 读操作

- 给出预充信号
- $T_9$ 、 $T_{10}$ 导通
- 充电电压给 $C_D$ 充电（充满）
- 撤除预充信号
- X地址选通
- $T_5$ 、 $T_6$ 管导通
- 右 $C_D$ 通过 $C_1$ 放电
- 左 $C_D$ 给 $C_2$ 充电
- Y地址选通
- $T_7$ 、 $T_8$ 管导通
- 左 $C_D$ 与右 $C_D$ 间形成放电电流
- 读过程比写复杂、速度慢

## 3

## DRAM存储单元的工作原理

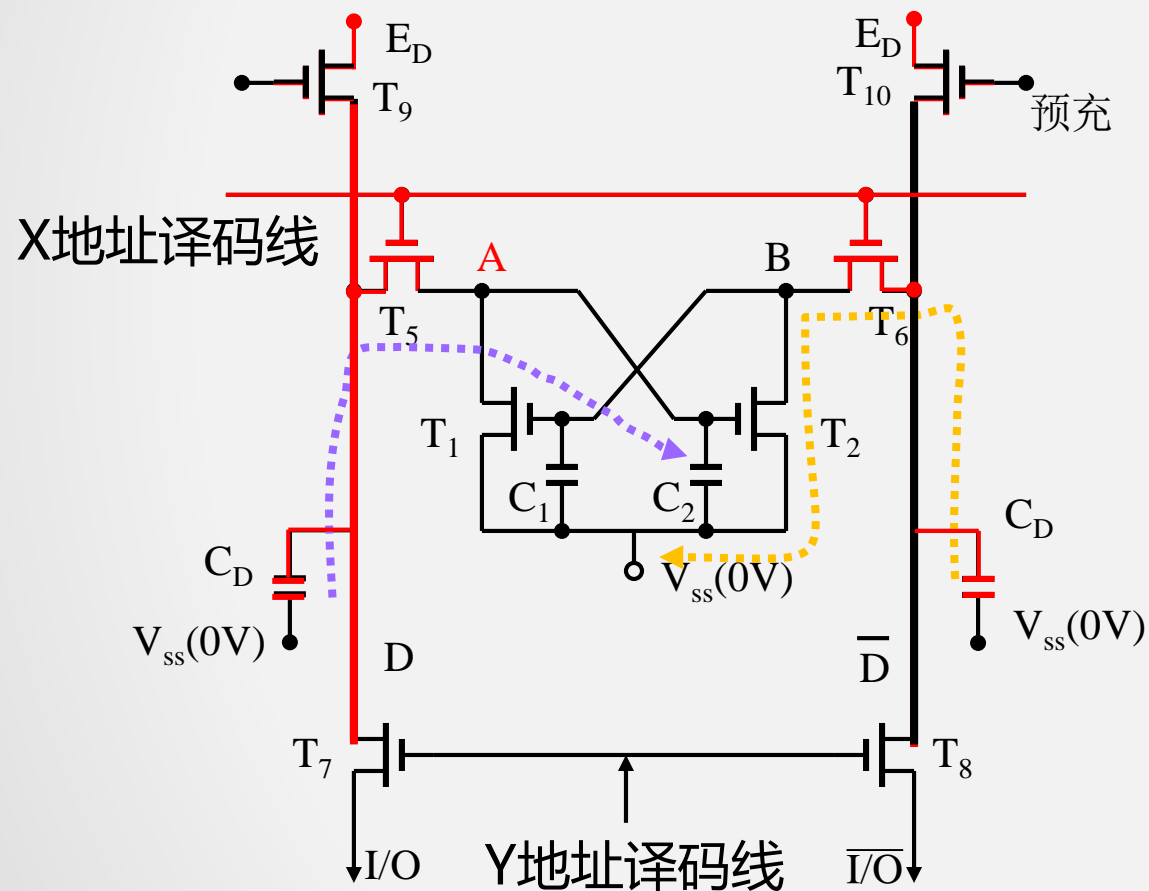


## 保持操作

- X地址选通信号撤销
- Y地址选通信号撤销
- 栅极电容容量有限，可持续的时间很短

## 3

## DRAM存储单元的工作原理

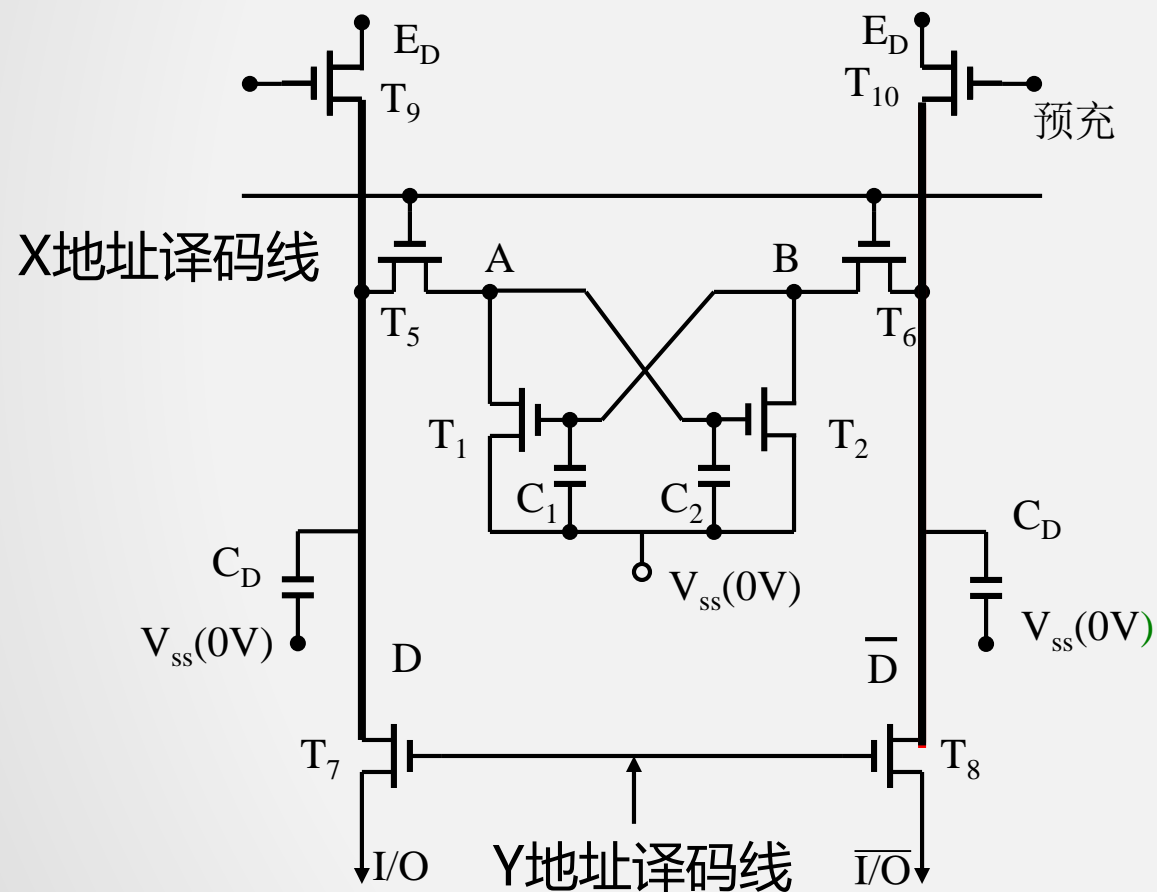


## 刷新操作

- 给出预充信号
- $T_9$ 、 $T_{10}$ 导通
- 充电电压给左右 $C_D$ 充电
- 撤除预充信号
- X地址选通
- $T_5$ 、 $T_6$ 管导通
- 右 $C_D$ 通过 $C_1$ 放电
- 左 $C_D$ 给 $C_2$ 充电

## 3

## DRAM存储单元的刷新



- **刷新周期**：两次刷新之间的时间间隔；
- 双译码结构的DRAM刷新按**行**进行，需要知道DRAM芯片存储矩阵的**行数**；
- 刷新地址由**刷新地址计数器**给出。



## 4

## DRAM存储单元的刷新

假定刷新周期为2ms, DRAM 内部128行, 读写周期0.5 $\mu$ s

## 集中刷新



采用集中刷新的存储器平均读写周期

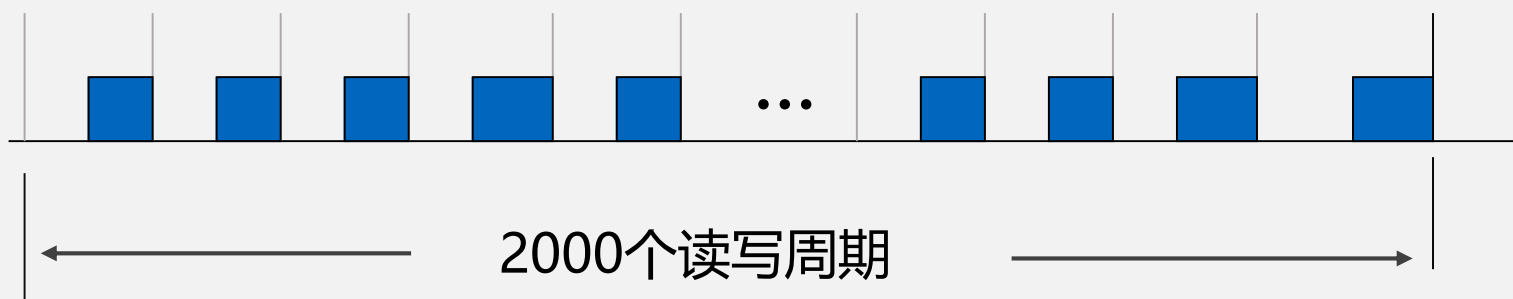
$$\overline{T} = 2\text{ms} / (4000 - 128) = 0.5165\mu\text{s}$$

## 4

## DRAM存储单元的刷新方式

假定刷新周期为2ms, DRAM 内部128行, 读写周期 $0.5\mu\text{s}$

分散刷新



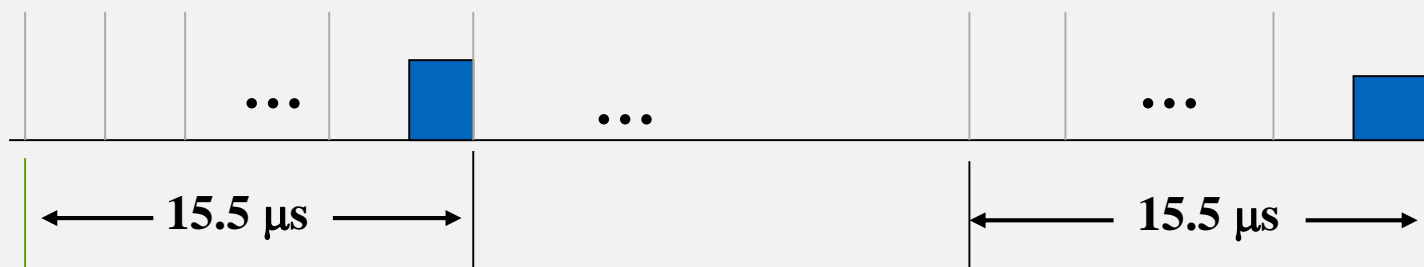
$$\overline{T} = 1 \mu\text{s}$$

## 4

## DRAM存储单元的刷新方式

假定刷新周期为2ms, DRAM 内部128行, 读写周期0.5 $\mu$ s

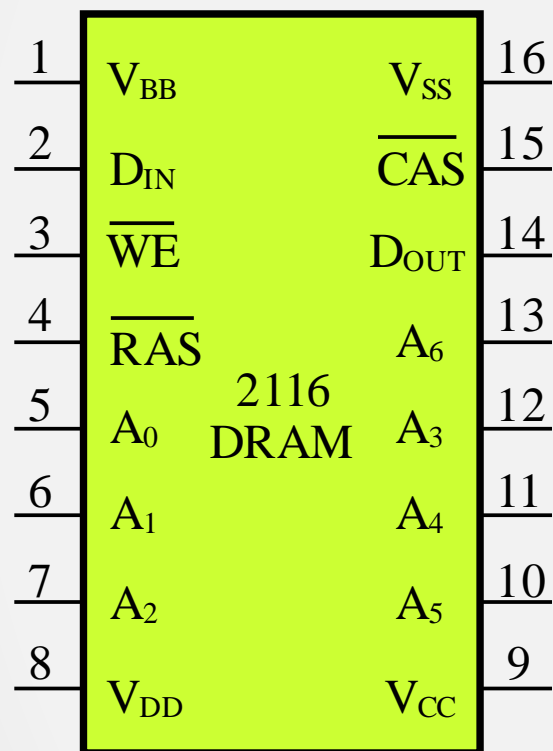
异步刷新



$$\overline{T} = 2\text{ms} / (4000 - 128) = 0.5165 \mu\text{s}$$

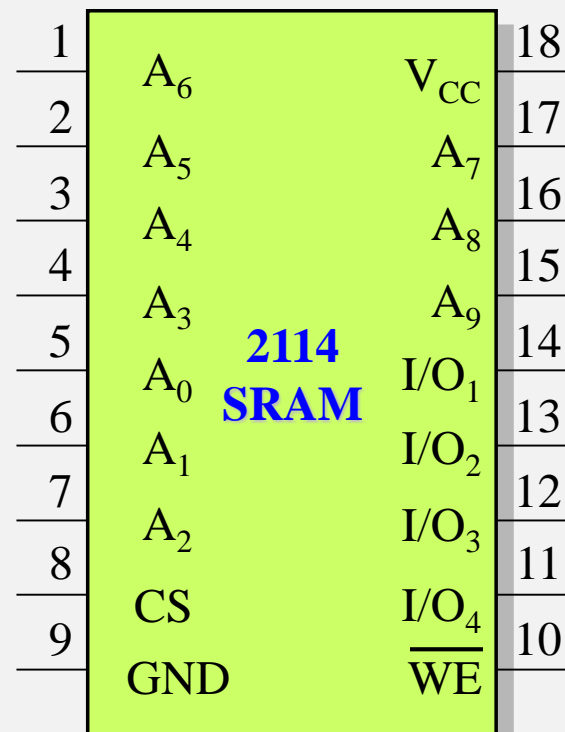
## 5

## DRAM与SRAM的对比

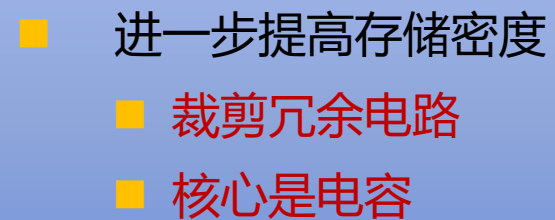


16K×1位

- 地址线
- 数据线
- 读写控制线
- RAS CAS
- 电源线
- 地线

DRAM: 地址线复用,  $\overline{RAS}$ 兼为片选信号

## 其它结构的DRAM存储单元



6

## 其它结构的DRAM存储单元

