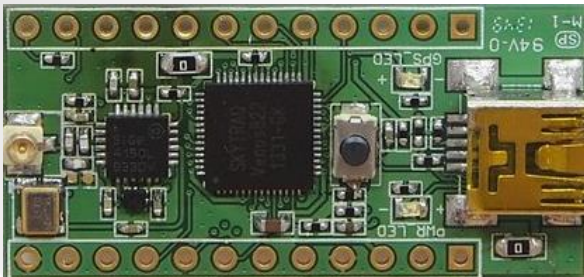


计算机组成原理

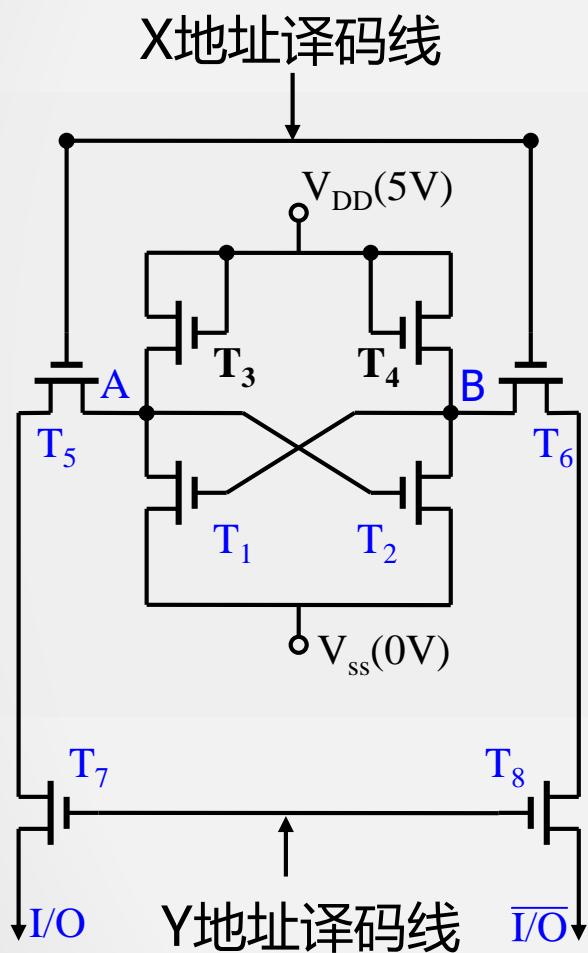
第四章 存储系统

4.3 静态存储器工作原理



1

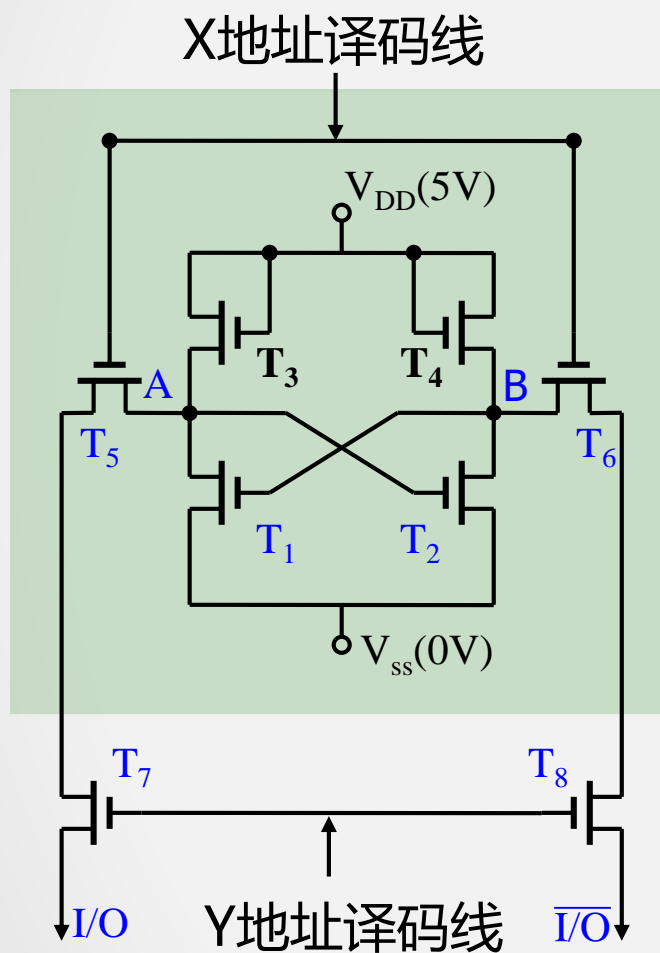
SRAM存储单元结构



- 工作管： T_1 、 T_2 (保存数据)
- 负载管： T_3 、 T_4 (补充电荷)
- 门控管： T_5 、 T_6 、 T_7 、 T_8 (开关作用)

2

SRAM存储单元工作原理



■ X地址选通（行选通）

□ T5、T6管导通

□ A点与位线相连

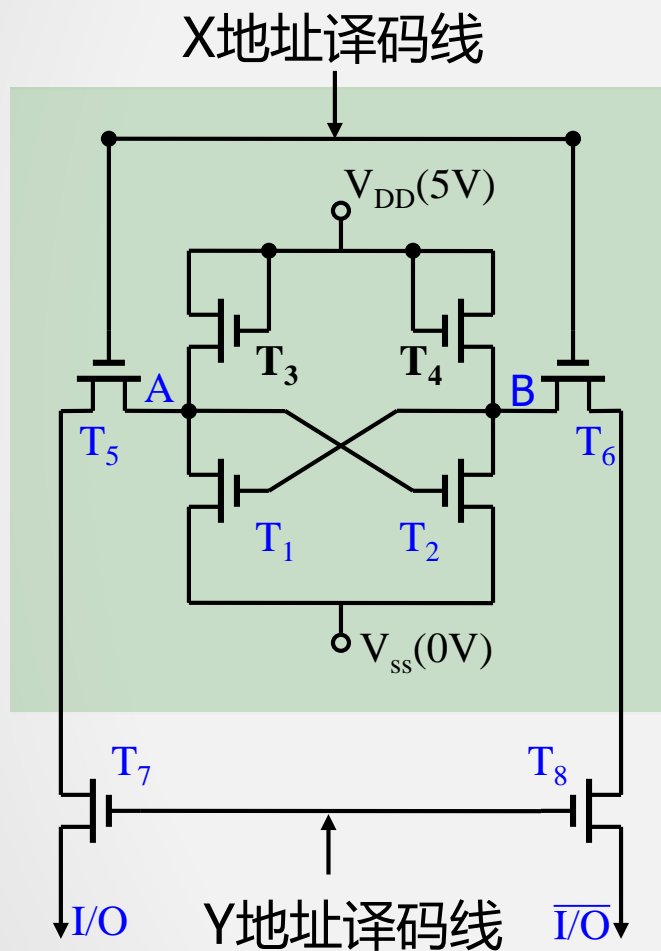
■ Y地址选通（列选通）

□ T7、T8管导通

□ A点电位输出到I/O端

2

SRAM存储单元工作原理



•写过程

X 有效 $\rightarrow T_5、T_6$ 通 $\rightarrow A$ 与 I/O 连通

Y 有效 $\rightarrow T_7、T_8$ 通 $\rightarrow B$ 与 $\overline{I/O}$ 连通

$I/O=1 \rightarrow A=1 \rightarrow T_2$ 通 $\rightarrow B=0 \rightarrow T_1$ 截止

$\overline{I/O}=0 \rightarrow B=0 \rightarrow T_1$ 截止 $\rightarrow A=1 \rightarrow T_2$ 通

此时, $T_1、T_2$ 形成了稳态: $A=1、B=0$

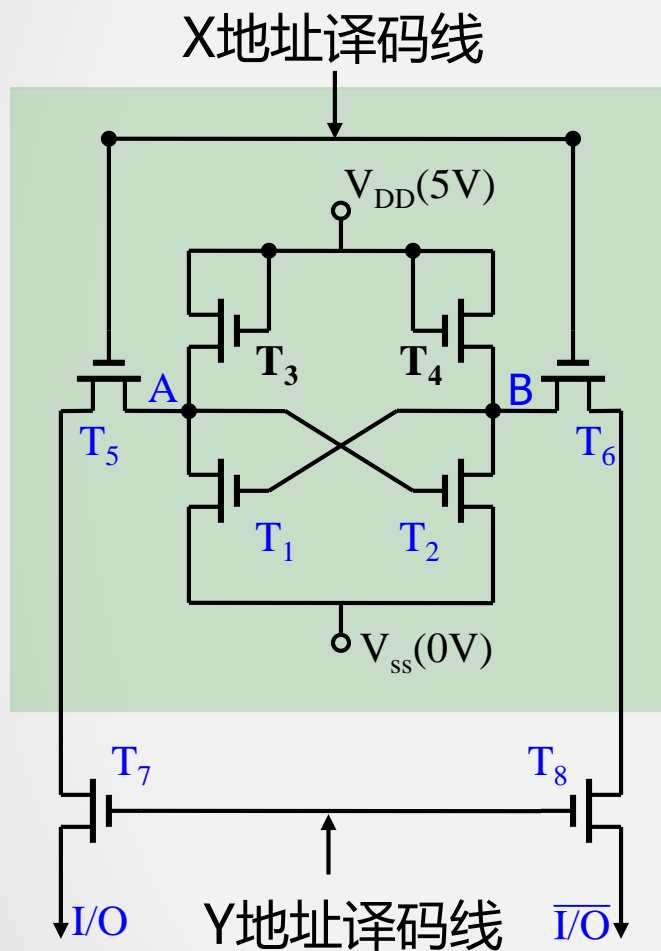
写1

$I/O=0 \rightarrow A=0 \rightarrow T_2$ 截止 $\rightarrow B=1 \rightarrow T_1$ 通

$\overline{I/O}=1 \rightarrow B=1 \rightarrow T_1$ 通 $\rightarrow A=0 \rightarrow T_2$ 截止

此时, $T_1、T_2$ 形成了稳态, $B=1、A=0$

写0



•读过程

X有效 \rightarrow T_5 、 T_6 通 \rightarrow A与 I/O 连通

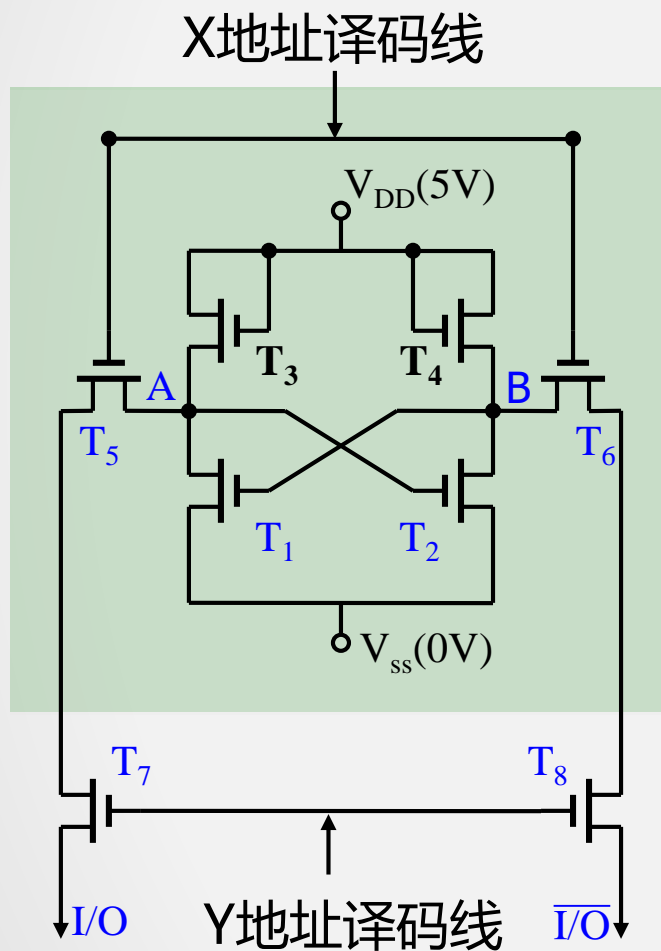
Y有效 \rightarrow T_7 、 T_8 通 \rightarrow B与 $\overline{\text{I/O}}$ 连通

通过外接于I/O与 $\overline{\text{I/O}}$ 间的电流放大器中的电流方向
可判断读出的是1还是0(与写入时定义的1和0有关)

无论读/写，都要求X和 Y 译码线同时有效

2

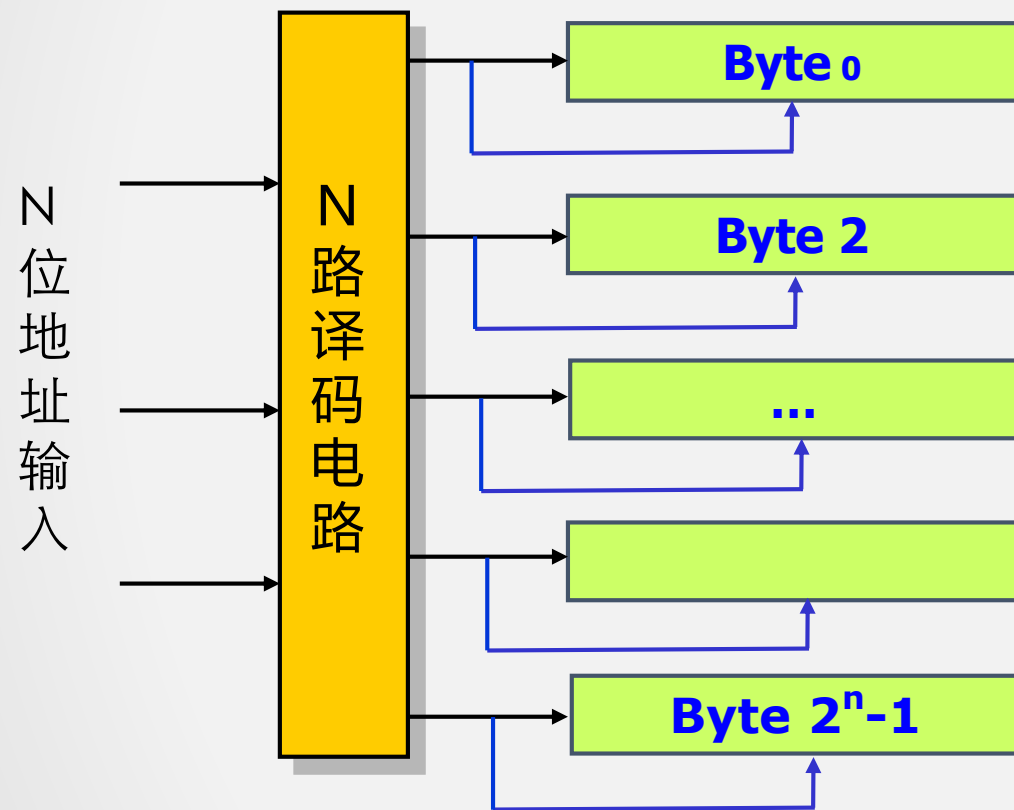
SRAM存储单元工作原理



- 保持

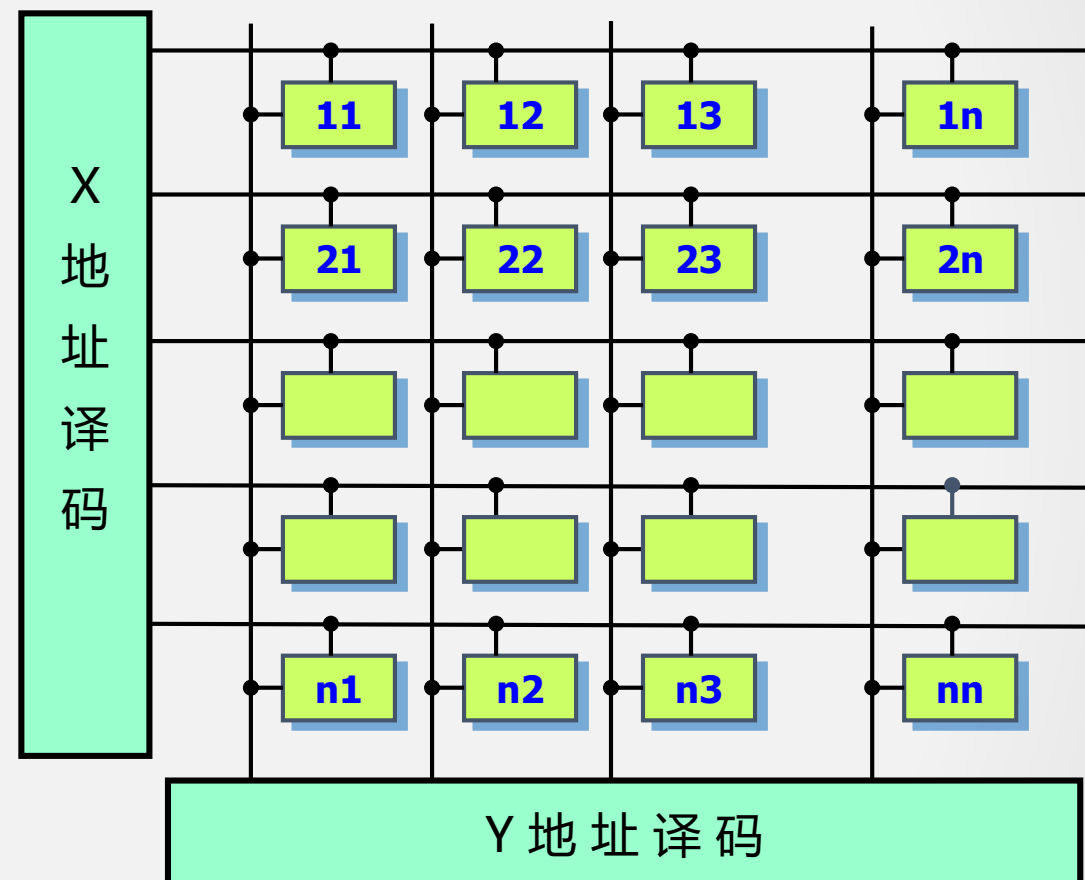
X、Y撤销后，由负载管 T_3 、 T_4 分别为工作管 T_1 、 T_2 提供工作电流，保持其稳定互锁状态不变。

单译码结构



N位地址，寻址 2^n 个存储单元， 2^n 根译码线

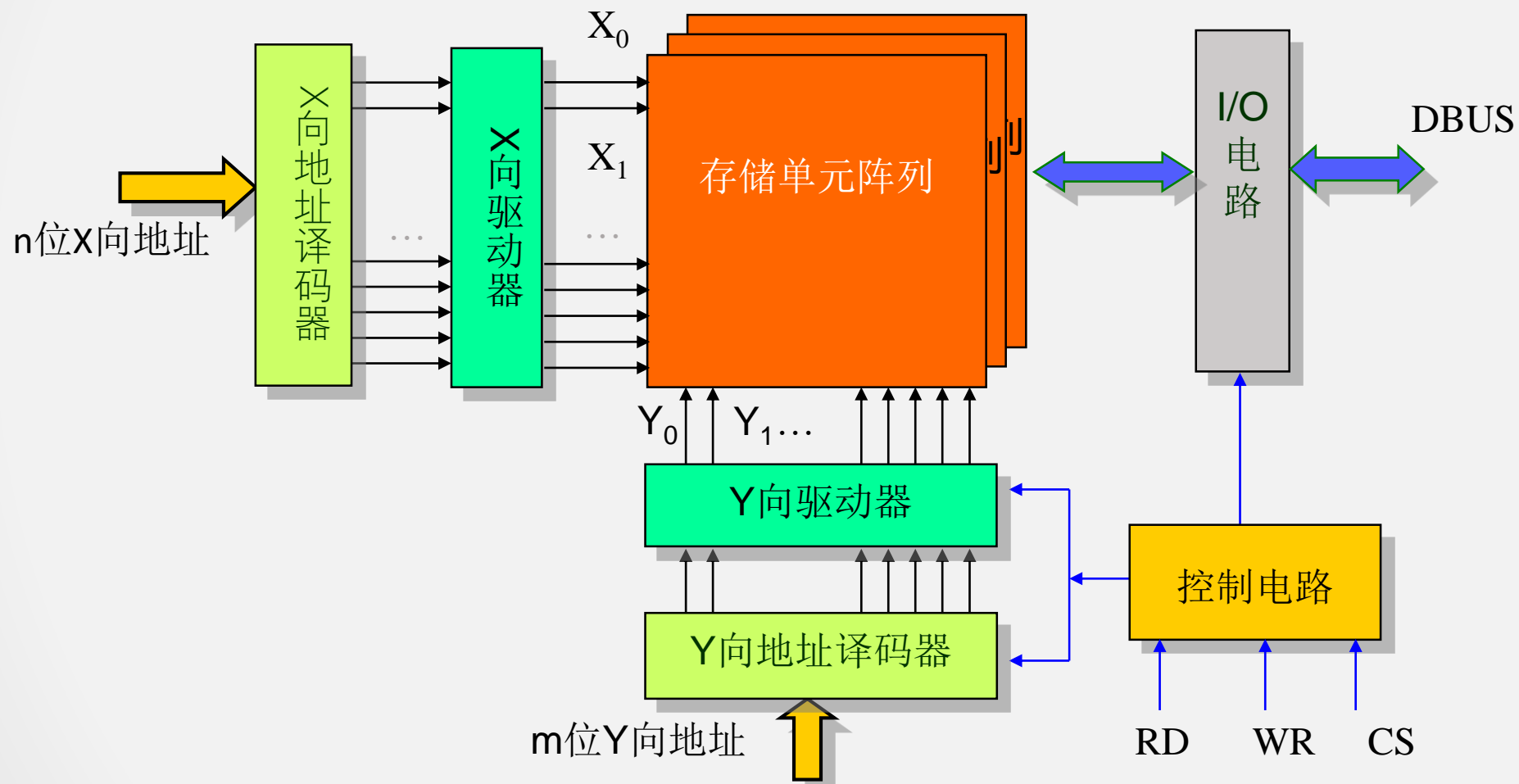
双译码结构



N位地址，寻址 2^n 个存储单元， $2^{n/2+1}$ 根译码线

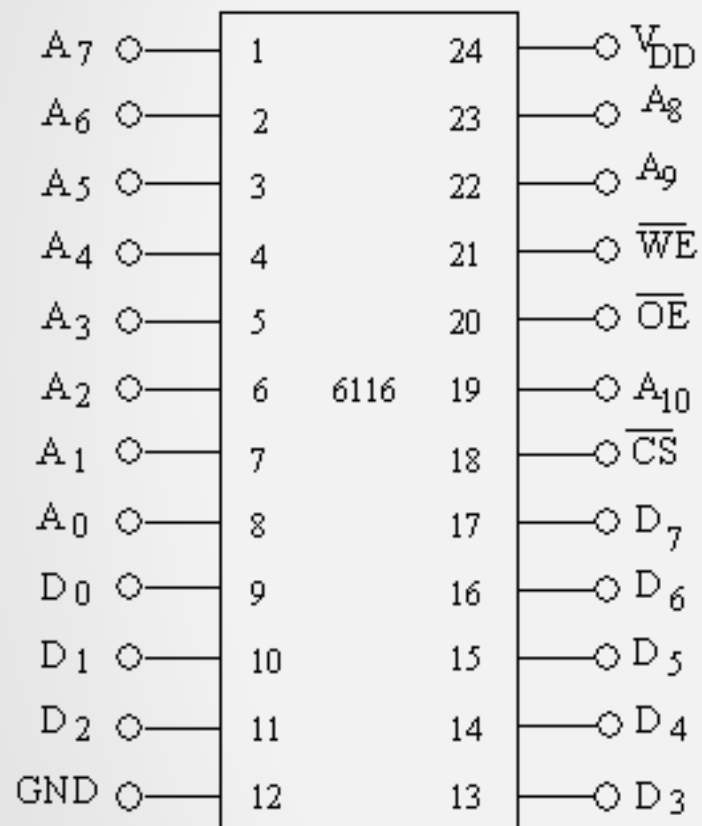
3

静态存储器的结构



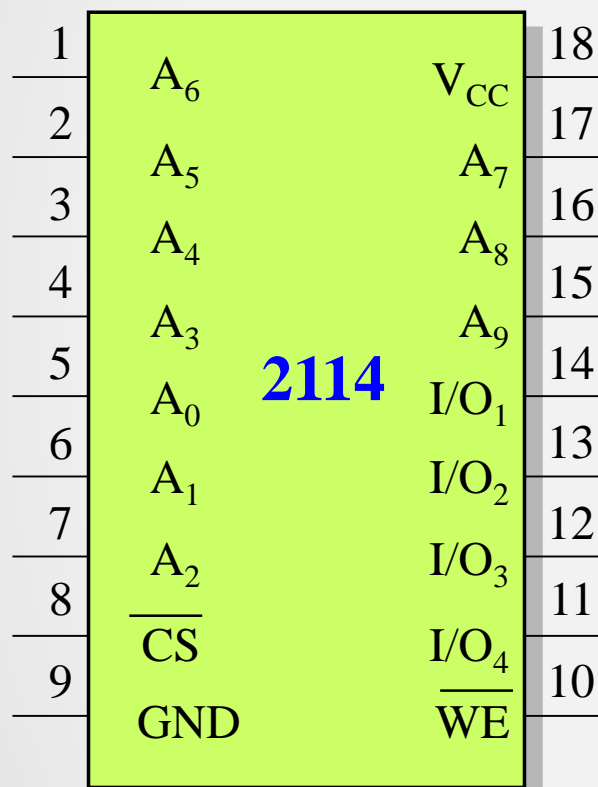
3

静态存储器的结构



- 地址线 \Rightarrow 11根地址线，2K存储空间;
- 数据线 \Rightarrow D₀-D₇,每个单元8位数据;
- 读写控制线 \Rightarrow \overline{WE} 、 \overline{OE} 均为低电平有效;
- 片选线 \Rightarrow 低电平有效;
- 电源线 \Rightarrow GND、V_{DD}。

行、列地址各有多少位？



- 地址线 \Rightarrow 10根地址线，1K存储空间;
- 数据线 \Rightarrow 每个单元4位数据;
- 读写控制线 \Rightarrow \overline{WE} 为低电平时写操作，反之为读操作;
- 片选线 \Rightarrow 低电平有效；
- 电源线 \Rightarrow GND、V_{cc}。

行、列地址各有多少位？

