

# 电子设计自动化(EDA)技术概述

# 本章概要：

- 什么是EDA技术
- EDA技术发展过程
- EDA技术应用对象
- IC设计层次
- 电子设计方法（自底而上与自顶向下）
- 什么是综合
- 可编程逻辑器件的自顶向下设计方法
- 面向可编程逻辑器件的EDA设计流程

# 什么是EDA技术

- EDA ( Electronic Design Automation ) 电子设计自动化：

指利用计算机完成电子系统的设计。

狭义的EDA技术就是指以大规模可编程逻辑器件为设计载体，以硬件描述语言等为系统逻辑描述的主要表达方式，以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具，通过有关的开发软件，自动完成用软件方式设计的电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合、逻辑优化及逻辑仿真，直至对于特定目标芯片的适配编译、布局布线、编程下载等工作，最终形成集成电子系统或专用集成芯片的一门新技术。

# EDA技术发展过程

1. CAD阶段 ( Computer Aided Design )
2. CAE阶段 ( Computer Aided Engineering )
3. EDA阶段 ( Electronic Design Automation )



# EDA技术发展过程

## 1. CAD阶段（20世纪60年代中期～20世纪80年代初期）

特点：一些单独的工具软件，电子系统设计各阶段的工具软件彼此独立。

开始用计算机辅助进行PCB布局布线、电路模拟、逻辑模拟及IC版图绘制等工作。

由于设计各阶段的软件彼此独立，不利于快速设计；且这些软件不具备系统级的仿真与综合，不利于复杂系统设计。

# EDA技术发展过程

## 2. CAE阶段（20世纪80年代初期～20世纪90年代初期）

特点：设计工具集成化。

各种设计工具如原理图输入、编译链接、电路模拟、测试码生成、版图自动布局布线等，以及各种单元库已齐全。由于采用了统一的数据管理技术，因而能够将各个工具集成为一个CAE系统。按照设计方法学制定的流程，可以实现从设计输入到版图输出的全程设计自动化。

# EDA技术发展过程

## 3. EDA阶段（20世纪90年代以来）

特点：高级语言描述，系统仿真和综合。

- 1) 高层综合的理论与方法取得较大进展，将EDA设计层次由寄存器传输级提高到系统级（行为级）。
- 2) 采用硬件描述语言来描述设计，并形成了VHDL和Verilog HDL两种标准硬件描述语言。
- 3) 采用平面规划（Floorplaning）技术对逻辑综合和物理版图设计进行联合管理，做到在逻辑综合早期设计阶段就考虑到物理设计信息的影响。

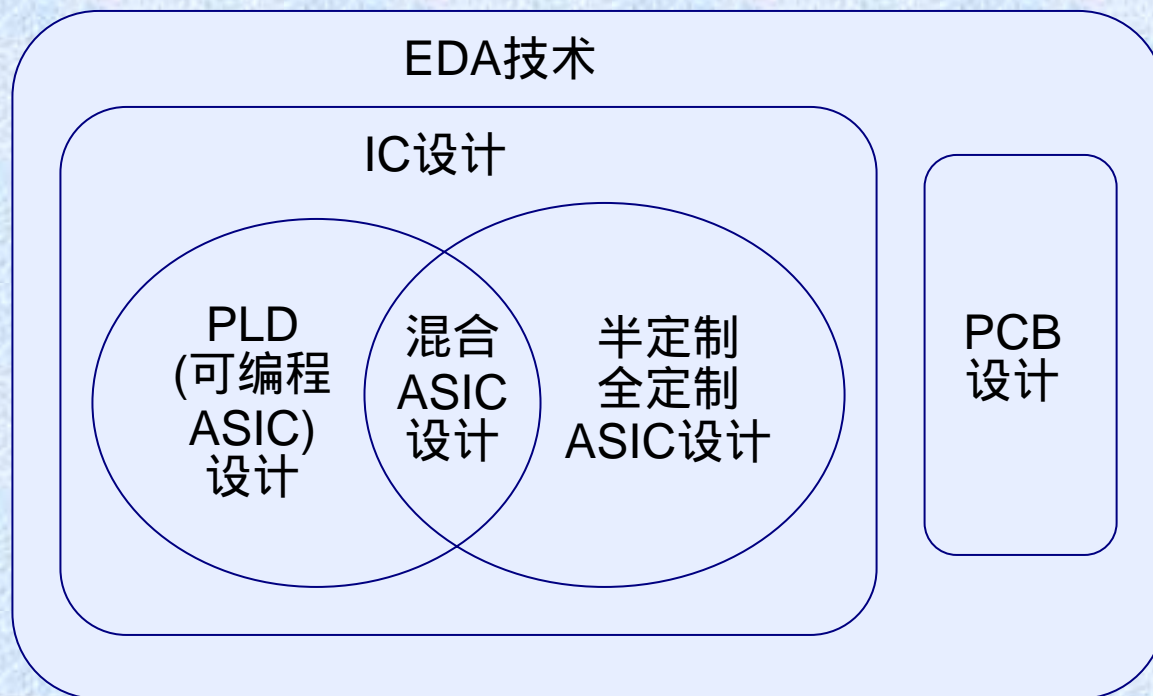
4) 可测性综合设计。

5) 为带有嵌入IP模块的ASIC设计提供软硬件协同系统设计工具。

6) 建立并行设计工程框架结构的集成化设计环境，以适应当今ASIC数字与模拟电路并存，硬件与软件设计并存，产品上市速度要快的特点。



# EDA技术应用对象



EDA技术实现目标

# IC设计层次

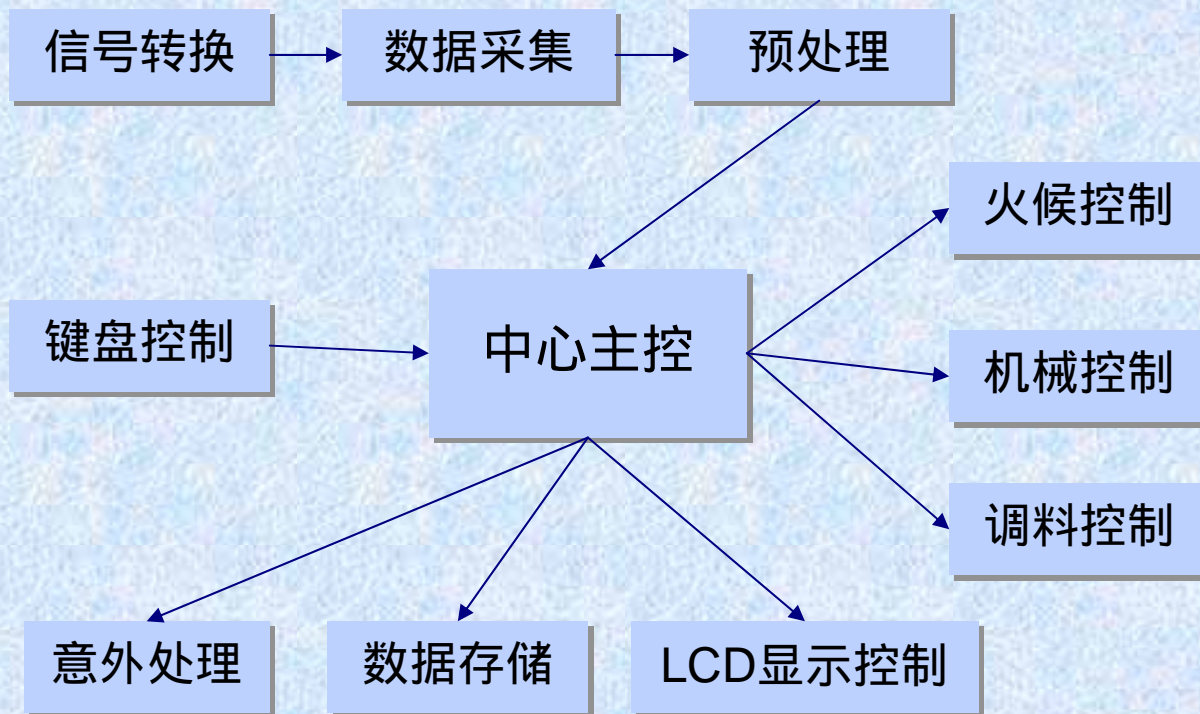
按设计描述的抽象程度可分为以下层次：

- 系统级
- 算法（行为）级
- 寄存器传输级
- 逻辑门级
- 电路级
- 物理（版图）级

# IC设计层次（系统级）

	抽象层次	时序单位	基本单元	电路的功能描述
	系统级	数据处理	进程及通信	自然语言描述系统功能或相互通信的进程
前端				
后端				

## ■ 系统级描述示例（智能烧烤机）

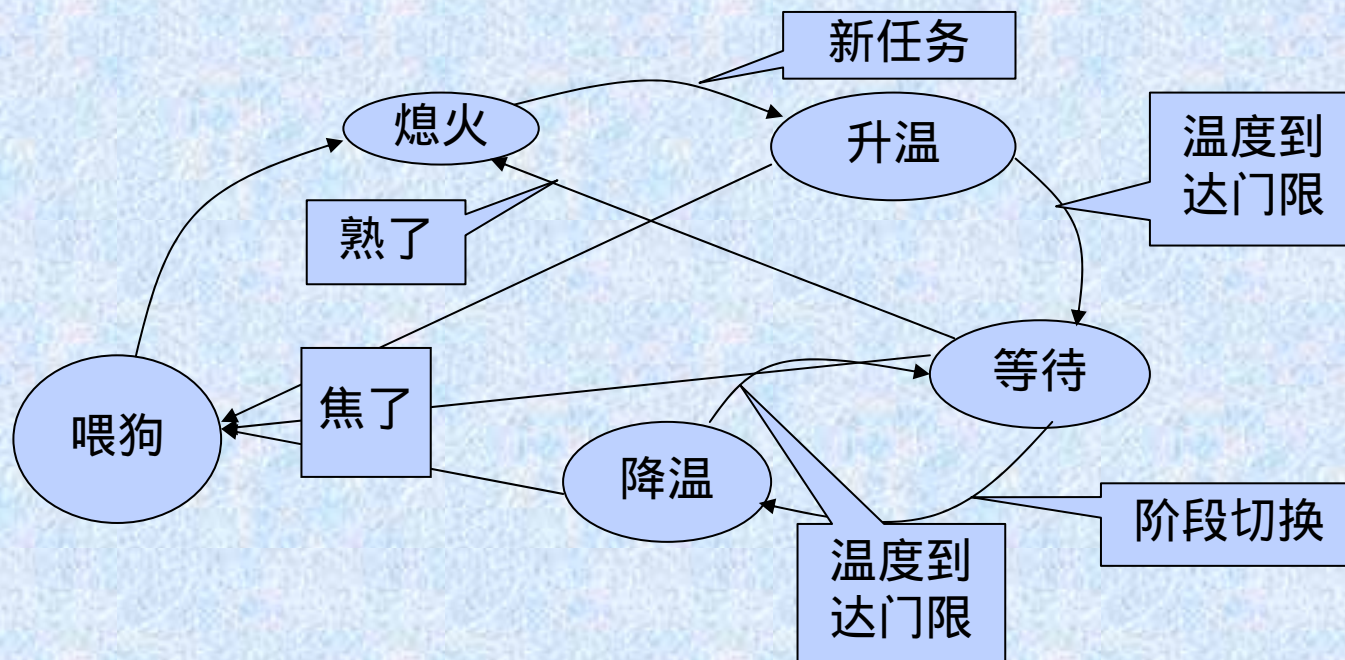




# IC设计层次（算法级）

前端	抽象层次	时序单位	基本单元	电路的功能描述
	系统级	数据处理	进程及通信	自然语言描述系统功能或相互通信的进程
后端	算法（行为）级	运算步	运算的控制	行为有限状态机、数据流图、控制流图

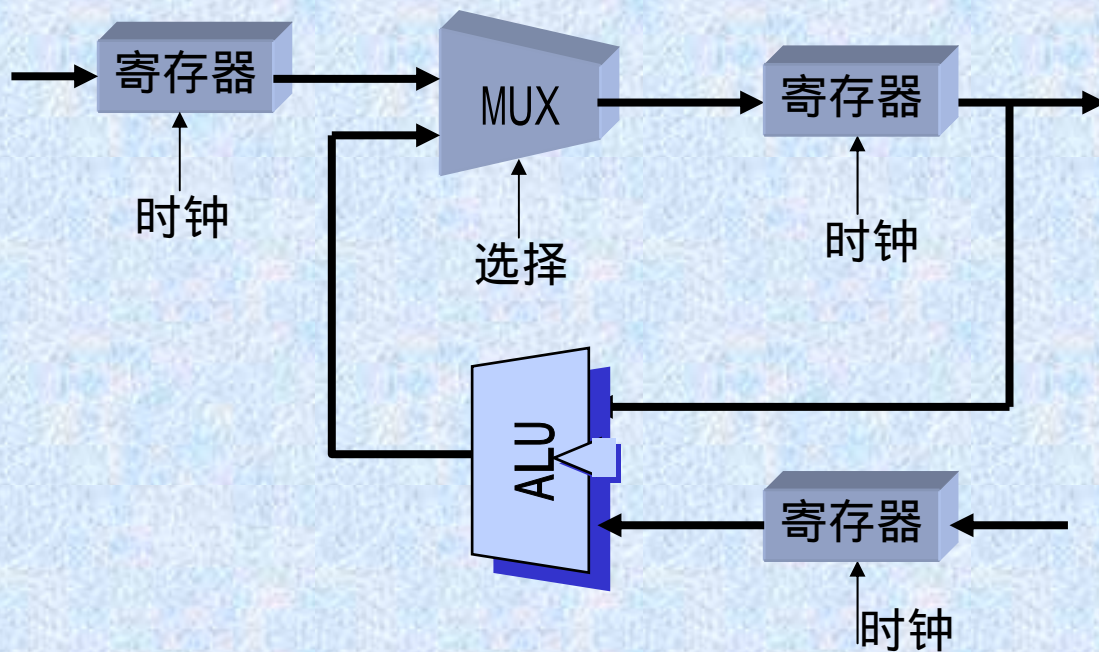
## ■ 算法级描述示例（温度控制）



# IC设计层次(寄存器传输级)

前端	抽象层次	时序单位	基本单元	电路的功能描述
	系统级	数据处理	进程及通信	自然语言描述系统功能或相互通信的进程
	算法（行为）级	运算步	运算的控制	行为有限状态机、数据流图、控制流图
	寄存器传输级	时钟周期	寄存器、运算、变换	布尔方程、二元决策图、有限状态机
后端				

## ■ 寄存器级描述示例(数字信号处理)

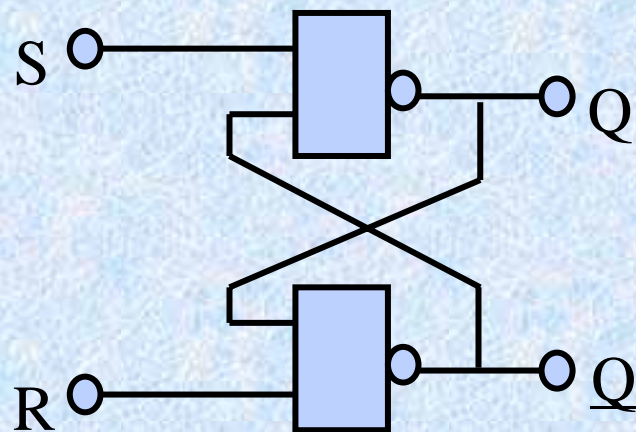




# IC设计层次(逻辑门级)

前端	抽象层次	时序单位	基本单元	电路的功能描述
	系统级	数据处理	进程及通信	自然语言描述系统功能或相互通信的进程
	算法（行为）级	运算步	运算的控制	行为有限状态机、数据流图、控制流图
	寄存器传输级	时钟周期	寄存器、运算、变换	布尔方程、二元决策图、有限状态机
后端	逻辑门级	延时	逻辑门、器件（晶体管）	原理图

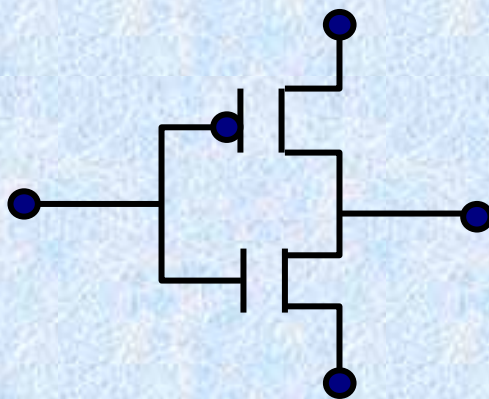
## ■ 逻辑门级描述示例(RS触发器)



# IC设计层次(电路级)

		抽象层次	时序单位	基本单元	电路的功能描述
前端		系统级	数据处理	进程及通信	自然语言描述系统功能或相互通信的进程
		算法（行为）级	运算步	运算的控制	行为有限状态机、数据流图、控制流图
		寄存器传输级	时钟周期	寄存器、运算、变换	布尔方程、二元决策图、有限状态机
后端		逻辑门级	延时	逻辑门、器件（晶体管）	原理图
		电路级	物理时间	晶体管、R,L,C等	电压、电流的微分方程

## ■ 电路级描述示例(CMOS反向器)





# IC设计层次（物理级）

	抽象层次	时序单位	基本单元	电路的功能描述
前端	系统级	数据处理	进程及通信	自然语言描述系统功能或相互通信的进程
	算法（行为）级	运算步	运算的控制	行为有限状态机、数据流图、控制流图
	寄存器传输级	时钟周期	寄存器、运算、变换	布尔方程、二元决策图、有限状态机
后端	逻辑门级	延时	逻辑门、器件（晶体管）	原理图
	电路级	物理时间	晶体管、R,L,C等	电压、电流的微分方程
	物理（版图）级		几何图形	

# 半定制、全定制与可编程ASIC设计方法

## ■ 半定制ASIC设计方法：

设计者可以只完成硬件的**逻辑门级**结构描述，然后由**集成电路制造者**用门阵列或者标准单元方法将逻辑门级结构映射到**版图**，最后制造集成电路。

## ■ 全定制ASIC设计方法：

设计者自行设计出集成电路的**掩膜版图**，由**集成电路制造者**根据**版图数据**制造集成电路。

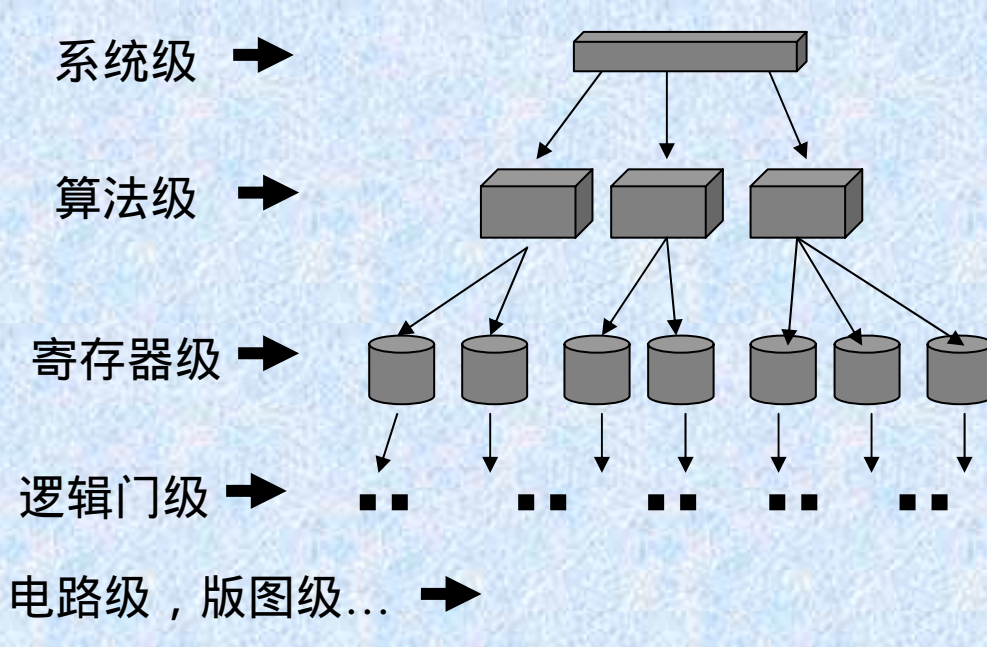
## ■ 可编程ASIC（可编程逻辑器件）设计方法：

设计者可以只完成硬件的**寄存器传输级**描述，然后由**EDA工具**进行逻辑综合和结构综合，生成可用于对器件编程的**编程配置数据文件**，最后下载到可编程逻辑器件。

# 电子设计方法

传统：自底而上

现代：自顶向下



**优点：**底层优化程度高，设计中大规模集成电路时的经济性好

**缺点：**整体把握性差，修改困难，工作量大，设计周期长，自动化程度低，资料不可重用，难以设计超大规模系统

**优点：**整体把握好，顶层优化程度高，逐级仿真，及时修正，设计周期短，自动化程度高，资料可重用，可并行设计，适合超大规模系统设计(>10万门)

**缺点：**依赖EDA工具，依赖底层工艺库，设计中大规模经济性不好

# 什么是综合

## ■ 设计与综合的概念

自上而下电子设计过程：硬件的高层次抽象描述

硬件的低层次物理描述

把设计抽象层次中的一种描述形式转换成另一种描述形式

采用人工方式

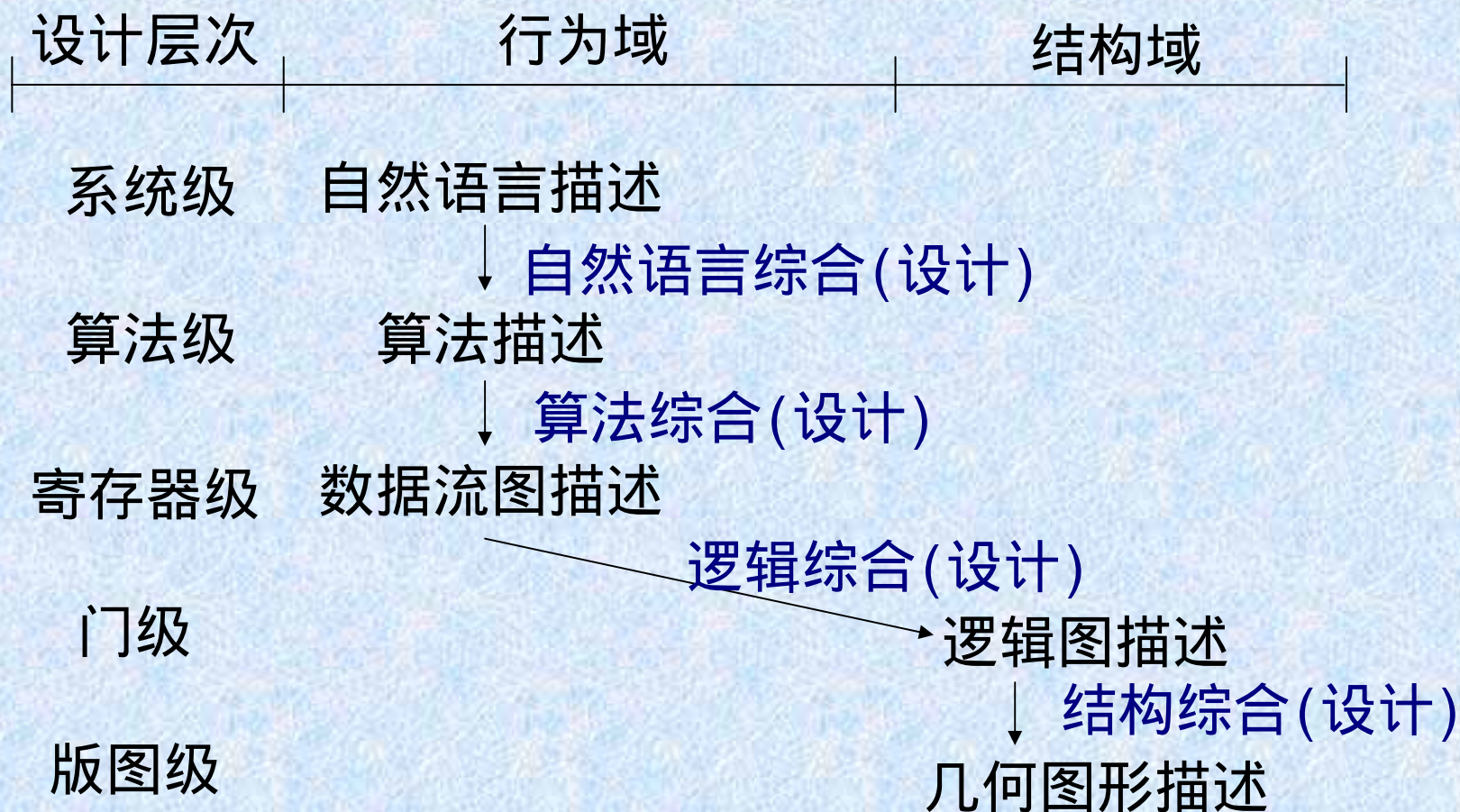
设计

采用自动化的计算机辅助设计工具

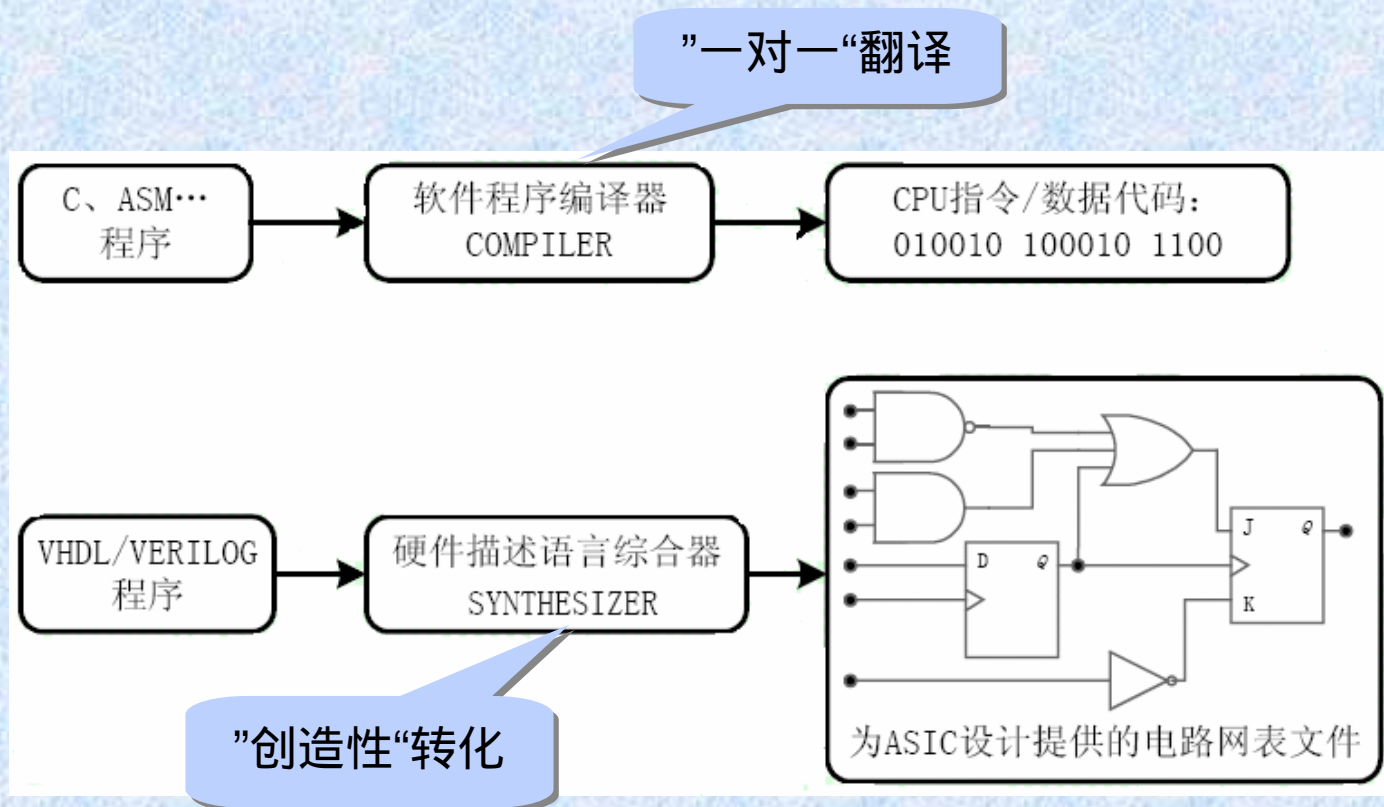
综合




## ■ IC设计各层次的设计与综合



## ■ 软件编译器与硬件描述语言综合器的比较



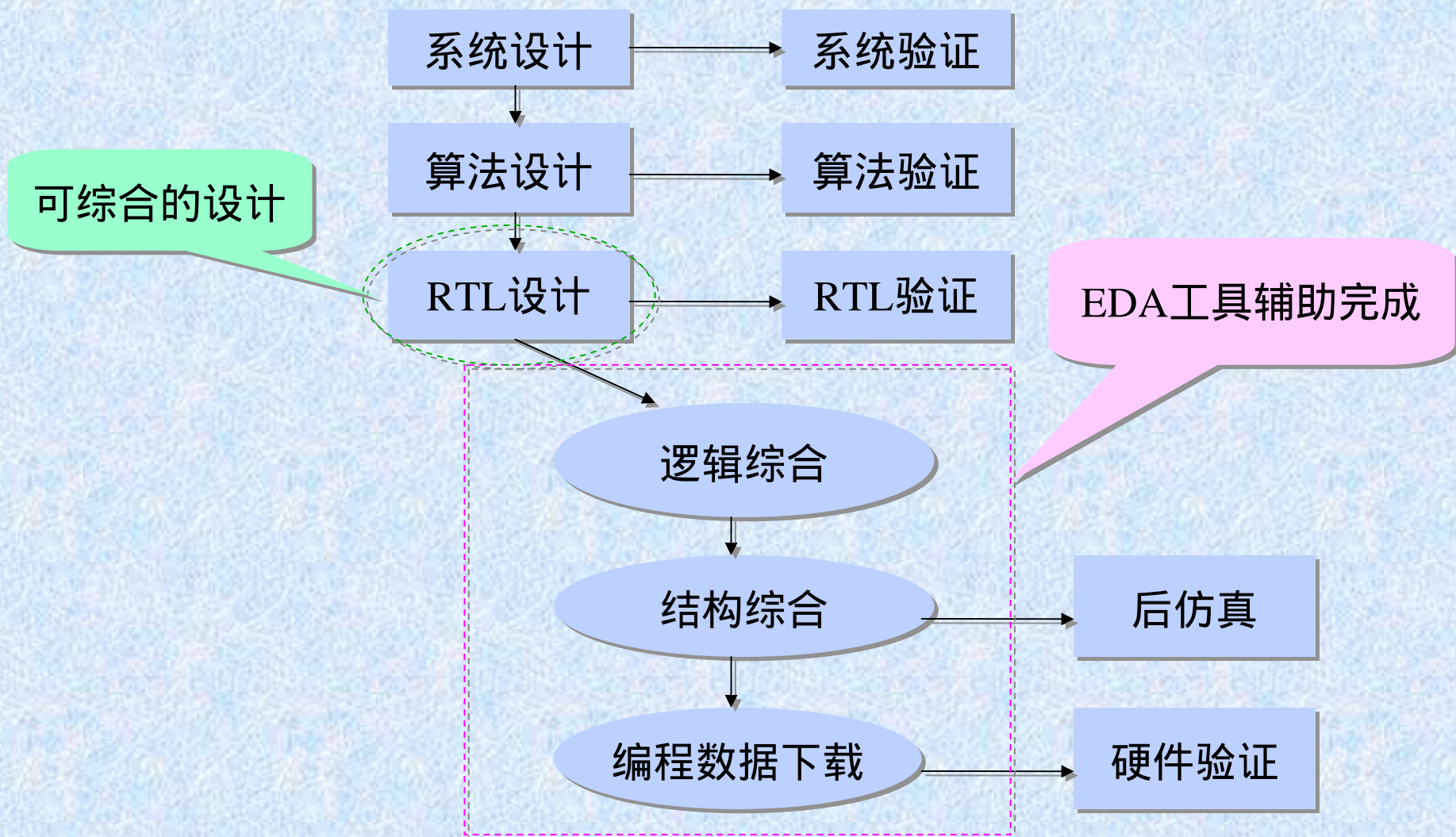
## ■ 综合的特点：

- 综合的过程涉及两个方面：  
一方面：转化。  
另一方面：优化。
- 相同的代码，针对不同的foundry工艺库(可编程ASIC元件库)综合出来的电路将不相同。
- 相同的代码，用不同的综合工具综合出的电路也可能不相同。

## ■ 自动综合工具被广泛采用的原因：

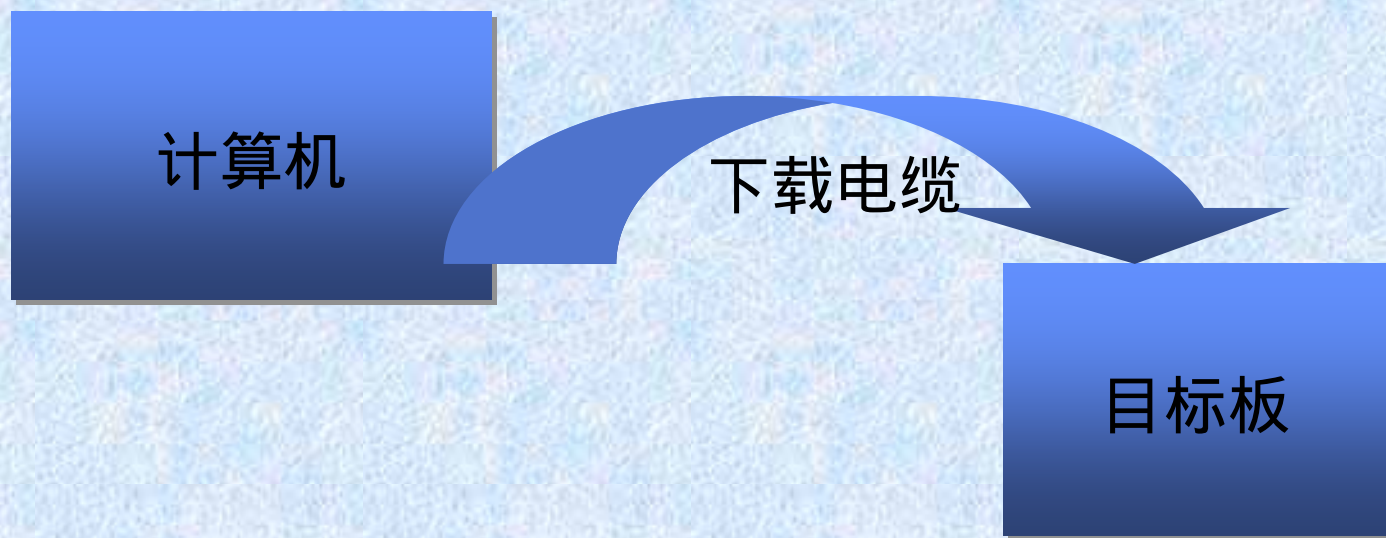
设计方案是否最优并不重要，而设计成本 and 设计的可靠性(不出错误)是必须最先考虑的因素。

# 可编程逻辑器件的自顶向下设计方法

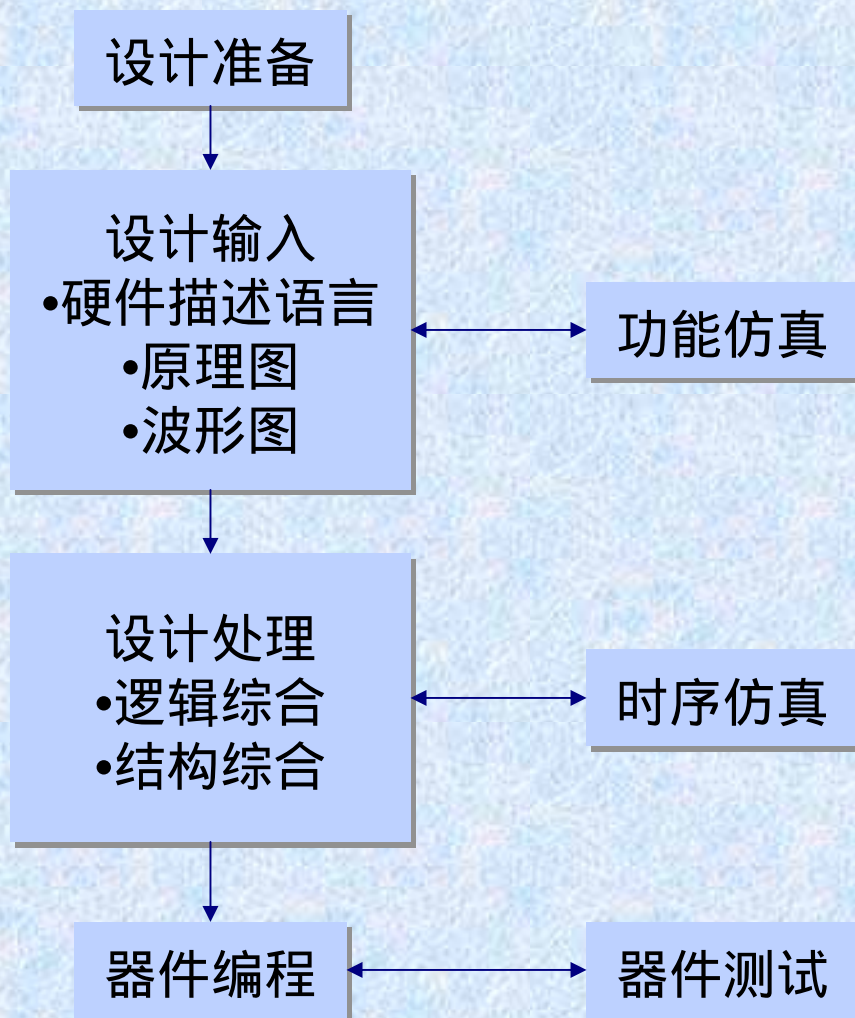




# 可编程逻辑器件开发模式



# 面向可编程逻辑器件的EDA设计流程



## ■ 设计准备：

明确系统功能及技术指标，论证系统设计方案。

## ■ 设计输入

- **原理图输入**：从软件系统提供的元件库中调元件，画原理图，符合传统设计的习惯。

缺点：可移植性、重用性差，

- **硬件描述语言输入**：用文本方式（软件编程）描述设计。有VHDL、Verilog HDL两个IEEE标准。

优点：与工艺无关，无须熟悉底层电路和PLD结构，重用性好，输入效率高，便于归档、交流。

- **波形输入**：用于创建波形设计文件，及仿真测试向量。

## ■ 功能仿真（前仿真）

对可综合模型进行逻辑功能验证，不涉及具体器件的硬件性能，没有延时信息。



## ■ 设计处理（编译）

编译软件对设计输入文件进行逻辑综合、结构综合，最后生成可供器件编程用的编程文件。

### 1) 语法检查 and 设计规则检查

如：文本文件中关键字有无输错；原理图中有无漏连信号线，信号有无多重来源，总的设计有无超出器件资源或规定的限制等。

## 2) 逻辑综合和优化

将设计输入文件，依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合，最后生成门级甚至更底层的电路描述网表文件。

## 3) 适配和分割

将综合优化后的逻辑与具体目标器件中的宏单元和I/O单元进行适配，将设计分割为便于识别的逻辑小块映射到宏单元中。

## 4) 布局和布线

以优化的方式对逻辑元件布局，并实现元件间互连。

## ■ 时序仿真（后仿真）

针对目标硬件完成布局布线后进行的仿真，带有硬件延时信息，是与实际器件工作情况更为接近的仿真。

## ■ 器件编程、测试

设计处理后，软件自动生成供器件编程用的下载或配置文件，可通过编程器或编程电缆下载到可编程逻辑器件。



# 开发软件：集成开发环境

- 这类软件都是由PLD芯片厂家提供，基本都可以完成所有的设计输入（原理图或HDL），综合，仿真，布局布线，下载等工作。



Altera公司上一代PLD开发软件，使用者众多。目前Altera已经停止开发MaxplusII，而转向QuartusII软件平台。



Altera公司新一代PLD开发软件，适合大规模FPGA的开发。



Xilinx公司上一代的PLD开发软件，目前Xilinx已经停止开发Foundation，而转向ISE软件平台。



Xilinx公司目前的PLD开发软件。

ispDesignEXPERT Lattice公司的PLD开发软件,目前最新软件改名：ispLEVER



# 开发软件：HDL前端输入与系统管理软件

- 这类软件主要是帮助用户完成HDL文本的编辑和输入工作，提高输入效率，并不是必须的，更多人更习惯使用集成开发软件或者综合/仿真工具中自带的文本编辑器，甚至可以直接使用普通文本编辑器。

UltraEdit	一个使用广泛的编辑器，大部分版本并不直接支持HDL，但可以将UltraEdit安装目录下的VHDL93，Verilog HDL文件中的文字添加到WORDFILE.txt中，即可支持相应的语言编辑，关键字将用不同色彩标出。
HDL Turbo Writer	VHDL/verilog专用编辑器，可大小写自动转换，缩进，折叠，格式编排很方便。可直接使用FPGAadvantage做后端处理，此套软件也可以编辑C/C++，Java等多重语言。
HDL Designer Series	Mentor公司的前端设计软件，包括5个部分，涉及设计管理，分析，输入等。
Visial VHDL/ Visal Verilog	可视化的HDL/Verilog编辑工具，可通过画流程图等可视化方法生成一部分VHDL/Verilog代码，innoveda公司出品。
Visual Elite	Visial HDL的下一代产品，能辅助系统级到电路级的设计。

# 开发软件：HDL逻辑综合软件

- 这类软件将HDL语言转化成最基本的与或非门的连接关系（网表），输出edf文件，导给PLD厂家的软件进行适配和布线。为了优化结果，在进行复杂HDL设计时，基本上都会使用这些专业的逻辑综合软件，而不使用PLD厂家的集成开发软件中自带的逻辑综合功能。



Synplify / Synplify Pro, VHDL/Verilog综合软件，口碑相当不错。 Synplicity公司出品。



LeonardoSpectrum, VHDL/VerilogHDL综合软件。可加较多的约束条件，可控性强。Mentor公司的子公司Exemplar Logic公司出品。

Precision RTL  
Precision Physical

Mentor公司最新的VHDL/VerilogHDL综合软件。



FPGA CompilerII, VHDL/Verilog综合软件， Synopsys公司已停止发展FPGAexpress软件，而转到FPGA CompilerII平台。

MAX+PLUS II  
Advanced synthesis

ALtera的一个免费HDL综合工具，安装后可以直接使用，是MaxplusII的一个插件，用这个插件进行语言综合，比直接使用MaxplusII综合的效果好。

# 开发软件：HDL仿真软件

- 对设计进行仿真校验，包括布局布线以前的功能仿真（前仿真）和布线以后包含延时信息的时序仿真（后仿真），对于一些复杂的HDL设计可能需要这些软件专业的仿真功能。

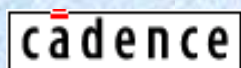


ModelSim

VHDL/VerilogHDL仿真软件，功能比ActiveHDL强大，使用比ActiveHDL复杂。Mentor的子公司Model Tech出品。

Active HDL

VHDL/VerilogHDL仿真软件，人机界面较好，简单易用。Aldec公司出品。



NC-Verilog  
/NC-VHDL  
/NC-SIM

Cadence公司出品，很好的Verilog/VHDL仿真工具，其中NC-Verilog 的前身是著名的Verilog仿真软件Verilog-XL，用于Verilog仿真；NC-VHDL,用于VHDL仿真；NC-Sim,是Verilog/VHDL混合语言仿真工具。



VCS / Scirocco

VCS是Synopsys公司的VerilogHDL仿真软件，反映不错；Scirocco是Synopsys公司的VHDL仿真软件，似乎没有VCS出名。