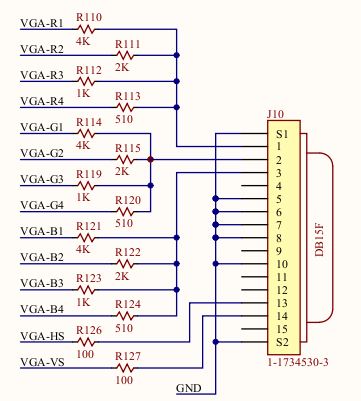
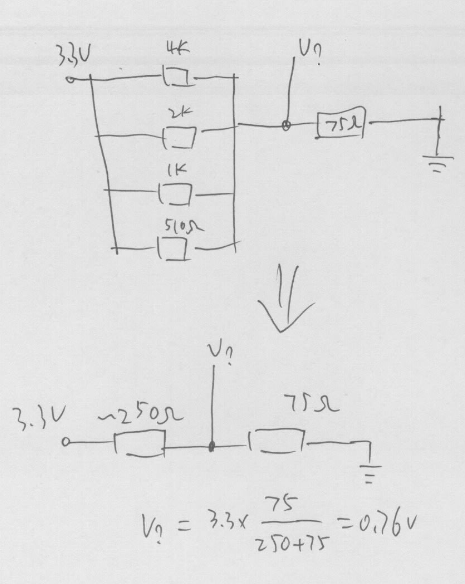
VGA接口原理分析以及控制逻辑的实现

1. 硬件分析

采用DB15的及接口，主要5根VGA信号线，两根I2C通讯线。5根VGA信号线是V\_SYN,H\_SYN分别是场同步和行同步走的是3.3V的信号，R,G，B分别是红绿蓝三基色信号。R,G,B三基色信号走的是模拟电平，峰峰值规定在0-0.714V，输入阻抗是75欧。另外两根I2C通讯线就是用来和VGA显示器协调所支持的分辨率。

我们这里采用了电阻网络进行分压达到DAC效果。

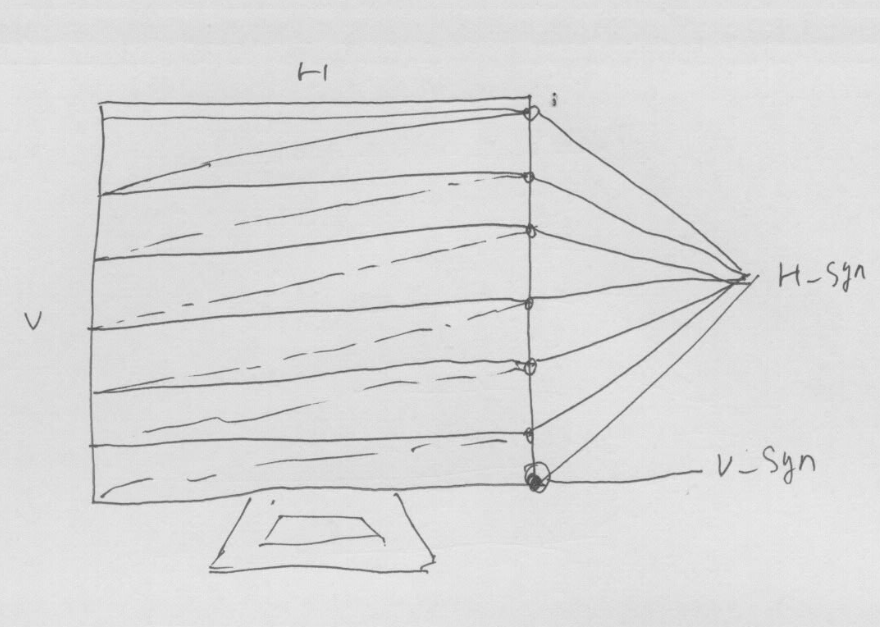


1. R,G,B分别对应4个BIT，总共12位，所以分辨率是12位。
2. 以R为例子，4个BIT全部输出是0，VGA信号输入0V,4个BIT全部输出1时候就等效于下图：

在VGA线上得到0.76V的输出。 和VGA所要求的0-0.714V基本吻合。而由于R有4个位在0-0,.76V之间分成了16个等级。

3，H\_SYN和V\_SYN分别是标示一行的结束，以及一屏的结束，是数字信号。

二，典型的VGA显示器工作原理：



逐行扫描，扫描完一行进行下一行，所有这一屏幕的都扫描完了就扫描下一屏幕，下一屏幕又是从第一行开始，一行一行扫描，行同步和场同步类似与秒针和分针。

用H\_SYN来标示一行结束了，用V\_SYN标示一屏结束了。由于协议基于经典的CRT显示器，电子枪需要时间进行调整，这就需要除了同步信号外还需要另外多一些的延迟时间，我们将看到这就是所谓FRONT\_PORCH和BACK\_PORCH。

三，VGA接口时序：



单独看行时序和场时序：

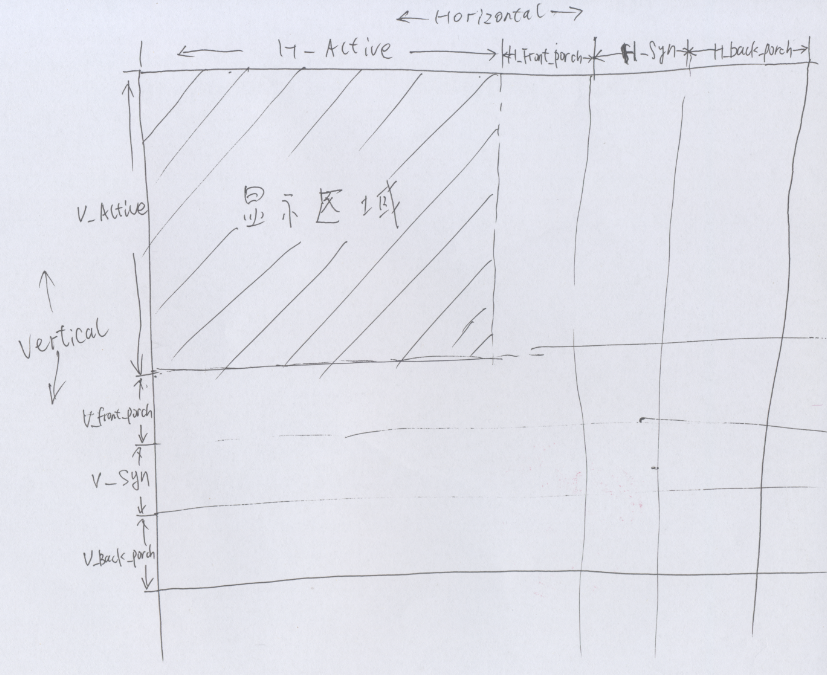


注意FRONT\_PORCH和BACK\_PORCH分别是在同步信号的之前和之后。

下表列出了常见的显示分辨率和刷新率对应的参数。这里说的脉冲个数都是以像素频率为单位的。



1. 以上时序可以变换成下面的时序：好处是便于地址从0开始计，编程非常方便。依据是VGA支持即插即用，显示器会自动寻找同步信号。



四 ，设计目标

我们这里要做一个VGA信号的时序发生器，只行号和列号以及对应的H\_SYN\_V\_SYN以及显示使能信号。至于显示的内容，也就是行号列号所对应的像素点的R,G,B内容我们不在这里模块实现。

五，实现步骤分析

开始基于上述的这个示意图进行编程了，通过分析我们在程序里面需要实现：

1),做2个计数器，一个用来记录行内的`DE像素点时钟数，一个用来记录行数。这两个计数器除了复位信号外不受别的因素影响，在一直自己循环累加。

2）,两个计数器的数值就对应上图的所处的位置。我们找到实际要显示区域对应的像素计数器和行计数器的数值，只要两个计数器满足在这个区域，就允许显示，否则进行消音输出（R,G,B都输出为0）。

3）,从图中找到H\_SYN的时间段和V\_SYN的时间段，将这个时间段同步信号对应设置为低电平。

有了上面的分析，就可以很有调理的编码出来。我们看代码分析一下。

1. 写一个简单的测试平台，进行前仿真测试，这里注意这个对dp\_en时序的检查，要达到“消隐”效果，同时又不至于屏蔽到有效的像素数据。

补充：

关于两个频率，一个是显示的频率，比方我们这里的1024\*768像素点，刷新率是60HZ,显示的频率就是 1024\*768\*60=47.18M . 这个频率表达了对图像数据的进行处理和传输的要求。就是说实际应用这个VGA控制器时候，我们需要保证以47.18M\*显示位数 的速率给他提供显示数据。如果需要用一个DMA传数的话，这是DMA的最低速率要求。

一个频率是像素频率，我们这个1024\*768个像素点，扫描屏幕实际用了1344\*806个像素时钟，因此刷新率为60HZ就要求像素频率是1344\*806\*60=64.99M。这个频率是我们做VGA控制器时需要设置的像素点频率。