



HME-H1D03 系列

FPGA

数据手册

2023 年 9 月

京微齐力（北京）科技股份有限公司

注意

© 2021-2023 京微齐力（北京）科技股份有限公司
版权所有

未经京微齐力（北京）科技股份有限公司书面许可，不得以任何形式或方式，如电子，机械，形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微齐力（北京）科技股份有限公司所有。

手册版本号

HME-H1(D03)DSC07

联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微齐力（北京）科技股份有限公司或者您当地的代理商联系，或发送邮件至：

sales@hercules-micro.com

环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微齐力（北京）科技股份有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：1.生命保障设备或系统是满足以下条件的设备或系统，(a)被通过手术植入人体内或 (b)用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害。2.所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

版本信息

下表列出了本产品手册的历史版本信息。

日期	版本号	修订记录
2021 年 7 月	1.0	首次发布中文版
2021 年 12 月 28 日	1.1	修改第 10 章 订购信息中的商用温度为“(0℃ ~ +85℃)”，工业用温度为“(-40℃ ~ +100℃)”
2022 年 1 月 30 日	1.2	增加修订温度细节 TJ 修正产品型号中的错误
2022 年 3 月 21 日	HME-H1(D03)DSC01	更新格式 更新第 9 章订购信息中的芯片标识与型号示意图，并添加小封装无 logo 的提示
2022 年 10 月 13 日	HME-H1(D03)DSC02	新增 SFTBGA144(C144)封装规格(9.2.5) 更新第 1.1 章和第 10 章
2023 年 1 月 19 日	HME-H1(D03)DSC03	修改 CDONE 引脚的输出电平描述
2023 年 2 月 24 日	HME-H1(D03)DSC04	增加 H1D03N0 系列产品，涉及第 1.2 章和第 10 章
2023 年 4 月 4 日	HME-H1(D03)DSC05	1-增加 QFN56 封装，涉及第 1.1 章，第 1.2 章，第 9 章和第 10 章 2-修改缩写部分、调整第 1.2 和第 9.2 章封装顺序、增加第 10.3 章 W 系列封装的丝印图及说明、修改“注意”文字的样式
2023 年 6 月 13 日	HME-H1(D03)DSC06	1-修改 H1D03N0 的 C144 封装的最大用户 I/O 数量，从“43 (5) /8”变为“68 (12) /8” 2-修改 H1M03N0 的 C144 封装的最大用户 I/O 数量，从“49 (12) /8”变为“47 (11) /8”
2023 年 9 月 12 日	HME-H1(D03)DSC07	更新 W72 的封装示意图与数据表格，增加公差信息

目录

注意	1
版本信息	2
目录	3
开始前准备.....	5
关于本手册	5
HME-H1D03 系列 FPGA 介绍.....	5
缩写	5
1 HME-H1D03 系列 FPGA 简介	7
1.1 HME-H1D03 系列 FPGA 主要功能.....	7
1.2 HME-H1 系列 FPGA 特性.....	8
1.3 核心架构	9
1.4 系统连接概述	9
2 FPGA	11
2.1 可编程逻辑模块 (PLB)	11
2.2 嵌入式存储器模块 (EMB)	11
2.2.1 EMB18K 端口定义	12
2.2.2 EMB18K 操作	13
2.2.3 EMB18K RAM 操作模式	14
2.2.4 EMB18K FIFO 操作模式.....	16
2.2.5 冲突避免	16
2.3 DSP Block DSP 模块	16
2.3.1 DSP 原语	17
2.3.2 DSP 使用模式	18
2.4 时钟资源	20
2.4.1 PLL.....	21
2.4.2 DLL	25
3 输入/输出模块.....	25
4 MCU	27
4.1 8051 例化.....	28
4.2 P 端口引脚多路复用	29
4.3 MCU 存储器映射	30
4.4 外部存储器接口 (EMIF)	31
4.4.1 同步 EMIF	31
4.4.2 EMIF 时序	31
4.5 SFR 接口	32
4.5.1 SFR 接口简介	32
4.5.2 SFR 时序.....	33
5 SRAM.....	35

5.1	SPRAM_8Kx32 SRAM 端口定义.....	35
5.2	SPRAM_2Kx32 SRAM 端口定义.....	35
6	MIPI.....	37
6.1	MIPI D-PHY 模块.....	37
6.2	DSI 控制器内核.....	37
7	配置和调试.....	39
7.1	配置模式和引脚.....	39
7.2	配置过程.....	40
7.3	配置方案.....	40
7.3.1	AS 模式.....	40
7.3.2	PS 模式.....	41
7.3.3	JTAG 模式.....	42
7.4	eFUSE.....	42
7.5	AES 安全.....	42
8	电气特性.....	44
8.1	直流电气特性.....	44
8.1.1	最大绝对额定值.....	44
8.1.2	操作条件建议.....	44
8.1.3	正常操作条件下的静态电流.....	45
8.1.4	上电规范.....	45
8.1.5	推荐的 I/O 操作条件.....	46
8.1.6	推荐的 MIPI 操作条件.....	47
8.2	交流特性.....	48
8.2.1	时钟性能.....	48
8.2.2	OSC 规格.....	48
8.2.3	PLL 规格.....	48
8.2.4	I/O 性能.....	49
8.2.5	PLB 性能.....	49
8.2.6	EMB18K 性能.....	49
8.2.7	DSP 性能.....	50
8.2.8	SRAM 性能.....	50
9	引脚和封装.....	51
9.1	引脚定义和规则.....	51
9.2	封装信息.....	53
9.2.1	STFBGA144 封装规格.....	53
9.2.2	LQFP128 封装规格.....	54
9.2.1	QFN56 封装规格.....	55
9.2.2	WLCSP58 封装规格.....	56
9.2.3	WLCSP68 封装规格.....	57
9.2.4	WLCSP72 封装规格.....	58
10	订购信息.....	60
10.1	部件编号约定.....	60
10.2	订购信息.....	61
10.3	芯片标记.....	61

开始前准备

关于本手册

本手册是 HME-H1D03 系列 FPGA 的数据手册，作为 HME-H1D03 系列 FPGA 的文档之一，旨在帮助用户了解 H1D03 系列 FPGA 器件的功能及特性。

如需了解该系列产品的详细信息，请访问 <http://www.hercules-micro.com>。

如果您有任何问题或者建议，请发邮件至 support@hercules-micro.com 和我们联系。

HME-H1D03 系列 FPGA 介绍

HME-H1D03 是一款支持多种移动图像传感器和显示器协议及接口的可编程视频桥接器件。它将高灵活性 FPGA、低功耗 MCU、硬核 MIPI D-PHY 收发器/控制器和常用外设等集成在一起，封装小，成本低。

HME-H1D03 支持丰富的视频接口，包括 MIPI®，MIPI DBI，CMOS 相机和显示接口，MIPI D-PHY，MIPI CSI-2，MIPI DSI 和 SubLVDS 等。

HME-H1D03 提供多种预设 IP（知识产权），通过使用这些可配置的软核 IP、硬核 IP 以及 MCU，设计人员可以自由地专注于自己的独特性设计，从而提高工作效率。

HME-H1D03 能够支持 2K UHD 及以上实时高分辨率、高带宽的移动接口摄像头和显示器，可广泛应用于智能手机，平板电脑，可穿戴设备，VR，AR，无人机，智能家居等市场。

缩写

缩写	全称	解释
AES	A dvanced E ncryption S tandard	高级加密标准
APB	A dvanced P eripheral B us	外围总线
AS	A ctive S erial	主动串行模式
CCU	C ompare C apture U nit	比较捕获单元
CSI	C amera S erial I nterface	相机串行接口
DPRAM	D ual P ort R AM	双端口存储器
DC	D irect C urrent	直流
DSP	D igital S ignal P rocessor	数字信号处理器
DLL	D elay- L ocked L oop	延时锁定回路
DSI	D isplay P ixel I nterface	显示像素接口
EMB	E mbedded M emory B lock	嵌入式内存模块
I2C	I nter- I C – a serial interface designed by Philips Semiconductors	飞利浦半导体设计的一种串行接口
ISP	I n S ystem P rogramming	系统内编程
LE	L ogic E lement	逻辑单元
LP	L ogic P arcel	逻辑包
MCU	M icro C ontrol U nit	微控制器

缩写	全称	解释
MAC	M ultiply A ccumulate C ounter	乘加器
MDU	M ultiplication- D ivision U nit	乘法除法器
MIPI	M obile I ndustry P rocessor I nterface	移动行业处理器接口
OCDS	O n- C hip D ebug S upport	片上调试支持
OSC	O scillator	晶振
PLB	P rogrammable L ogic B lock	可编程逻辑块
PLL	P hase-locked loop	锁相环
PPI	P HY- P rotocol I nterface	P HY协议接口
PS	P assive S erial	被动串行模式
SFR	S pecial F unction R egister	专用寄存器
SPI	S erial P eripheral I nterface	串行外围接口

HME-H1D03 系列FPGA 简介

本章为HME-H1D03 系列FPGA 简介。

1 HME-H1D03 系列 FPGA 简介

1.1 HME-H1D03 系列 FPGA 主要功能

FPGA

- 基于 SRAM 的 FPGA 架构
 - 多达 2048 个 6 输入查找表，4096 个 DFF 寄存器
 - 性能高达 200MHz
- 嵌入式 RAM 存储模块
 - 8 个 18Kbit 可编程双端口 DPRAM
- 嵌入式 DSP 模块
 - 16 个 18x18 DSP 可用作 32 个 12x9 DSP 单元
- 时钟网络
 - 8 个偏斜校正全局时钟
 - OSC 补正后高达 1 +/-5% 的频率精度
 - 1 个支持倍频、分频、相移及偏斜校正的 PLL
 - 6 个外部时钟输入
 - 动态时钟管理系统
- 2 个硬核 4 通道 MIPI 接口
 - 可编程收发控制接口
 - 单通道 1.5 Gb/s，每个 MIPI 接口共 6 Gb/s
 - 可编程主机和外设 MIPI 控制器
- I/O
 - 支持 3.3/2.5/1.8/1.5/1.2V LVTTTL/LVCMOS
 - 可编程源同步 I/O
 - MIPI D-PHY, LVDS Rx, LVDS Tx 和 BLVDS
 - 每个 I/O 高达 1200 Mb/s

MCU

- 增强型 8051 MCU
 - 精简的指令周期（12 倍于标准 8051），MCU 主频率高达 200MHz
 - 兼容 8051 指令系统
 - 支持高达 8MB 数据/代码存储器扩展
 - 支持硬件 32/16-bit MDU
 - 片上调试系统(OCDS)
 - 8 通道 DMA

□ 外设

- 3 个 16 位计时器
- 1 个 I2C 接口
- 1 个 SPI 接口
 - 主机速率可达 100Mb/s @200MHz
 - 从机速率可达 25Mb/s @200MHz
- 2 个全双工串行端口，速率可达 6.25Mb/s @200MHz
- 增强的硬件运算单元支持乘、除、移位和归一化

- 支持停止（STOP）、空闲（IDLE）模式电源管理

存储器

- 嵌入式 SRAM 存储器
 - 8Kx32b 单端口 SRAM
 - 2*2Kx32b 单端口 SRAM
 - 用于 FPGA 或者 MCU 的灵活存储配置

配置

- 配置模式
 - JTAG 模式
 - 主动串行模式（AS）
 - 被动串行模式（PS）
- JTAG 接口
 - JTAG 芯片配置
 - JTAG 8051 调试

安全

- 256 位 AES 配置文件流加解密
- 保护 FPGA 和 8051 固件 IP，防止复制、克隆和篡改

□ 应用实例

- 两输入一输出 MIPI DSI 显示接口桥接
- 两输入两输出 MIPI DSI 显示接口桥接
- MIPI DSI 到 FPD-Link LVDS 显示接口桥接或者 FPD-Link LVDS 到 MIPI DSI 显示接口桥接
- MIPI DSI 到 CMOS 显示接口桥接或者

CMOS 到 MIPI DSI 显示接口桥接

封装

- ☐ STFBGA144
- ☐ LQFP128
- ☐ QFN56

- ☐ WLCSP58
- ☐ WLCSP68
- ☐ WLCSP72

1.2 HME-H1 系列 FPGA 特性

表 1-1 HME-H1 系列FPGA 特性

型号		H1D03N0	H1D03N3	H1M03N0	H1M03N3
可编程逻辑模块 (PLB)	逻辑单元	3276	3276	3276	3276
	查找表 (LUT6)	2048	2048	2048	2048
	寄存器 (Register)	4096	4096	4096	4096
嵌入式存储模块 (EMB)	18Kb	8	8	8	8
	最大存储	144Kb	144Kb	144Kb	144Kb
DSP	18b*18b	16	16	16	16
PLL		1	1	1	1
DLL		2	2	2	2
OSC		1	1	1	1
MIPI	D-PHY	2	2	2	2
	DSI Controller	2	2	2	2
MCU	8051	1	1	1	1
	UART	2	2	2	2
	I2C	1	1	1	1
	SPI	2	2	2	2
	Timer	3	3	3	3
	DMA	1	1	1	1
SRAM	2K*32b	2	2	2	2
	8K*32b	1	1	1	1
	Total	48KB	48KB	48KB	48KB
SPI Flash		0	4Mb	-	4Mb
eFuse		2x512b	2x512b	2x512b	2x512b
pSRAM		-	-	128Mb(1x8M*16b)	64Mb(2x4M*8b)
封装 (单位: mm)		最大用户 I/O (LVDS 对) /MIPI lane			
C144(6x6x0.94, 0.5 pitch)		68(12)/8		47(11)/8	
L128(16x16x1.2, 0.5 pitch)		58(12)/8			
Q56(5.0x5.0x0.55, 0.3 pitch)			17(5)/8		
W58(3.9x3.3x0.55, 0.4 pitch)			20(3)/8		
W68(4.0x4.6x0.55, 0.5 pitch)					21(7)/8
W72(3.9x3.3x0.55, 0.4 pitch)			34(10)/8		

1.3 核心架构

HME-H1 由五个 FPGA 架构可编程功能模块（PLB、IOB、EMB、DSP 和 PLL）和一个增强型 8051 系统组成。EMB 和 DSP 可称为特殊功能模块（SFB）。MCU 系统由增强型 8051 和 SRAM 组成。

- ❑ 可编程逻辑模块（PLB）由基于 RAM 的 6 输入查找表（LUT-6）和存储器组成，用于实现逻辑和存储功能。
- ❑ 嵌入式存储模块（EMB）以 18K bit 双端口块的形式提供数据存储功能。
- ❑ DSP 能实现两个 18 位二进制补码乘和 40 位的加或累加。
- ❑ PLL 提供自校准的完全数字解决方案，用于对时钟信号进行分配、延迟、倍频、分频和相移。
- ❑ 输入/输出模块（IOB）控制 I/O 引脚和设备内部逻辑之间的数据传输。每个 IOB 支持双向数据传输以及三态操作。
- ❑ 单指令增强型 8051 CPU 用作中央处理器，其指令集完全兼容标准的 ASM51。
- ❑ 嵌入式 SRAM 可用作 8051 程序和数据存储器，也可以用作 FPGA 嵌入式存储器。
- ❑ MIPI D-PHY 和 DSI 控制器可用作 MIPI 接口，连接 CSI 和 DSI 设备。

器件架构如下图所示。

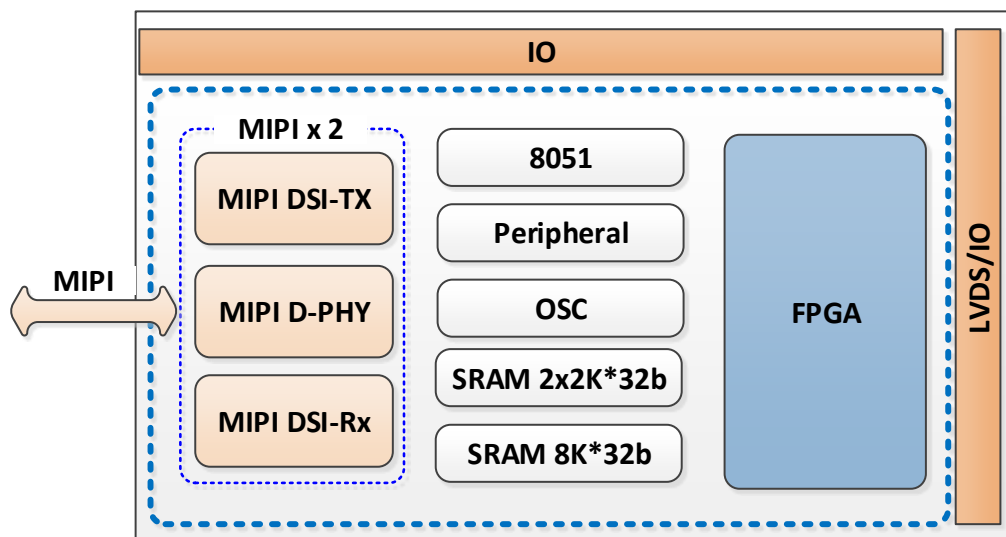


图 1-1 HME-H1 系列FPGA 架构图

1.4 系统连接概述

HME-H1D03 系列 FPGA 由增强型 8051 处理器、嵌入式外设、SRAM、CCB、时钟块、MIPI PHY 和控制器组成，通过路由资源互连到 FPGA。本小节主要对 HME-H1D03 系列 FPGA 特有的系统级功能进行介绍。关于系统中增强型 r8051xc2 内核、外设、MIPI 及时钟模块的详细介绍，请参阅其对应的用户指南和应用笔记文档。

系统连接图如下所示。

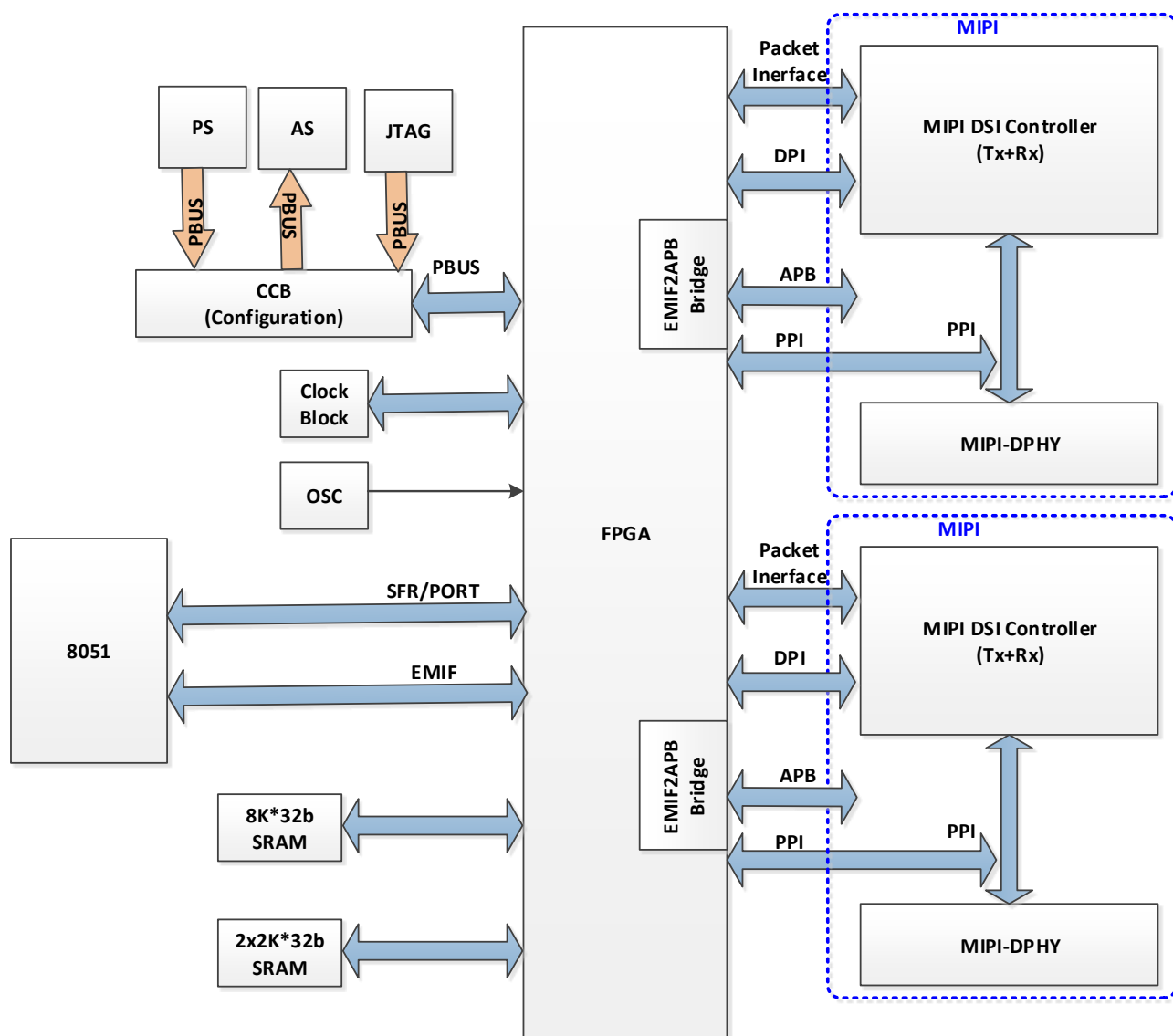


图 1-2 系统连接图

嵌入式 8Kx32b 或 2Kx32b SRAM 通过 EMIF 接口与 FPGA 互连，用作 8051 的代码和数据存储器。增强型 8051 和 SRAM 组成 MCU 系统。

用户可以使用 Fuxi IP 向导实例化 MCU IP，使外设连接到 FPGA。系统可以使用的外设包括 UART、SPI、I2C、端口、计时器及中断等等。

标准的 8051 MCU 具有 128 字节的特殊功能寄存器（Special Function Registers, SFRs），有些 SFR 未被硬核外设占用。用户可以使用 SFR 接口和这些未被占用的 SFR 来扩展定制外设或 IP，然后 MCU 可以通过 SFR 操作 FPGA 实现的软核外设。

FPGA 通过 MIPI D-PHY 的 PPI 接口传输数据，该 PPI 接口同时和 DSI 控制器相连。

FPGA 通过 APB 接口配置 DSI 控制器，并通过 Packet 接口与 DSI 控制器通信。FPGA 可以通过 D-PHY 从传感器接收 CSI 数据，也可以通过 DSI 控制器和 D-PHY 驱动 DSI 显示。

本章介绍 HME-H1D03 系列的 FPGA 模块。

2 FPGA

HME-H1 系列 FPGA 包含多达 256 个 PLB、16 个 EMB9K 模块、16 个 18x18 DSP、1 个 PLL 和 5 个 I/O bank。本章将逐一介绍这些模块。

2.1 可编程逻辑模块（PLB）

可编程逻辑模块（Programmable Logic Block, PLB）是 FPGA 的基本逻辑块，由 LE 和 Xbar 组成。其结构见下图所示。一个 LE 包含八个互联的 LP（Logic Parcel, 逻辑包）。LE 的逻辑资源用于实现时序和组合逻辑电路。

Xbar 可路由和传递各基本模块之间的信号。

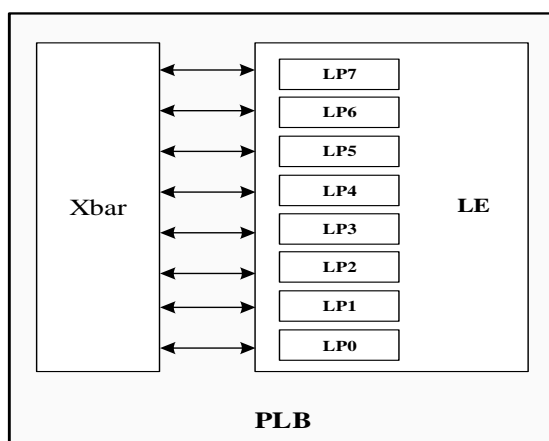


图 2-1 PLB 结构示意图

LP 是基本的可编程逻辑元件。LP 包括下列元件，通过这些元件可提供逻辑和算术功能：

- ☐ 一个 6 输入 LUT 逻辑功能发生器
- ☐ 两个寄存器
- ☐ 进位、级联、移位和算术逻辑

2.2 嵌入式存储器模块（EMB）

HME-H1 系列器件支持嵌入式存储器模块（EMB），该 EMB18K 模块排成一列。EMB18K 模块为真双端口存储器，允许独立访问两个端口。每个端口都有其专用的数据线，控制线和时钟线，用于同步读取和写操作。

EMB18K 具有以下功能：

- ☐ 18 Kbits
- ☐ 可以分别用作 4 个 4.5 Kb 或两个 9 Kb EMB

- ☐ 混合时钟模式
- ☐ 可以单独配置 A, B 数据位宽
- ☐ 支持写优先或者读优先
- ☐ 旁路或寄存器输出
- ☐ 可配置 RAM 或 FIFO 模式
- ☐ 每个 EMB18K 提供一个 64 位纠错编码块
- ☐ 初始化文件, 在 RAM 和 ROM 模式下预加载存储器中的数据
- ☐ 支持以下三种存储器模式:
 - emb_tdp
 - emb_sdp
 - emb_sp

2.2.1 EMB18K 端口定义

双端口 EMB18K 原语信号定义如下表所示。

表 2-1 EMB18K 端口定义

端口名称	类型	位宽	描述
clka	I	1	A 端口输入时钟
cea	I	1	A 端口片选使能, 高有效
wea	I	1	A 端口写使能, 高有效
aa	I	12	A 端口地址总线
da	I	18	A 端口数据输入
clkb	I	1	B 端口输入时钟
ceb	I	1	B 端口片选使能, 高有效
web	I	1	B 端口写使能, 高有效
ab	I	12	B 端口地址总线
db	I	18	B 端口数据输入
q	O	18	存储器 q 数据输出
wq_in	I	9	真双端口模式 EMB5K 输入
wq_out	O	9	真双端口模式 EMB5K 输出

表 2-2 EMB18K 参数

参数	类型	描述
modea_sel	字符串	A 端口使用模式设置: 256x18, 512x9, 1kx4, 2kx2, 4kx1, wtdp (真双端口) 默认: 256x18
modeb_sel	字符串	B 端口使用模式设置: 256x18, 512x9, 1kx4, 2kx2, 4kx1, wtdp (真双端口) 默认: 256x18
port a_wr_through	字符串	A 端口读写模式, ture: 写优先或 false: 正常 默认: false
port b_wr_through	字符串	B 端口读写模式, ture: 写优先或 false: 正常

参数	类型	描述
		默认: false
init_file	字符串	EMB 初始文件 默认: “”, 无初始化文件
operation_mode	字符串	EMB 工作模式 true_dual_port, single_port, simple_dual_port
port a_data_width	字符串	EMB 端口 a 数据位宽
port b_data_width	字符串	EMB 端口 b 数据位宽

2.2.2 EMB18K 操作

向 EMB18K 写入数据以及从 EMB18K 读取数据是在两个端口上分别独立进行的同步操作。

当“we”和“ce”信号在 clk 的上升沿为高时,“d”输入线的的数据将被写入由地址线“a”线寻址的 EMB18K 存储单元中。“wr_through”参数控制两种写操作,如果“wr_through”在写操作时为“true”,写数据也会被传送至“q”输出总线;如果“wr_through”在写操作时为“false”,“q”保持前面的值不变。两种操作的波形图分别如下所示。

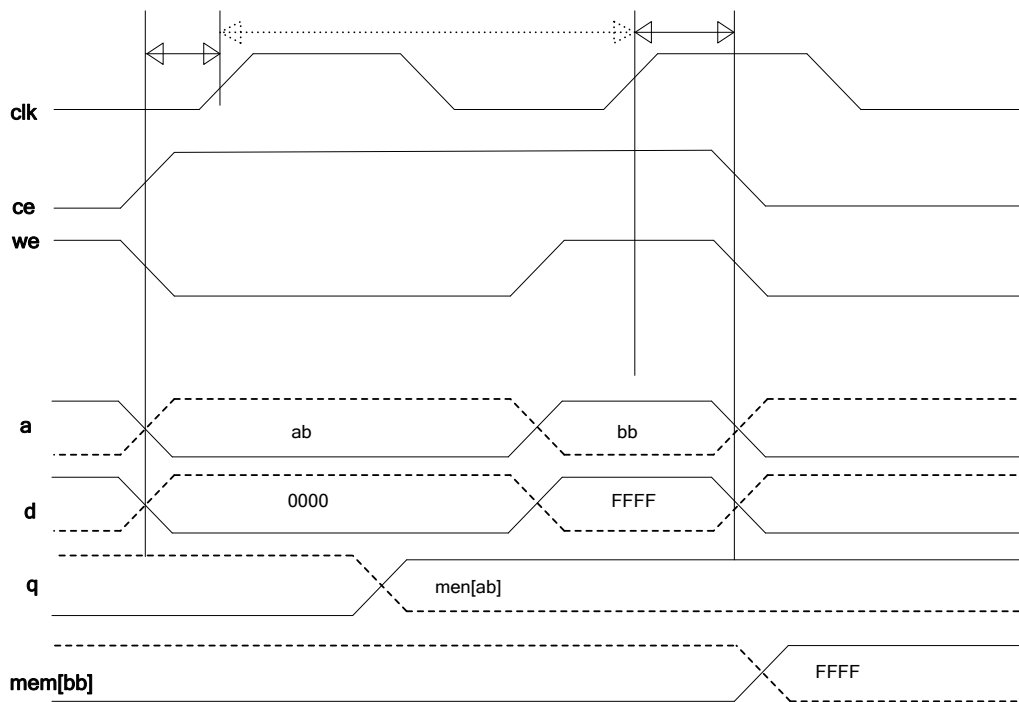


图 2-2 “wr_through”为“false”时的波形图

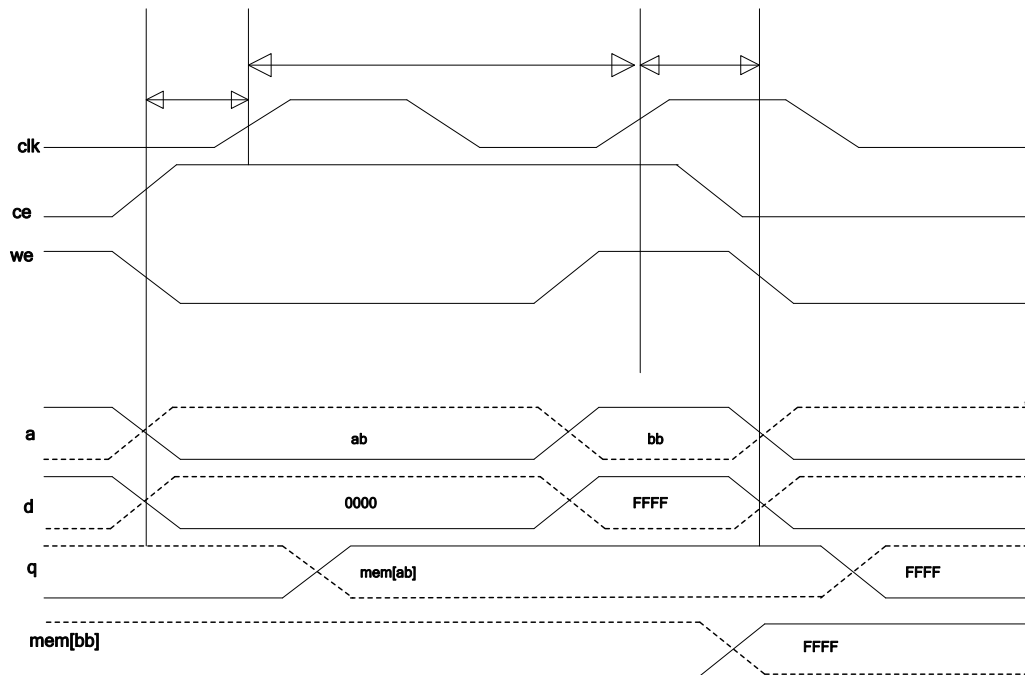


图 2-3 “wr_through” 为 “true” 时的波形图

2.2.3 EMB18K RAM 操作模式

(1) EMB18K 真双端口

EMB18K 支持双端口操作的任意组合：两个读操作，两个写操作，或不同时钟频率下一个端口读一个端口写操作。下图为真双端口存储器配置。

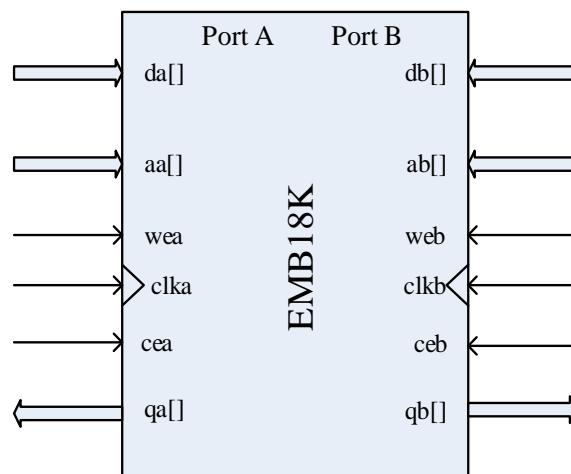


图 2-4 真双端口存储器模式

表 1 真双端口存储器模式端口描述

端口名称	类型	描述
aa (b)	输入	端口 A (B) 地址。
da (b)	输入	端口 A (B) 数据输入。
qa (b)	输出	端口 A (B) 数据输出。

端口名称	类型	描述
wea (b)	输入	端口 A (B) 写使能。当 wea (b) 和 cea (b) 都为“高”时，数据将在时钟的上升沿被写入存储器。
cea (b)	输入	端口 A (B) 使能。当 cea (b) 为“高”而 wea (a) 为“低”时，将从存储器的 aa (b) 地址读取数据；如果 cea (b) 为“低”，则 qa (b) 保持其值不变。
clka (b)	输入	端口时钟。

(2) EMB18K 简单双端口

EMB5K 支持简单双端口存储器模式：一个端口进行读操作，一个端口进行写操作。下图为简单双端口存储器配置。

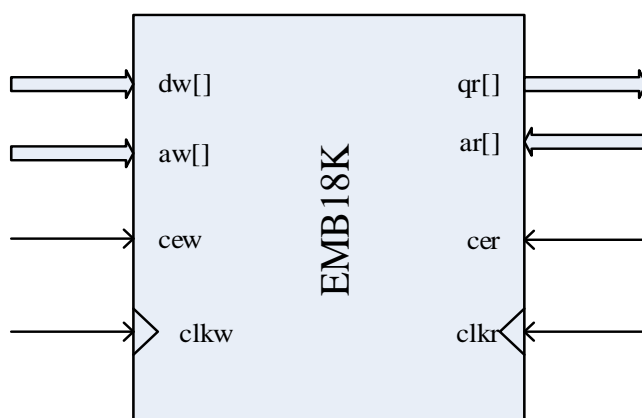


图 2-5 Simple Dual-port Memory Mode 简单双端口存储器模式

表 2 简单双端口存储器模式端口描述

端口名称	类型	描述
dw	输入	写数据
aw	输入	写地址
clkw	输入	写时钟
cew	输入	写使能，高有效
qr	输出	读数据
ar	输入	读地址
cer	输出	读使能，高有效
clkr	输入	读时钟

表 3 简单双端口配置

写端口	读端口						
	4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18
4K × 1	√	√	√	√			
2K × 2	√	√	√	√			
1K × 4	√	√	√	√			
512 × 8	√	√	√	√			

写端口	读端口						
	4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18
512 × 9					√		
256 × 16	√	√	√	√		√	
256 × 18							√

(3) EMB18K 单端口

EMB18K 支持单端口存储器模式，如下图所示。

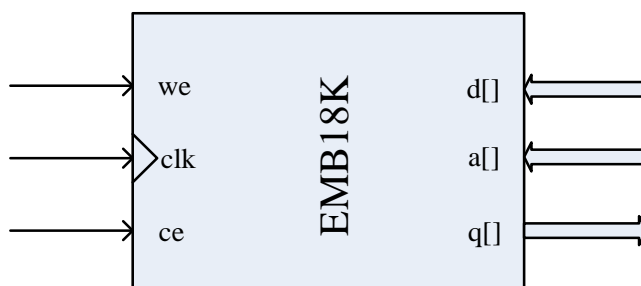


图 2-6 Single-port Memory Mode 单端口存储器模式

表 4 单端口存储器模式端口描述

端口名称	类型	描述
d	输入	写数据
a	输入	写地址
we	输入	写使能，高有效。
clk	输入	写时钟
ce	输入	端口使能，高有效
q	输出	读数据

表 5 单端口配置

端口						
4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18

2.2.4 EMB18K FIFO 操作模式

2.2.5 冲突避免

在双端口存储器模式下，两个端口都可以在任意时间读取任意一个存储器的地址。如果两个端口访问同一个地址时，读和写操作时钟应注意保持一定的时序约束，这些约束适用于同步时钟和异步时钟。

2.3 DSP Block DSP 模块

HME-H1 系列器件有一列 DSP MAC 模块，共 8 个。DSP 模块与 PLB 一样也是通过 XBar 与其他的模块相连。

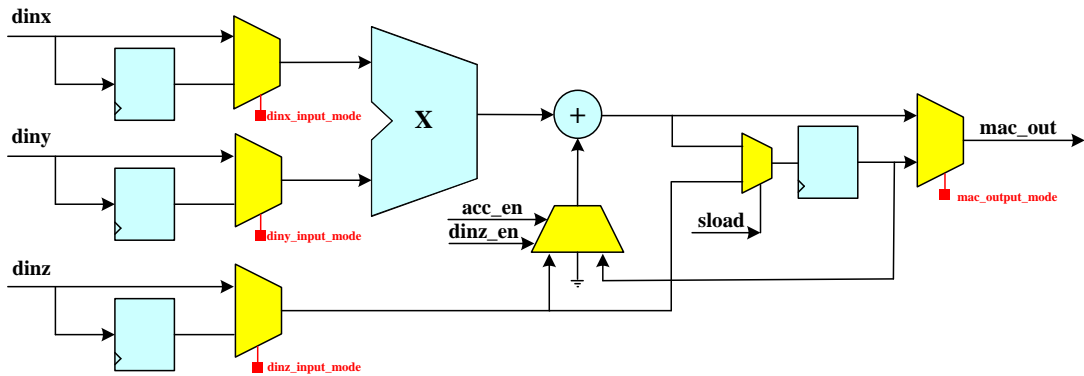


图 2-7 DSP 模块

DSP 包含一个 18 x18 位的二进制补码乘法器和一个 40 位的符号扩展累加器，可以实现数字信号处理（DSP）各种算法。可配置的输入输出寄存器，能够实现算法的流水线式操作，提高数据变换和传递的吞吐量。DSP 的功能特色如下：

- ❑ 18x18 位二进制补码乘法器（计算结果为全精度 36 位）
- ❑ 灵活的 40 位后累加器（带可选的寄存器累加反馈）
- ❑ 支持动态用户控制操作模式，能够适应从时钟循环到时钟循环的 DSP 功能
- ❑ 寄存器无需占用空间，即可确保最大的时钟性能和最大采样率
- ❑ 每个 DSP 可以用作 2 个独立的 12x9 乘法器（带 21 位累加器）

2.3.1 DSP 原语

下图为 DSP（MAC）模块。

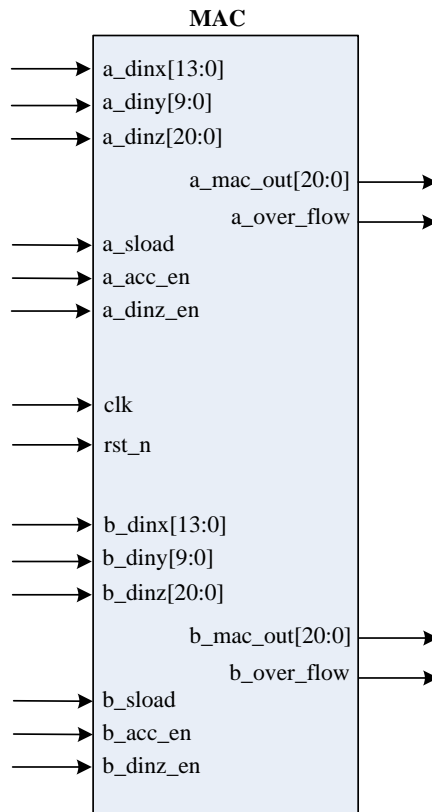


图 2-8 MAC 模块

表 6 端口定义

端口	方向	位宽	描述
a_dinx[13:0]	I	14	乘法器 A 的被乘数输入。18x18 模式下，用作被乘数输入的高位
b_dinx[13:0]	I	14	乘法器 B 的被乘数输入。18x18 模式下，用作被乘数低 6 位
a_diny[9:0]	I	10	乘法器 A 的乘数输入。18x18 模式下，用作乘数的低位
b_diny[9:0]	I	10	乘法器 B 的乘数输入。18x18 模式下，用作乘数的高位
a_dinz[20:0]	I	21	后置加法器 A 的加数输入。18x18 模式下，加数输入的低位
b_dinz[20:0]	I	21	后置加法器 B 的加数输入。18x18 模式下，加数输入的高位
a_sload	I	1	加载 a_dinz 到输出寄存器，高有效
b_sload	I	1	加载 b_dinz 到输出寄存器，高有效
a_acc_en	I	1	累加器 A 使能，高有效
a_dinz_en	I	1	加法器 A 使能，高有效
b_acc_en	I	1	累加器 B 使能，高有效
b_dinz_en	I	1	加法器 B 使能，高有效
a_mac_out[20:0]	O	21	MAC 模块 A 输出
b_mac_out[20:0]	O	21	MAC 模块 B 输出
a_overflow	O	1	MAC 模块 A 溢出标记，高有效
b_overflow	O	1	MAC 模块 B 溢出标记，高有效
clk	I	1	时钟输入
rstn	I	1	复位输入，低有效

表 7 参数表

参数	类型	描述
mode_sel	字符串	MAC 工作模式设置，默认：000
signed_sel	字符串	设置符号/无符号数乘法，true 或 false，默认：true
adinx_input_mode	字符串	a_dinx 输入模式设置：直通或寄存器，默认：直通
adiny_input_mode	字符串	a_diny 输入模式设置：直通或寄存器，默认：直通
adinz_input_mode	字符串	a_dinz 输入模式设置：直通或寄存器，默认：直通
amac_output_mode	字符串	a_mac_out 输出模式设置：直通或寄存器，默认：直通
bdinx_input_mode	字符串	b_dinx 输入模式设置：直通或寄存器，默认：直通
bdiny_input_mode	字符串	b_diny 输入模式设置：直通或寄存器，默认：直通
bdinz_input_mode	字符串	b_dinz 输入模式设置：直通或寄存器，默认：直通
bmac_output_mode	字符串	b_mac_out 输出模式设置：直通或寄存器，默认：直通

2.3.2 DSP 使用模式

DSP 可用于两个独立的 12x9 A-MAC 和 B-MAC 或一个 18x18 MAC 功能。其中 MAC 的功能相同，见图 2-7。HME Fuxi®软件可设置用户输入位宽并自动映射为 12x9 A-MAC 和 B-MAC 或 18x18 的 MAC。

表 8 端口描述

端口名称	类型	描述
clk	输入	时钟，上升沿有效
rstn	输入	复位，低有效
dinx	输入	乘法器输入（范围：2~18）

端口名称	类型	描述
diny	输入	乘法器输入（范围：2~18）
dinz	输入	加数输入（范围：2~40）
sload	输入	加载使能，高有效
acc_en	输入	累加器使能，高有效
dinz_en	输入	加法器使能，高有效
mac_out	输出	输出（范围：2~40）
overflow	输出	溢出，1 表示溢出；0 表示无溢出

注意 “acc_en” 和 “dinz_en” 均为 “高” 时，处于非激活状态。

表9 参数描述

参数	类型	描述
signedx_sel	字符串	“true”表示 dinx 的输入类型为有符号数 “false”表示 dinx 的输入类型为无符号数
signedy_sel	字符串	“true”表示 diny 的输入类型为有符号数 “false”表示 diny 的输入类型为无符号数
signedz_sel	字符串	“true”表示 dinz 的输入类型为有符号数 “false”表示 dinz 的输入类型为无符号数
dinx_input_mode	字符串	“bypass”表示直接输入至乘法器 “寄存器”表示通过寄存器输入
diny_input_mode	字符串	“bypass”表示直接输入 “寄存器”表示通过寄存器输入
dinz_input_mode	字符串	“bypass”表示直接输入 “寄存器”表示通过寄存器输入
mac_output_mode	字符串	“bypass”表示 mac 直接输出 “寄存器”表示 mac 通过寄存器输出

只有当 “x” 和 “y” 都不包含符号时， $x * y$ 乘法器的输出结果才不会包含符号，否则输出结果将包含一个符号并且为两个分量。只有当 “dinz” 和 “乘法器” 都不包含符号时，“mac_out” 乘法器的输出结果才不会包含符号，否则输出结果将包含一个符号并且为两个分量。

(1) 乘法器

下图中，DSP 作为一个乘法器，其输出结果为 “dinx * diny”。

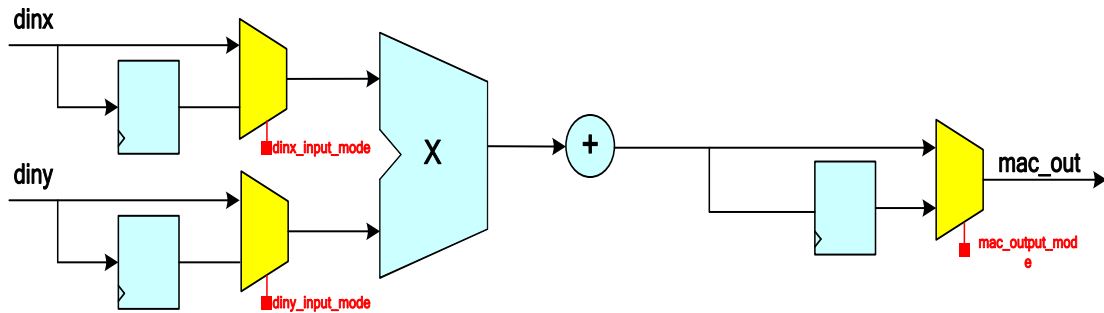


图 2-9 乘法器

(2) 乘法器和加法器

下图中，DSP 作为一个乘法器和加法器，其输出结果为 “ $dinx * diny + dinz$ ”。

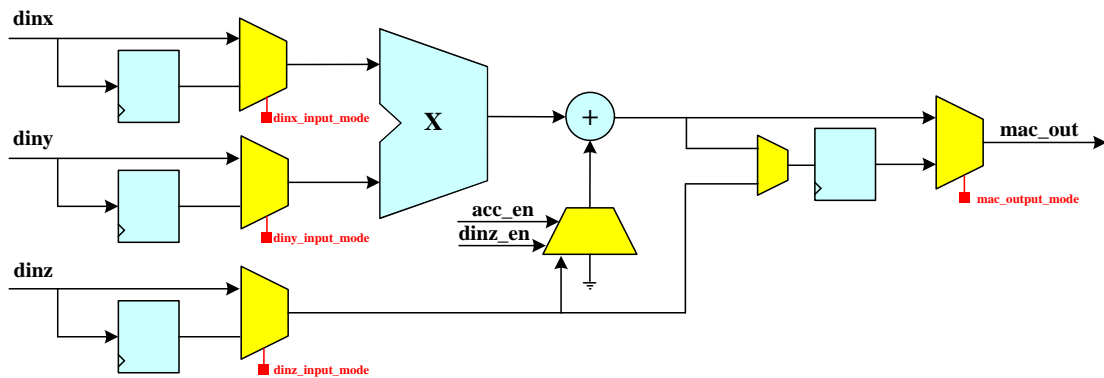


图 2-10 乘法器和加法器

(3) 乘法器和累加器

下图中，DSP 作为一个乘法器和加法器，其输出结果为 “ $dinx * diny + mac_out_{(n-1)}$ ”。

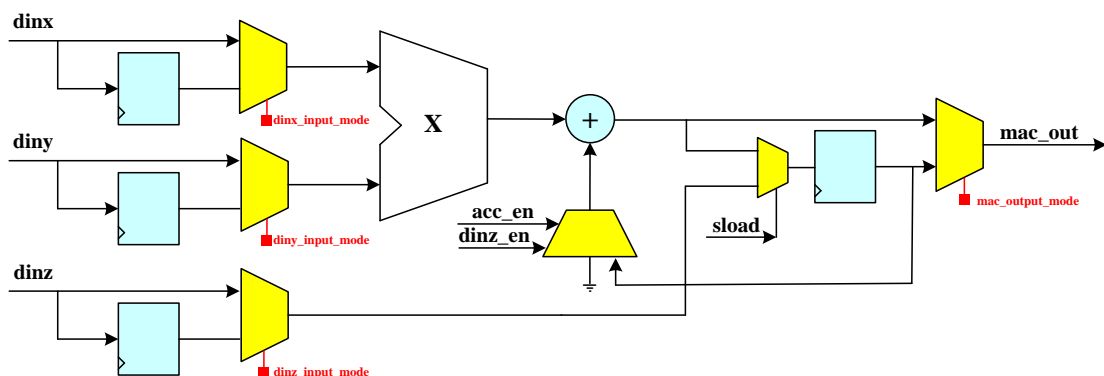


图 2-11 乘法器和累加器

2.4 时钟资源

HME-H1 系列器件提供了丰富的时钟线，以满足高扇出、短传播延迟和极低偏移的不同时钟要求。全局时钟通常由 PLL、DLL 和时钟输入引脚驱动。

2.4.1 PLL

HME-H1 FPGA 具有一个锁相环（PLL），可为逻辑资源、EBM、DSP 和 I/O 接口提供可靠的时钟管理与综合。

专用时钟引脚、XIN 和 OSC（内部配置振荡器）以及 FPGA 逻辑为左侧 PLL 的参考时钟提供参考时钟输入。该 PLL 可以生成 6 个时钟输出，可以作为器件的全局时钟。

(1) 特性

- ☐ 输入频率：10~600MHz
- ☐ PFD 输入频率：10 ~ 200MHz
- ☐ 输出频率：1.17 ~ 600MHz
- ☐ VCO 操作范围：600 ~ 1200MHz
- ☐ 固定 VCO 象限相移：0°, 45°, 90°, 135°, 180°, 225°, 270°, 315°
- ☐ 省电模式
- ☐ 6 时钟输出
- ☐ 时钟锁定输出
- ☐ 支持小数除数（非整数）除法器
- ☐ 偏斜校正模式
- ☐ 输入参考时钟切换
- ☐ 动态相移
- ☐ 动态频率重配置

(2) 框图

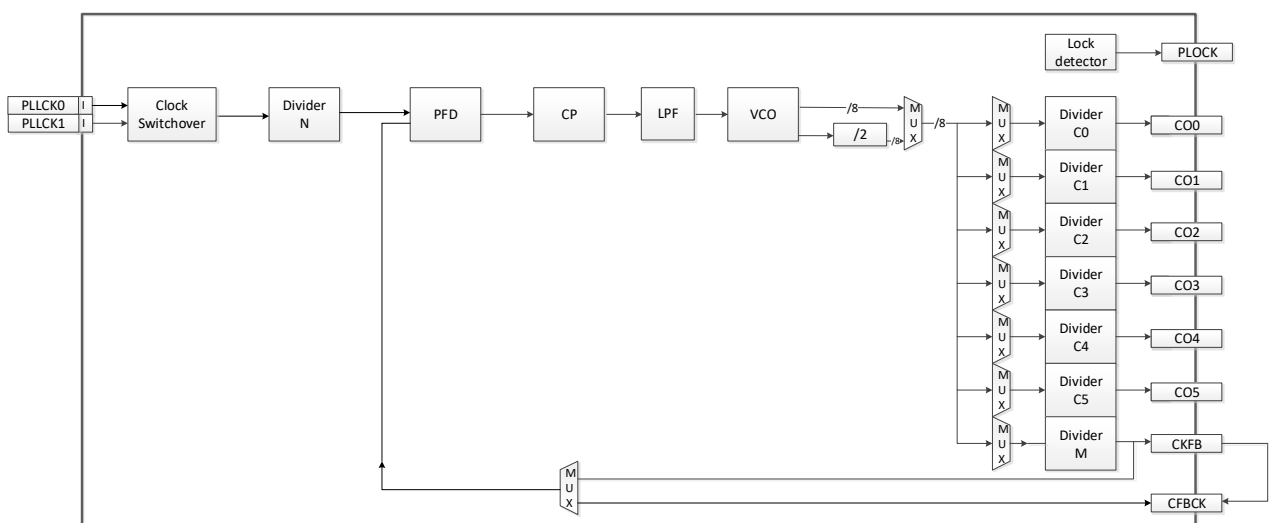


图 2-12 PLL 框图

(5) 偏斜校正模式

PLL 的频率偏斜校正模式框图如下所示。

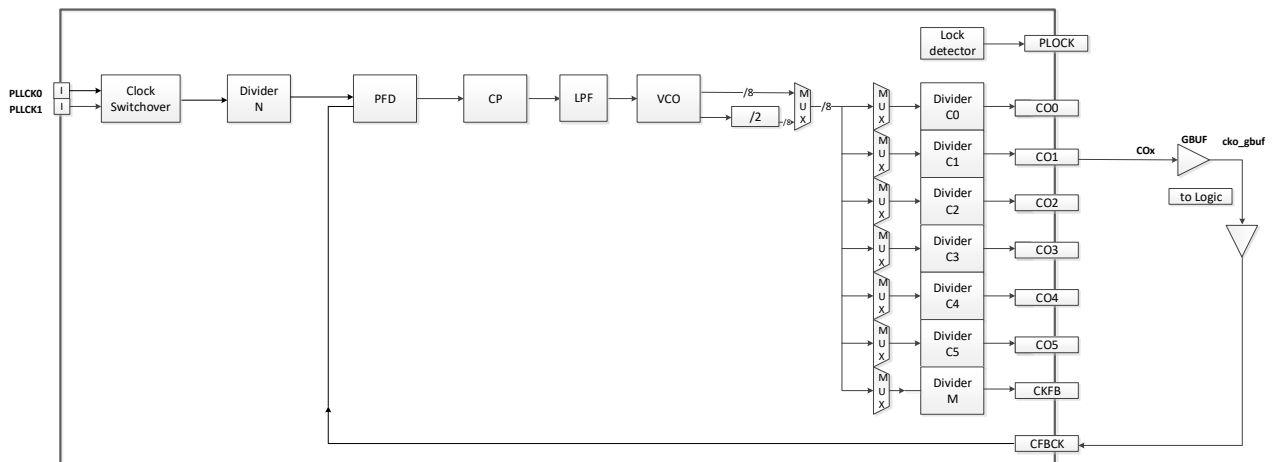


图 2-14 PLL 偏斜校正模式框图

PLL 反馈路径源是全局或者区域时钟网络，可最大程度地减少针对该时钟类型和特定 PLL 输出寄存器的时钟延迟。

输出时钟频率“Fcox”为：

$$F_{cox} = F_{in} \cdot \frac{N_m \cdot N_{co0}}{N_n \cdot N_{cox}} \quad (x=0,1,2,3)$$

$$F_{vco} = F_{in} \cdot \frac{N_m \cdot N_{mp} \cdot N_{co0}}{N_n}$$

PLL 支持多达三种不同的偏斜校正模式。每种模式都允许时钟乘除法运算和相位偏移。

(6) 源同步模式

如果数据和时钟同时到达输入引脚，那么在 I/O 单元输入寄存器的数据与时钟端口，数据与时钟之间的相位关系保持不变。

源同步模式对所使用的时钟网络延迟进行补偿，包括下面两条路径之间的延迟差别：

- 数据引脚到 I/O 单元寄存器的输入
- 时钟输入引脚到 PLL 相位频率检测器(PFD)的输入

源同步模式下数据与时钟之间的相位关系如下图所示：

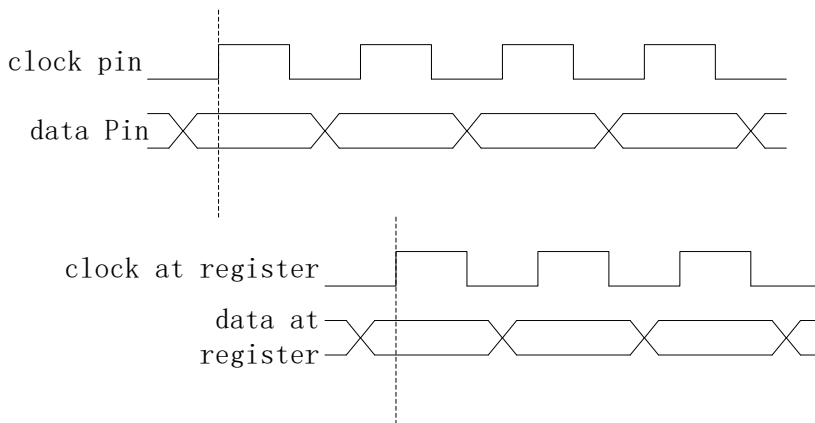


图 2-15 源同步模式下数据与时钟之间的相位关系

(7) 正常模式

正常模式下的内部时钟与输入时钟引脚相位对齐。如果在这种模式中连接外部时钟输出引脚，则外部时钟输出引脚会产生相对于时钟输入引脚的相位延迟。

在正常模式下，PLL 对 Gclk-ctrl 网络引入的延迟进行完全补偿。

正常模式下数据与时钟之间的相位关系如下图所示：

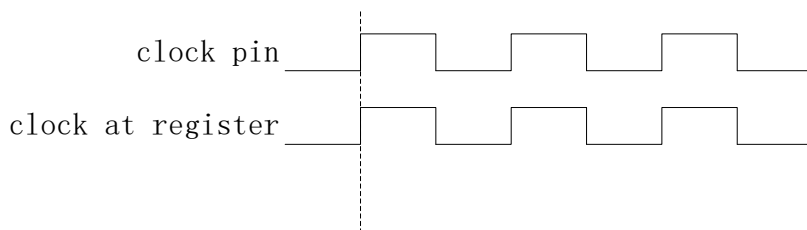


图 2-16 正常模式下数据与时钟之间的相位关系

(8) 零延迟缓冲模式

在零延迟缓冲（ZDB）模式下，外部时钟引脚与时钟输入引脚相位对齐，没有延迟。

使用此模式时，需要在输入时钟和输出时钟上使用相同的 I/O 标准，以确保输入和输出引脚上的时钟对齐。

零延迟缓冲器模式下数据与时钟之间的相位关系如下图所示：

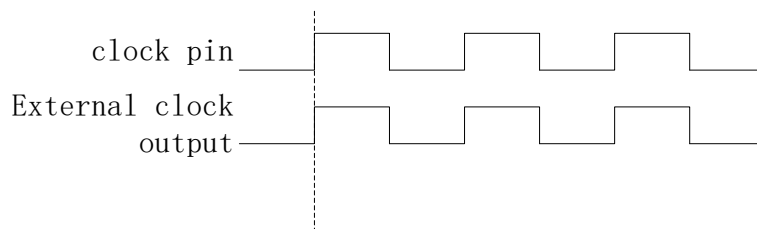


图 2-17 零延迟缓冲器模式下数据与时钟之间的相位关系

(9) 旁路模式

Fin 旁路 PLL 直接缓冲到 Cox，不会使 PLL 内部环路掉电。

(10) 掉电模式

Cox 设置为 0 时，整个 PLL 单元从内部断电。PLL 从掉电模式切换到正常模式（频率合成模式或偏斜校正模式）时需要一定锁定时间。

(11) 输出时钟延迟实现

输出时钟延迟为 HME H1 系列器件的时钟延迟实现提供可靠的解决方案。输出时钟延迟通过 VCO 多相位输出和计数器启动时间相结合来实现。VCO 多相位输出和计数器启动时间是插入延迟的最准确方法，因为它们仅基于计数器设置，与工艺、电压和温度无关。

输出时钟延迟包括微调 and 粗调。微调使用 VCO 多相位抽头来实现，粗调使用计数器启动时间来实现。

(12) 动态相移

动态相移功能使单个输出相位相对于彼此和参考时钟动态调整。您可以单独选择每个输出和反馈分频器进行相移。该功能简化了接口，并使您能够通过实时修改输出时钟相移，来迅速调整输出延迟。

(13) 分数分频器

在 CO0 输出路径中可以使用分数（非整数）分频器。分数分频器的分辨率为 1/8（或 0.125），最小值为 2.625。在 CO0 输出路径中，此功能能够有效地将可合成频率的数量增加八倍。

使用分数分频器时，CO0 输出路径将不支持动态相移功能，反之亦然。

(14) 时钟切换

时钟切换功能可以实现 PLL 在两个参考输入时钟之间进行切换。这一功能可用于时钟冗余或双时钟域的应用，例如：如果之前的时钟停止运行时，该时钟切换系统则会开启冗余时钟。您可以手动选择输出时钟或者自动进行时钟切换。使用切换电路来完成从运行在相同频率下的 ck0 到 ck1 的切换。例如，在要求一个与参考时钟相同频率的冗余时钟的应用中。

2.4.2 DLL

DLL 接收范围为 200MHz 至 600MHz 的输入参考时钟，并生成与参考时钟相同频率的多相位时钟。多相位时钟的每个延迟都以 $360^\circ / 16 = 22.5^\circ$ 的增量递增。DLL 专门为支持高性能接口要求的 LVDS 设备而设计。

3 输入/输出模块

输入/输出模块（Input/output Block, IOB）提供一个可编程的双向接口，芯片内部信号通过 I/O 引脚与外

部交互。

HME H1 系列器件中的 I/O 引脚以组（模块化 I/O bank）的形式进行分布，包括常规 I/O bank 以及 LVDS I/O bank。每个 Bank 都有一些通用的 VDDIO 输出电源电压引脚，这些引脚还为某些输入缓冲器供电。Bank0/1/2 是 LVDS I/O bank，它也可以支持常规单端 I/O。Bank3/4 仅为常规单端 I/O。

I/O bank3/4 具有以下特性：

- ☐ 支持 LVTTTL/LVCMOS 33/25/18 IO 标准
- ☐ 支持上拉电阻
- ☐ 固定的驱动强度
- ☐ 支持 DDR/SDR

I/O bank0/1/2 具有以下特性：

- ☐ 支持 LVTTTL 33/25/18 IO 标准
- ☐ 支持 LVCMOS 33/25/18/15/12 IO 标准
- ☐ 支持 2/4/8/12/16mA 驱动强度
- ☐ 可编程上拉/下拉/总线保持器
- ☐ 可编程压摆率控制
- ☐ 支持 LVDS/BLVDS/subLVDS 输入、CML/LVPECL/TMDS 以及 MIPI D-PHY
- ☐ 可编程差分终端
- ☐ 可编程差分驱动强度
- ☐ 每个 I/O 高达 1200Mbps
- ☐ 输入串并转换电路，双沿或单沿模式，分频比可为 2, 4, 6, 8, 10, 12, 14, 16
- ☐ 输出串并转换电路，双沿或单沿模式，分频比可为 2, 4, 6, 8, 10, 12, 14, 16

在不给 FPGA 供电的情况下，所有 I/O 均处于高阻抗状态。VCCINT 和 VCCIO 可根据需要供电。

上电完成之前，VCCINT，AVDD，VCCIO 必须达到各自推荐的最小操作值。此时，所有 I/O 驱动器也将处于高阻抗状态。

配置完成后，已分配信号的 I/O 处于 Active 状态，而未使用的 I/O 仍然保持高阻抗状态。

本章介绍 HME-H1D03 系列的 8051 例化、P 端口引脚的多路复用、MCU 存储器映射、外部存储器接口 (EMIF) 和 SFR 接口。

4 MCU

MCU 子系统包含 80MHz 增强型 8051 处理器，嵌入式外设，SRAM 以及其他组件，这些组成部分通过 Xbar 或者硬件电路互联。本章只介绍与 HME-H1D 系列器件相关的 MCU 系统及其功能。

MCU 功能特性如下：

❑ 增强型 8051 MCU

- 精简的指令周期（12 倍于标准 8051），MCU 主频率高达 200MHz
- 兼容 8051 指令系统
- 片上调试系统(OCDS)，在线 JTAG 调试
- 高达 8M 数据/代码存储空间

❑ 扩展存储器接口

- 数据/代码统一寻址，灵活的存储器配置
- 灵活的片内片外存储器扩展(EMIF)

❑ 外设

- 1 个 MDU
- 3 个 16 位计时器，计时器 2 可用作捕获单元
- 1 个 16 位看门狗计时器
- 1 个 I2C/SMBus 接口
- 1 个 SPI 接口
- 2 个全双工异步串行端口
- 8 通道 DMA

❑ 支持停止 (STOP)、空闲 (IDLE) 模式电源管理

下图为 MCU 功能及 MCU 和 FPGA 连接示意图。

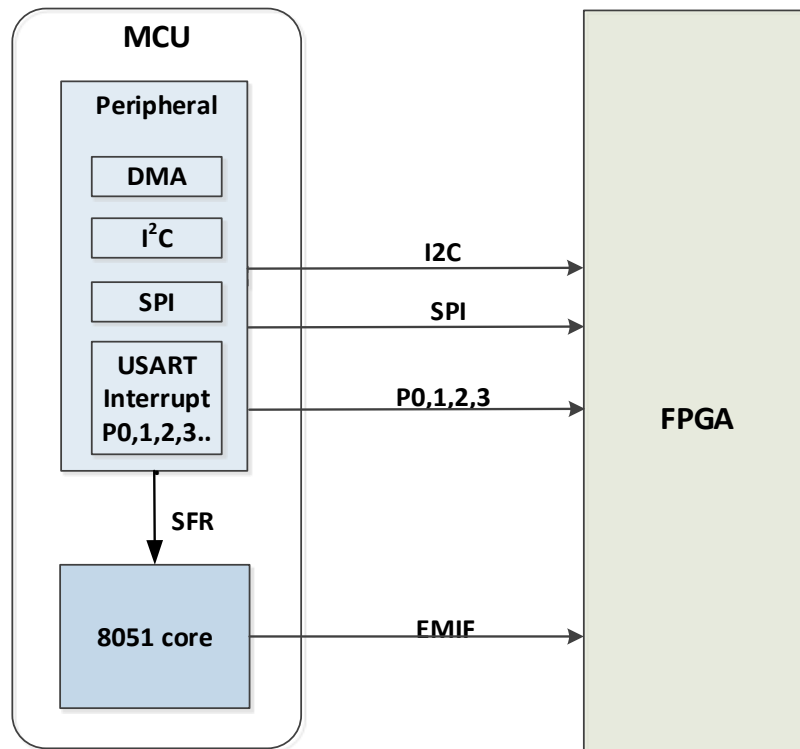


图 4-1 MCU 系统框图

4.1 8051 例化

从用户的设计角度来看，8051 IP 可被视作一个宏模块，类似于其它 IP，如 EMB18K 等，在代码中直接例化。

8051 端口定义请见下表。

表 10 8051 端口定义

名称	类型	位宽	描述
全局接口			
clkcpu	I	1	MCU 8051 时钟，来自 MCU GBUF 或内部 OSC
clkcpuen	O	1	当 8051 处于 STOP 或 IDLE 模式时为低
clkperen	O	1	当 8051 处于 IDLE 模式时为低
reseth	I	1	8051 复位，低有效
ro	O	1	8051 复位输出
swd	I	1	启动看门狗定时器输入
SPI 接口			
scki	I	1	SPI 时钟输入
scko	O	1	SPI 时钟输出
scktri	O	1	SPI 时钟三态使能
ssn	I	1	从选择输入
misoi	I	1	“主输入/从输出”输入引脚
misoo	O	1	“主输入输入/从输出”输出引脚
misotri	O	1	“主输入输入/从输出”三态使能
mosii	I	1	“主输入输出/从输入”输入引脚

名称	类型	位宽	描述
mosio	O	1	“主输入输出/从输入”输出引脚
mositri	O	1	“主输入输出/从输入”三态使能
spssn	O	8	8 个从机选择输出
I2C 接口			
scli	I	1	I2C 时钟输入
sdai	I	1	I2C 数据输入
sclo	O	1	I2C 时钟输出
sdao	O	1	I2C 数据输出
通用 I/O			
port0i	I	8	8 位输入端口
port0o	O	8	8 位输出端口
port1i	I	8	8 位输入端口，与 int2-7, ccu, t2 和 rxd1 兼容
port1o	O	8	8 位输出端口，与 ccu 和 txd1 兼容
port2i	I	8	8 位输入端口
port2o	O	8	8 位输出端口
port3i	I	8	8 位输入端口，与 int0-1, rxd0, t0 和 t1 兼容
port3o	O	8	8 位输出端口，与 txd0 和 rxd0o 兼容
EMIF 接口			
clkemif	I	1	EMIF 接口时钟
memack	I	1	EMIF 接口应答信号，高有效
memdatai	I	8	EMIF 接口数据输入
memdatao	O	8	EMIF 接口数据输出
memaddr	O	23	EMIF 接口地址
memwr	O	1	EMIF 接口写使能，高有效
memrd	O	1	EMIF 接口读使能，高有效
Hold 接口			
hold	I	1	保持模式请求，高有效
holda	O	1	保持模式应答信号
intoccur	O	1	保持状态下中断指示信号，高有效
waitstaten	O	1	等待状态指示，当 8051 处于等待过程时为低

表 11 参数表

参数	类型	描述
program_file	字符串	MCU/8051 程序文件：*.hex

4.2 P 端口引脚多路复用

一些功能，例如外部中断 1，USART0，USART1，Timer 0~2 和比较-捕获单元，它们与端口 1 及端口 3 复用引脚，详见下表。

表 12 端口引脚复用表

名称	类型	极性 Bus size	复用端口	描述
外部中断输入				
int0	I	Low/Fall	port3i[2]	外部中断 0
int1	I	Low/Fall	port3i[3]	外部中断 1
int2	I	Fall/Rise	port1i[4]	外部中断 2
int3	I	Fall/Rise	port1i[0]	外部中断 3
int4	I	Rise	port1i[1]	外部中断 4
int5	I	Rise	port1i[2]	外部中断 5
int6	I	Rise	port1i[3]	外部中断 6
int7	I	Rise	port1i[6]	外部中断 7
串行 0 接口				
rx0i	I	1	port3i[0]	串口 0 接受数据
rx0o	O	1	port3o[0]	串口 0 传输数据
tx0	O	1	port3o[1]	模式 0 下，串口 0 传输数据或接受时钟
串行 1 接口				
rx1	I	1	port1i[0]	串口 1 接受数据
tx1	O	1	port1o[1]	串口 1 传输数据
定时器输入				
t0	I	下降	port3i[4]	定时器 0 外部输入
t1	I	下降	port3i[5]	定时器 1 外部输入
t2	I	下降	port1i[7]	定时器 2 外部输入
t2ex	I	下降	port1i[5]	定时器 2 捕获触发
比较-捕获单元				
cc(0)	I	上升/下降	port1i[0]	比较/捕获 0 输入
cc(1)	I	上升	port1i[1]	比较/捕获 1 输入
cc(2)	I	上升	port1i[2]	比较/捕获 2 输入
cc(3)	I	上升	port1i[3]	比较/捕获 3 输入
Ccubus[0]	O	1	port1o[0]	比较/捕获 0 输出
Ccubus[1]	O	1	port1o[1]	比较/捕获 1 输出
Ccubus[2]	O	1	port1o[2]	比较/捕获 2 输出
Ccubus[3]	O	1	port1o[3]	比较/捕获 3 输出

4.3 MCU 存储器映射

8051 MCU 核可通过专用页面地址寄存器将程序存储器和外部数据存储器分别扩展至 8MB。但是，HME-H1 系列内部集成时，把程序和数据两套控制信号相或后形成一组统一的控制信号，使程序和外部数据存储器统一编址，共用存储空间。程序存储器从地址 0 开始向上增加，没被程序用掉的空间可用作外部数据存储器。

注意 用户必须区分开程序和外部数据存储器空间，勿使其重叠，否则写数据会改写程序，导致异常发生。

8051 固件文件 (*.hex) * 存放于参数程序文件中。该固件文件作为初始化数据的一部分被添加到配置文件中。

下图为 HME-H1 系列 MCU 存储器（包含 FP 扩展存储器）映射图。

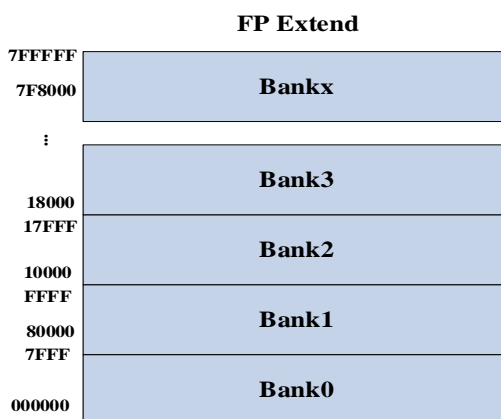


图 4-2 MCU 存储器映射

4.4 外部存储器接口（EMIF）

EMIF 用于扩展 MCU 存储器，地址为 000000~7FFFFFFF，可以被 Fabric 使用。

HME-H1 系列为 Fabric 扩展存储器提供同步 EMIF。

4.4.1 同步 EMIF

EMIF 的时钟与 8051 相同，信号直接连接至 Fabric。

下图为 EMIF 和 Fabric 同步连接示意图。

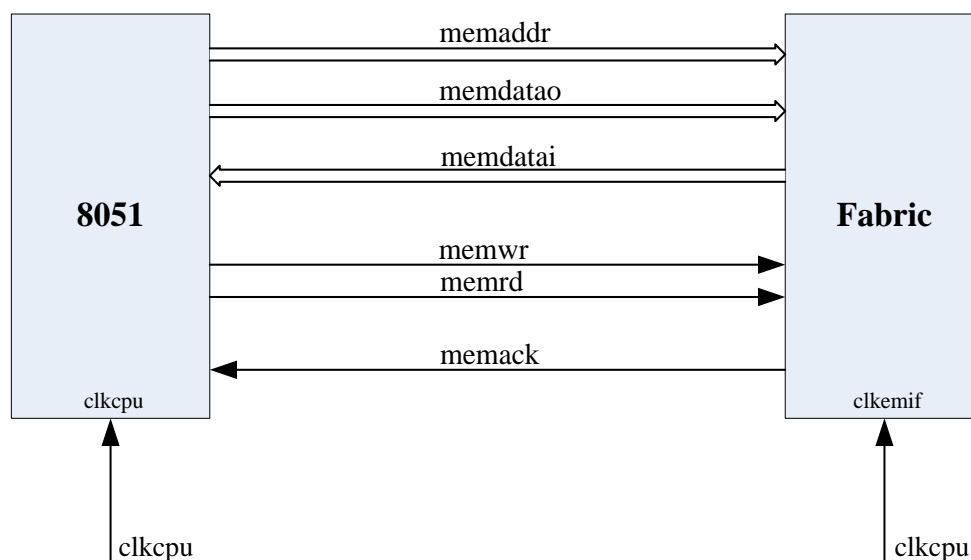


图 4-3 同步 EMIF

4.4.2 EMIF 时序

控制信号“memrd”，“memwr”和“memack”位于 clkcpu 域中，在 clkemif 上升沿中产生。如果操作时，没有有效的“memack”发送至 8051 核中，“memrd”，“memwr”和“memack”控制信号以及“memaddr”

和“memdatao”总线将被延长。当“memack”变低时，“memrd”，“memwr”变为无效，且“memaddr”和“memdatao”延长几个周期。

读操作时，Fabric 会将读数据放到“memdatai”总线上，直到“memack”变低为止。EMIF 读波形见下图所示。

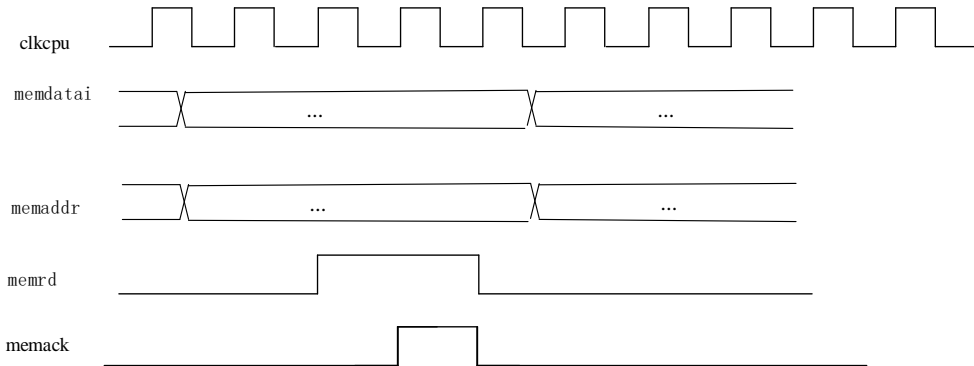


图 4-4 EMIF 读波形

写操作时，Fabric 在“memwr”有效时将“memdatao”写入扩展存储器中，并在下一次循环时发送一个有效的“memack”至 8051 中。

EMIF 写波形如下图所示：

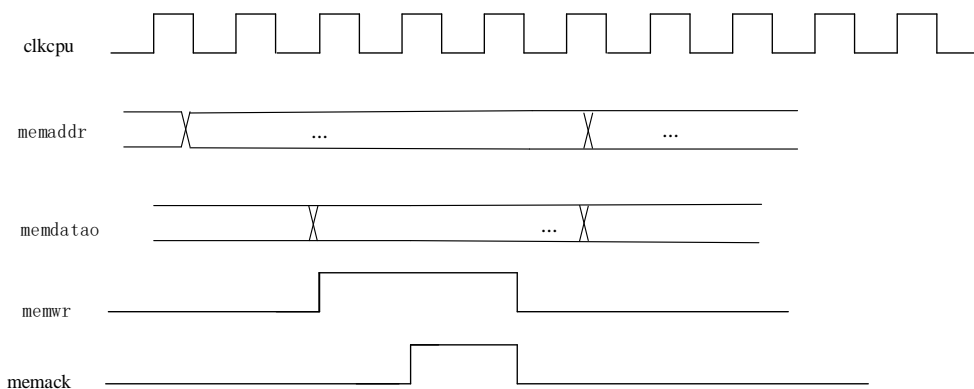


图 4-5 EMIF 写波形

4.5 SFR 接口

4.5.1 SFR 接口简介

HME-H1 系列为 Fabric 扩展 SFR 提供同步 SFR 接口。

下图为 SFR 和 Fabric 同步连接示意图。

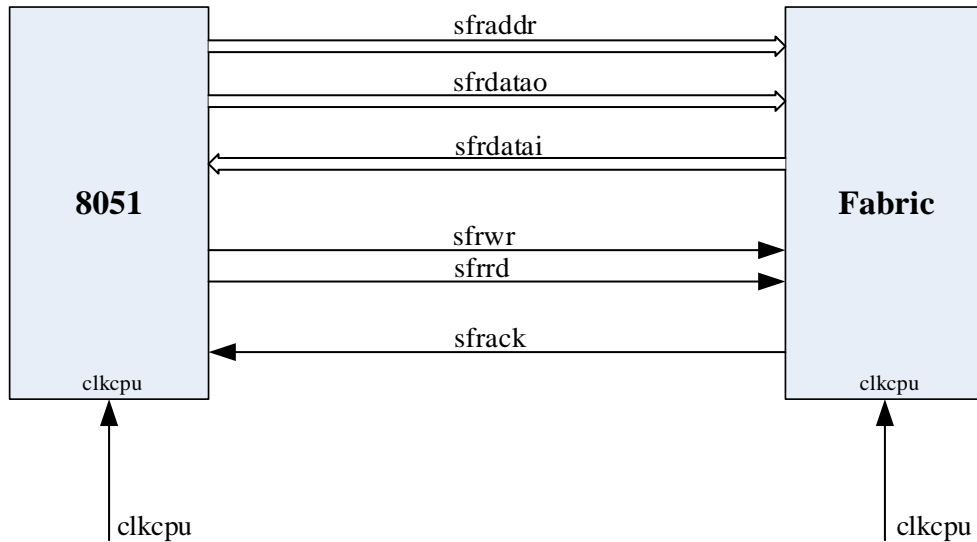


图 4-6 同步 SFR

4.5.2 SFR 时序

控制信号“sfrd”，“sfrwr”和“sfrack”位于 clkcpu 域中，在 clkcpu 上升沿中产生。如果操作时，没有有效的“sfrack”发送至 8051 核中，“sfrd”，“sfrwr”和“sfrack”控制信号以及“sfraddr”和“sfrdatao”总线将被延长。当“sfrack”变低时，“sfrd”和“sfrwr”变为无效，且“sfraddr”和“sfrdatao”延长几个周期。

读操作时，Fabric 会将读数据放到“sfrdatai”总线上，直到“sfrd”变低为止。SFR 读波形见下图所示。

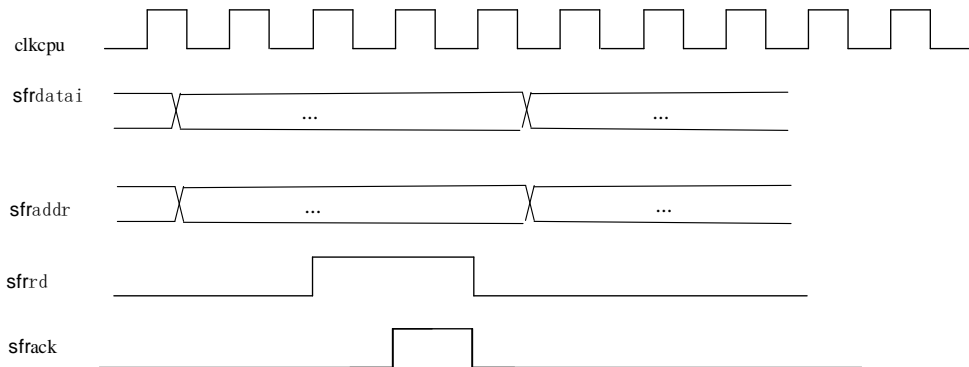


图 4-7 SFR 读波形

写操作时，Fabric 在“sfrwr”有效时将“sfrdatao”写入扩展存储器中，并在下一次循环时发送一个有效的“sfrack”至 8051 中。

SFR 写波形如下图所示：

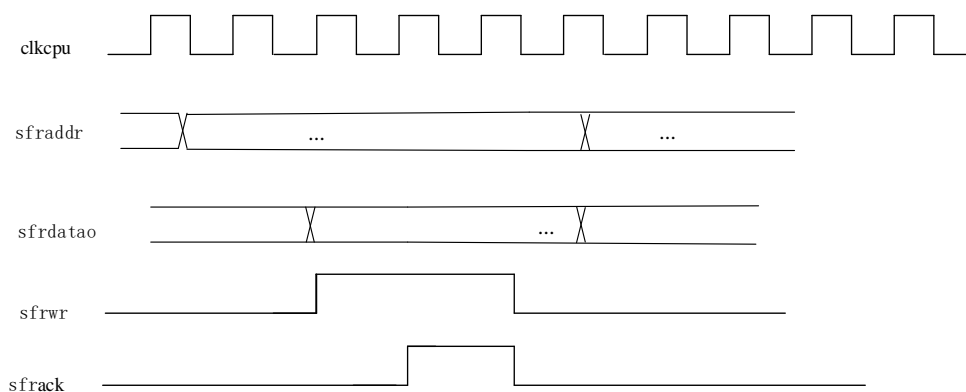


图 4-8 SFR 写波形

本章介绍 HME-H1D03 系列的 SRAM 的端口定义，包括 8Kx32 与 2Kx32 的 2 种 SRAM。

5 SRAM

HME-H1D03 系列器件包含嵌入式同步 SPRAM，一种类型为 8Kx32b，另一种类型为 2Kx32b。通过 FPGA 的逻辑和路由资源，这两个 SPRAM 可以用作 FPGA 或 8051 MCU 的存储器。

5.1 SPRAM_8Kx32 SRAM 端口定义

下表为单端口 SPRAM 原语信号定义：

表 13 SPRAM_8Kx32 SRAM 端口定义

端口名称	类型	位宽	描述
clk	I	1	SRAM 的输入时钟，上升沿有效
ceb	I	1	SRAM 的芯片使能，低电平有效
web	I	1	SRAM 的写入使能，低电平有效
beb	I	4	SRAM 的字节使能，低电平有效
addr	I	13	SRAM 的地址线
datai	I	32	SRAM 的数据输入
datao	O	32	SRAM 的时钟输入

表 14 SRAM 参数

参数	类型	描述
init_file	string	SPRAM 初始文件，后缀名为.dat 或.hex 默认值：“ ”

5.2 SPRAM_2Kx32 SRAM 端口定义

下表为单端口 SPRAM 原语信号定义。

表 15 SPRAM_2Kx32 SRAM 端口定义

端口名称	类型	位宽	描述
clk	I	1	SRAM 的输入时钟，上升沿有效
ceb	I	1	SRAM 的芯片使能，低电平有效
web	I	1	SRAM 的写入使能，低电平有效
addr	I	11	SRAM 的地址线
datai	I	32	SRAM 的数据输入
datao	O	32	SRAM 的时钟输入

表 16 SRAM 参数

参数	类型	描述
init_file	string	SPRAM 初始文件，后缀名为.dat 或.hex 默认值: “ ”

本章介绍 HME-H1D03 系列的 MIPI 的 D-PHY 模板及 DSI 控制器内核。

6 MIPI

6.1 MIPI D-PHY 模块

器件左侧包含 2 个硬核 4 Lane MIPI D-PHY。D-PHY 可以配置用于支持相机接口（CSI-2）应用和显示接口（DSI）应用。以下为硬核 D-PHY Quad 特性概要。

- ☐ 传输和接收兼容 D-PHY Revision 1.1
- ☐ 支持高速(HS)和低功耗(LP)模式（包括内嵌竞争检测器）
- ☐ 每 Quad 高达 6 Gb/s（数据速率每通道 1500 Mb/s）
- ☐ 传输频率合成专用 PLL
- ☐ Fabric 接口专用串行器和解串器模块
- ☐ 支持连续时钟模式或低功耗时钟模式

6.2 DSI 控制器内核

DSI 控制器内核提供了一个灵活、高性能以及易于使用的 MIPI DSI 控制器。其核心特性包括：

- ☐ 实现三个 DSI 层（像素到字节打包、LLP 层、通道管理层）
- ☐ 支持 Command 及 Video 模式
- ☐ 主机和外设版本
- ☐ 支持可扩展的数据通道，1 至 4 个数据通道
- ☐ Lane0 中双向数据支持
- ☐ 支持高速和低功耗操作
- ☐ 支持所有 DSI 数据类型和格式
- ☐ 虚拟通道支持
- ☐ 支持 ULPS 模式
- ☐ 完整的 LLP 错误信息及竞争检测报告
- ☐ 支持连续和不连续时钟通道（Clock Lane）操作
- ☐ 每次传输支持多个数据包
- ☐ 支持三种 Video 模式数据包序列
 - 同步脉冲非高速模式
 - 同步事件非高速模式
 - 高速模式
- ☐ 支持总线翻转信号
- ☐ 基于数据包的灵活用户界面
 - APB 接口（状态和控制）
- ☐ 支持 PHY 协议接口（PPI）兼容的 MIPI D-PHY
- ☐ 符合 MIPI Alliance 协议的显示串行接口（DSI），兼容版本 1.3.1

本章介绍 HME-H1D03 系列的配置模式和引脚、配置过程、配置方案、eFuse 和 AES 安全的内容。

7 配置和调试

HME-H1 系列器件通过将特定应用的配置数据（Bitstream）加载到内部存储器（SRAM）进行配置。由于内部存储器的掉电易失特性，每次器件上电后都需要将配置数据重新加载到器件中。

7.1 配置模式和引脚

配置数据通过特殊配置引脚加载到器件中，这些配置引脚用作不同配置模式的接口。HME-H1 系列器件共支持三种配置模式：JTAG、AS 和 PS 模式，这三种模式由三个专用引脚 MSEL1、MSEL10 和 JM_B 来定义。当器件上电或复位时，这三个引脚值被锁存以进行模式选择。下表为配置模式信息。

表 17 配置模式

模式	方向	描述
(MSEL1, MSEL0)	输入	配置模式选择。 默认值：下拉 00B。当设备上电或复位时，引脚值将被锁存以进行模式选择。 00B: AS 模式和时钟来自内部 OSC 01B: PS 模式 10B: 保留 11B: 时钟来自外部引脚时为 AS 模式
JM_B	输入	JTAG 引脚模式。 默认值为上拉 1。当设备加电或复位时，引脚值将被锁存以进行模式选择。 1: TCK / TDI / TDO / TMS 引脚没有 JTAG 功能，只有用户 I/O。 0: TCK / TDI / TDO / TMS 引脚仅用作 JTAG 功能。

表 18 配置引脚

SPI serial configuration Pins		
SCK	输入/输出	在被动串行 PS 配置模式下，SCK 是时钟输入，用于将配置数据从外部设备源输入设备。 在主动串行 AS 配置模式下，SCK 是设备的时钟输出。 配置后，该引脚可用作常规用户 I/O。
mosi	输入/输出	在 AS 模式下为数据输出，在 PS 模式下为数据输入。配置后该引脚可用作常规用户 I/O。
miso_busyout	输入/输出	在 AS 模式下为数据输入，在 PS 模式下为数据输出，表示是否忙，高有效。配置后该引脚可用作常规用户 I/O。
csn	输入/输出	片选输出，在 AS 模式下片选 SPI 闪存，PS 模式下作为器件片选输入。配置后，该引脚可用作常规用户 I/O。

SPI serial configuration Pins		
hold	输出	保持 SPI Flash 的输出。
wp	输出	SPI Flash 的写保护输出。
Dedicated Configuration Pins:		
CDONE	输出	这是专用的配置状态引脚，配置期间该引脚将输出低电平，配置完成后输出高电平。配置后，该引脚可用作常规用户 I/O。
CRST_N	输入	芯片全局复位输入。 低电平有效。
Dedicated Pins: JTAG		
TCK	输入	TCK 输入边界扫描时钟。
TDI	输入	TDI 输入边界扫描数据输入。
TDO	输出	TDO 输出边界扫描数据输出。
TMS	输入	TMS 输入边界扫描模式选择。

7.2 配置过程

完整配置过程包括以下步骤：

- ☐ 上电
- ☐ 复位
- ☐ 初始化
- ☐ 配置
- ☐ 用户模式

如果器件从掉电状态上电，VDD_CORE 和 AVDD（用于 Efuse 和内部电源）必须上电至合适的电平，使器件从 POR 退出。

上电后，HME 器件有一个 POR 过程。在 POR 过程中，器件复位，将 CDONE 保持为低电平，并三态所有用户 I/O 引脚。当器件退出 POR 后，所有用户 I/O 引脚继续处于三态。当 CRST_N 为低电平时，器件处于复位状态。当 CRST_N 变高时，器件进入初始化步骤。在 HME 器件中，初始化时钟源为内部振荡器。该器件自身为适当的初始化提供了足够的时钟周期。

初始化完成后，器件准备接收配置数据，并开始进入配置阶段。接受配置数据并且 CDONE 变高后，HME 器件将进入用户模式。

POR 电路监测上电/断电电压电平，并在满足触发点条件时生成 POR 信号。

7.3 配置方案

7.3.1 AS 模式

HME 下载电缆可以通过 JTAG 间接操作 SPI Flash。

下图为使用 JTAG 间接操作的 AS 配置方案。

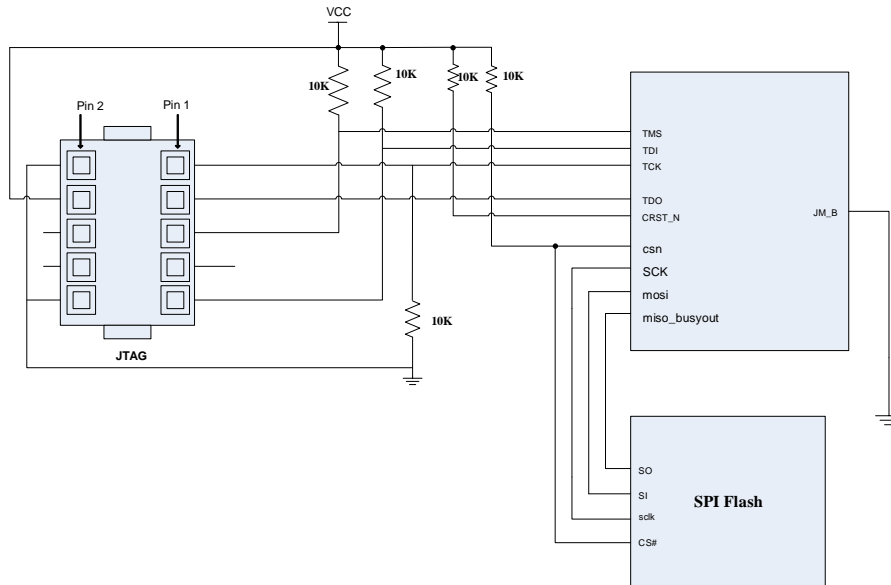


图 7-1 使用 JTAG 的 AS 配置

7.3.2 PS 模式

在 PS 模式下，HME-H1 系列器件作为一个从设备被动接受外部主控制器的配置数据。SPI 主控器不能读取 HME-H1 系列器件的配置数据，因此 PS 主机或者 HME 线缆无法对器件中的嵌入式 Efuse 进行操作，而应该由 JTAG 对其进行编程。

下图为 HME-H1 系列器件 PS 配置模式图。

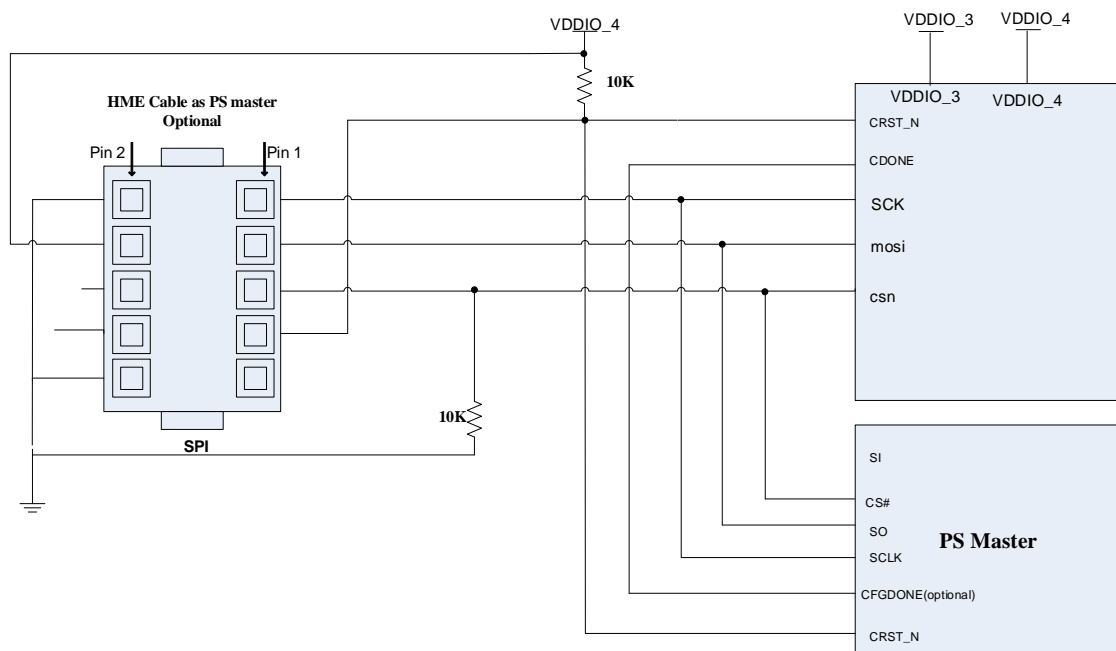


图 7-2 PS 配置

7.3.3 JTAG 模式

HME-H1 系列器件包含两个 JTAG 器件，用于配置和 Farbic 调试。

JTAG 接口可以对器件中的嵌入式 Efuse 进行配置和调试。

下图为 HME-H1 系列器件 JTAG 配置模式图。

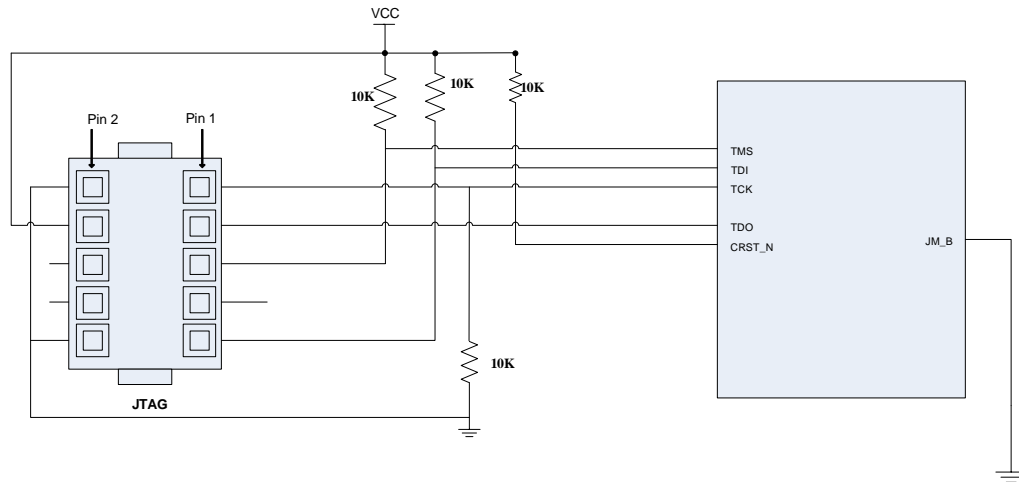


图 7-3 JTAG 配置

7.4 eFUSE

HME-H1 系列器件提供一个 1024 位的 eFUSE，是一个包含电子可编程熔丝（一次性程序存储器）的存储体。该 eFUSE 可以存储其他配置设置数据和 256 位 AES 密钥、128 位初始化向量，密钥和初始化用于数据流解密。

使用 Fuxi 的 E-Fuse Burner 工具并连接 HME 下载线可以对 eFUSE 进行编程。

下表显示了 eFuse 的字段描述。

表 19 Efuse 字段

位	描述
预留区	
1023:416	预留
用户区	
415:408	CRC 检查用户区域[7: 0]
407:387	用户数据。可以通过连接到 Fabric 的 pbus master 操作。
386:384	User_efuse_lock_bit
383:256	初始向量[127: 0]
255:0	AES 密钥[255: 0]

7.5 AES 安全

高级加密标准（Advanced Encryption Standard）是专为电子数据加密而制定的规范。AES 运算规则采用 256 位密钥对配置位流进行加密。HME-H1 系列器件通过存储在 eFuse 中的 256 位密钥对加密位流进行解密。如果这两个 256 位密钥互相匹配，可成功配置，否则配置失败，器件无法工作。

下图为加密和解密过程示意图。

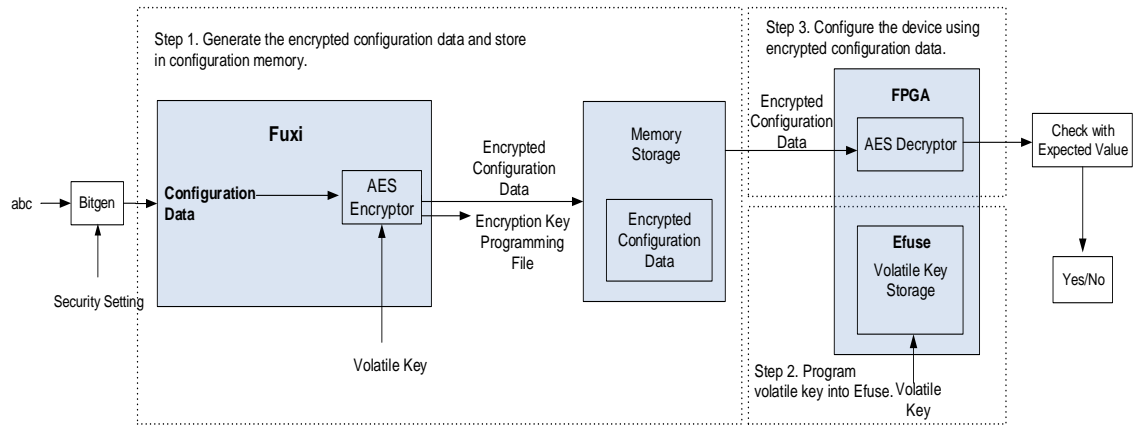


图 7-4 加密和解密过程

本章介绍 HME-H1D03 系列的直流与交流的电气特性。

8 电气特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

8.1 直流电气特性

8.1.1 最大绝对额定值

超过下表最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会造成器件永久损坏。器件长期在极值条件下运行，会严重影响器件的可靠性。

表 20 最大绝对额定值

标识	描述	条件	最小	最大	单位
VDD_CORE	内部电源电压		-0.5	1.32	V
VDDIO_X	I/O 驱动器电源电压		-0.5	3.75	V
AVDD	内部熔丝，LDO 电源电压		-0.5	3.75	V
OSC_VDD	内部 OSC 电源电压		-0.5	1.32	V
mipix_VDDA	MIPI 电源电压		-0.5	1.32	V
mipi_VDDPLL	MIPI PLL 电源电压		-0.5	1.32	V
VIN	施加到所有用户 I/O 引脚和两用引脚的电压	驱动器处于高阻抗状态	-0.5	3.75	V
	施加于所有专用引脚的电压		-0.5	3.75	V
VESD	静电放电电压	人体模型	0	±2000	V
		充电设备型号	-	±500	V
		机器型号	-	±200	V
TJ	接点温度		-40	125	°C
TSTG	贮存温度		-55	125	°C

8.1.2 操作条件建议

表 21 基本操作条件推荐

标识	描述	最小	正常	最大
TJCOM	结温	-40°C	25°C	125°C
VDD_CORE	内部电源电压	0.98V	1.2V	1.26V

标识	描述	最小	正常	最大
AVDD	内部熔丝, LDO 电源电压	2.25V	2.5V	2.75V
OSC_VDD	内部 OSC 电源电压	1.08V	1.2V	1.26V
mipix_VDDA	MIPI 电源电压	1.08V	1.2V	1.26V
mipi_VDDPLL	MIPI PLL 电源电压	1.08V	1.2V	1.26V
VDDIO_3/4	I/O 电源电压@ 3.3V	2.97V	3.3V	3.63V
	I/O 电源电压@ 2.5V	2.25V	2.5V	2.75V
	I/O 电源电压@ 1.8V	1.62V	1.8V	1.98V
VDDIO_0/1/2	I/O 电源电压@ 3.3V	2.97V	3.3V	3.63V
	I/O 电源电压@ 2.5V	2.25V	2.5V	2.75V
	I/O 电源电压@ 1.8V	1.62V	1.8V	1.98V
	I/O 电源电压@ 1.5V	1.35V	1.5V	1.65V
	I/O 电源电压@ 1.2V	1.08	1.2V	1.32V

8.1.3 正常操作条件下的静态电流

表 22 在一般正常工作条件下的静态电流

标识	描述	最小	正常	最大
Static_Current_Core_1p2	VDD_CORE 静态电流@ 1.2V / 25° C	2.5mA	3.0mA	3.5mA
Static_Current_bank012_2p5	Bank0 / 1/2 静态电流@ 2.5V / 25° C	-2.6uA	10uA	15uA
Static_Current_bank012_1p8	Bank0 / 1/2 静态电流@ 1.8V / 25° C	-7.1uA	-5uA	1uA
Static_Current_bank3	Bank3 静态电流@ 2.5V / 25° C	-4.0uA	0.1uA	4uA
Static_Current_bank4	Bank4 静态电流@ 2.5V / 25° C	0uA	10uA	15uA

8.1.4 上电规范

表 23 上电复位的电源电压阈值

标识	描述	最小	最大
VDD_CORET	VDD_CORE 电源阈值	0.71V	
AVDDT	VCCIO 电源的阈值	1.57 V	

表 24 电源电压上升速率

标识	描述	最小	最大
VDD_CORER	从 GND 到有效 VDD_CORE 电源电平的上升速率	200ns	10ms
AVDDR	从 GND 到有效 AVDD 电源电平的上升速率	200ns	10ms
tCFGR	允许配置的 VDD_CORE 和 AVDD 阈值	1ms	

8.1.5 推荐的 I/O 操作条件

表 25 单端 I/O 标准输入 DC 规格

I/O 标准	VDDIO_X (V)			Vref (V)			Vil (V)	Vih (V)
	最小	典型	最大	最小	典型	最大	最大	最小
3.3V LVTTL 和 LVCMOS	3.135	3.3	3.465	-	-	-	0.8	2
2.5V LVTTL 和 LVCMOS	2.375	2.5	2.625	-	-	-	0.7	1.7
1.8V LVTTL 和 LVCMOS	1.71	1.8	1.89	-	-	-	0.35 x VDDIO_X	0.65 * VDDIO_X
1.5V LVCMOS	1.425	1.5	1.575	-	-	-	0.35 x VDDIO_X	0.65 * VDDIO_X
1.2V LVCMOS	1.140	1.2	1.26				0.35 x VDDIO_X	0.65 * VDDIO_X

表 26 单端 I/O 标准输出 DC 规格

I/O 标准	测试条件		电压阈值	
	Iol (mA)	Ioh (mA)	最大 Vol (V)	最小 Voh (V)
3.3V LVTTL	4	-4	0.4	2.4
3.3V LVCMOS	0.1	-0.1	0.4	Vccio - 0.4
2.5V LVTTL and LVCMOS	1	-1	0.4	Vccio - 0.4
1.8V LVTTL and LVCMOS	2	-2	0.45	Vccio - 0.45
1.5V LVTTL and LVCMOS	2	-2	25% Vccio	75% Vccio
1.2V LVTTL and LVCMOS	6	-6	0.4	Vccio-0.4

表 27 差分 I/O 标准输入 DC 规格

I/O 标准	Vccio (V)			Vid (V)			Vicm (V)		
	最小	典型	最大	最小	典型	最大	最小	典型	最大
LVDS	2.375	2.5	2.625	0.1	0.35	0.6	0.1	1.25	2.0
miniLVDS	2.375	2.5	2.625	0.2	0.4	0.6	0.2	1.25	2.0
BLVDS	2.375	2.5	2.625	0.1				1.25	

表 28 差分 I/O 标准输出 DC 规格

I/O 标准	Vod (mV)			Delta(Vod) (mV)		Vocm (V)		
	最小	典型	最大	最小	最大	最小	典型	最大
LVDS	250	350	600		50	1.075	1.25	1.425
miniLVDS	300	450	600		50	1.0	1.2	1.4
BLVDS*		600				1.075	1.25	1.425

8.1.6 推荐的 MIPI 操作条件

表 29 MIPI D-PHY I/O

标识	描述	最小	典型	最大	单位
接收器					
高速					
VCMRX	共模电压 HS 接收模式	70	-	330	mV
VIDTH	差分输入高阈值	-	-	70	mV
VIDTL	差分输入低阈值	-70	-	-	mV
VIHHS	单端输入高压	-	-	460	mV
VILHS	单端输入低压	-40	-	-	mV
VTERM-EN	终止使能的单端阈值	-	-	450	mV
ZID	差分输入阻抗	80	100	125	Ω
低电量					
VIH	逻辑 1 输入电压	880	-	-	mV
VIL	逻辑 0 输入电压, 不在 ULP 级	-	-	550	mV
VIL-ULPS	ULP 级中的逻辑 0 输入电压	-	-	300	mV
VHYST	输入迟滞	25	-	-	mV
发射器					
高速					
VCMTX	传输静态共模电压	150	200	250	mV
VOD	传输差分电压	140	200	270	mV
VOHHS	单端输出高压	-	-	360	mV
ZOS	单端输出阻抗	40	50	62.5	Ω
ΔZOS	单端输出阻抗不匹配	-	-	10	%
低电量					
VOH	输出高压	1.1	1.2	1.3	V
VOL	输出低电压	-50	-	50	mV
ZOLP	LP 模式下的输出阻抗	110	-	-	Ω

表 30 静态电流要求

符号	描述	装置	典型 (1)	最大 (2)	单位
ICOREQ	整个器件的静态 VDDCORE 电源电流。		2		mA

- (1) 该表中的数值基于通用的推荐操作条件。
- (2) 高阻抗状态下, 并当所有上拉/下拉电阻器在 I/O 引脚禁止时, 测量的所有 I/O 驱动的静态电源电流。典型值为室温下 (TJ of 25°C at VCCINT = 1.1V) 使用典型器件测得。最大限制指在指定的每个器件所对应的最大结点温度和最大 VCCINT 及 VCCIO 时测得的最大电压限制。表中的最大值表示成功启动 FPGA 所需的最小电流。

注意

8.2 交流特性

由于时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数，因此专门列出供用户参考，见以下各表。

8.2.1 时钟性能

表 31 全局时钟推荐工作频率

标识	最大频率	单位
GCLK	600	MHz

表 32 MCU 时钟推荐工作频率

标识	最大频率	单位
MCU clock	80	MHz

表 33 JTAG 时钟推荐工作频率

标识	最大频率	单位
TCK	60	MHz

表 34 PS 时钟推荐工作频率

标识	最大频率	单位
SCK	60	MHz

8.2.2 OSC 规格

表 35 OSC 规格

标识	描述	最小	典型	最大	单位
Fout	输出时钟频率		80		MHz
T _{dt}	输出时钟占空比	45	50	55	%
T _{jit}	抖动表现		0.1		UIPP

8.2.3 PLL 规格

表 36 PLL 规格

标识	描述	最小	典型	最大	单位
Fin	输入时钟频率	10		600	MHz
F _{pdf}	PFD 输入频率	10		200	MHz
F _{vco}	VCO 操作频率	600		1200	MHz
Fout	输出频率	1.17		600	MHz
T _{lock}	锁定时间			200	us
Duty	输出时钟占空比	45	50	55	%
N	输入分频器	1		256	--
M	循环分频器	1		256	--

标识	描述	最小	典型	最大	单位
C0~C5	输出分频器	1		256	--
Ndly	输出时钟延迟	0		255	--
Terr	静态相位误差	-10		10	Degree
Trst	外部复位时间		50	100	ns
Tcalib	校准时间	32		160	us

8.2.4 I/O 性能

表 37 I/O 的推荐工作频率

IO 标准	描述	最高频率
LVC MOS/LVTTL	VDDIO=1.2v	100 MHz
LVC MOS/LVTTL	VDDIO=1.5v	160 MHz
LVC MOS/LVTTL	VDDIO=1.8v	200 MHz
LVC MOS/LVTTL	VDDIO=2.5v	250 MHz
LVC MOS/LVTTL	VDDIO=3.3v	250 MHz
LVDS	VDDIO= 2.5V	600 MHz
miniLVDS	VDDIO= 2.5V	600 MHz

8.2.5 PLB 性能

表 38 PLB 的推荐工作频率

标识	描述	速度		单位
		最小	最大	MHz
CNT16	16 位计数器性能@推荐的工作条件。		450	
CNT24	24 位计数器性能@推荐的工作条件。		400	

8.2.6 EMB18K 性能

表 39 EMB5K 的推荐工作频率

标识	描述	速度		单位
		最小	最大	MHz
EMB18K	EMB18K 使用寄存器路径		248	
	EMB18K 不使用寄存器路径		200	

8.2.7 DSP 性能**表 40 DSP 的推荐工作频率**

标识	描述	速度		单位
		最小	最大	MHz
DSP	DSP 使用寄存器路径。		248	
	DSP 未使用寄存器路径。		200	

8.2.8 SRAM 性能**表 41 SRAM 的推荐工作频率**

标识	描述	速度		单位
		最小	最大	MHz
SRAM	2K*32b 和 8K*32b.		248	

本章介绍 HME-H1D03 系列的引脚与封装信息。

9 引脚和封装

9.1 引脚定义和规则

表 42 引脚定义和规则

引脚名称	方向	描述
用户 I/O 引脚		
IOXX_#	输入/输出	用户 I/O 引脚
多功能引脚		
IOXXX/YYY_#		多功能引脚标识为 IOXXX/YYY_#，其中 YYY 表示除通用的用户 I/O 外，下述功能中的一个或多个功能。 如未用于其固有的特定功能，则可作用户 I/O 使用
多功能引脚：SPI 串行配置引脚		
SCK	输入/输出	在被动串行 AS 配置模式下，SCK 是时钟输入，用于将配置数据从外部设备源输入设备。 在主动串行 AS 配置模式下，SCK 是设备的时钟输出。 配置后，该引脚可用作常规用户 I/O。
mosi	输出	在 AS 模式下为数据输出，在 PS 模式下为数据输入。配置后该引脚可用作常规用户 I/O。
miso_busyout	输入	在 AS 模式下为数据输入，在 PS 模式下为数据输出。配置后该引脚可用作常规用户 I/O。
csn	输入/输出	片选输出，以在 AS 模式下启用 SPI 闪存，或作为器件选择 PS 模式的输入。配置后，该引脚可用作常规用户 I/O。配置为 AS 模式后，该引脚可用作常规用户 I/O。
hold	输出	保持 SPI Flash 的输出
wp	输出	SPI Flash 的写保护输出
多功能引脚：配置引脚		
CDONE	输出	这是专用的配置状态引脚，配置期间该引脚将输出低电平，配置完成后输出高电平。配置后，该引脚可用作常规用户 I/O。
MSEL1/0	输入	配置模式选择。 默认值：下拉 00B。当设备上电或复位时，引脚值将被锁存以进行模式选择。 00B：AS 模式和时钟来自内部 OSC

引脚名称	方向	描述
		01B: PS 模式 10B: 保留 11B: 时钟来自外部引脚时为 AS 模式
多功能引脚: 时钟引脚		
CLKX	输入	时钟引脚与全局时钟缓冲器连接 当这些引脚不用于时钟时, 可作常用的用户 I/O 使用
专用引脚: JTAG		
JM_B	输入	JTAG 引脚模式。 默认值为上拉 1。当设备加电或复位时, 引脚值将被锁存以进行模式选择。
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
专用引脚: JTAG		
CRSTn	输入	芯片全局复位输入。低电平有效。
专用引脚: MIPI 引脚		
mipix_VSSA	N/A	MIPI 模拟地
mipix_VDDA	N/A	MIPI 模拟电源, 1.2V
mipi_VDDPLL	N/A	MIPI PLL 电源, 1.2V
mipi_VSSPLL	N/A	MIPI PLL 接地
mipix_CKP	输入/输出	MIPI 差分 P 时钟
mipix_CKN	输入/输出	MIPI 差分 N 时钟
mipix_DPY	输入/输出	MIPI 通道 0~3 P 数据
mipix_DNY	输入/输出	MIPI 通道 0~3 N 数据
专用引脚: 电源		
VDDIO_X	N/A	IO 的数字电源。 以及同一组中的所有其他 VCCO 引脚。可选择 1.2V, 1.5V, 1.8V, 2.5V 和 3.3V。
VDD_CORE		核心数字电源 1.2V。
AVDD		PLL 和 eFuse 的模拟电源, 范围为 1.8V 至 3.3V。当 JTAG 对 eFuse 编程时, 电源电压连接到 2.5V。
OSC_VDD	N/A	OSC 电源, 1.2V
OSC_VSS	N/A	OSC 地面
VSS_CORE	N/A	核心地面
VSS_IO	N/A	IO 接地

注意 AVDD 应连接至 HME JTAG 线缆针接插件的第 6 个引脚，从而对 eFUSE 进行编程。

9.2 封装信息

9.2.1 STFBGA144 封装规格

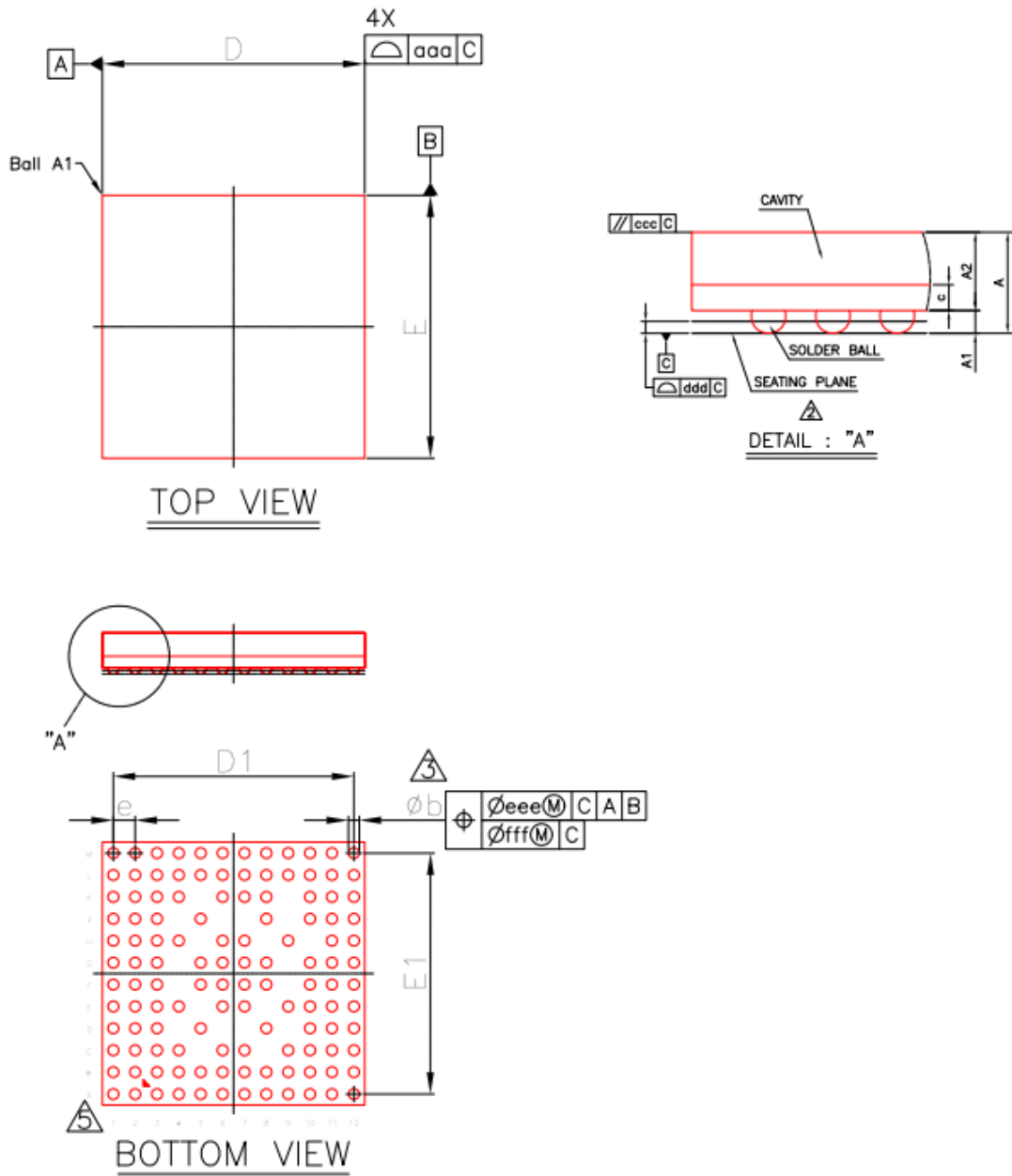


图 9-1 STFBGA144 封装示意图

表 9-1 STFBGA144 封装尺寸

符号	尺寸 (mm)			符号	尺寸 (mm)		
	最小	正常	最大		最小	正常	最大
A	0.87	0.94	1.01	e	---	0.50	---
A1	0.10	0.15	0.20	b	0.20	0.25	0.30
A2	0.74	0.79	0.84	aaa	0.15		

符号	尺寸 (mm)			符号	尺寸 (mm)		
	最小	正常	最大		最小	正常	最大
c	0.22	0.26	0.30	ccc	0.10		
D	5.90	6.00	6.10	ddd	0.08		
E	5.90	6.00	6.10	eee	0.15		
D1	---	5.50	---	fff	0.05		
E1	---	5.50	---	MD/ME	12/12		

9.2.2 LQFP128 封装规格

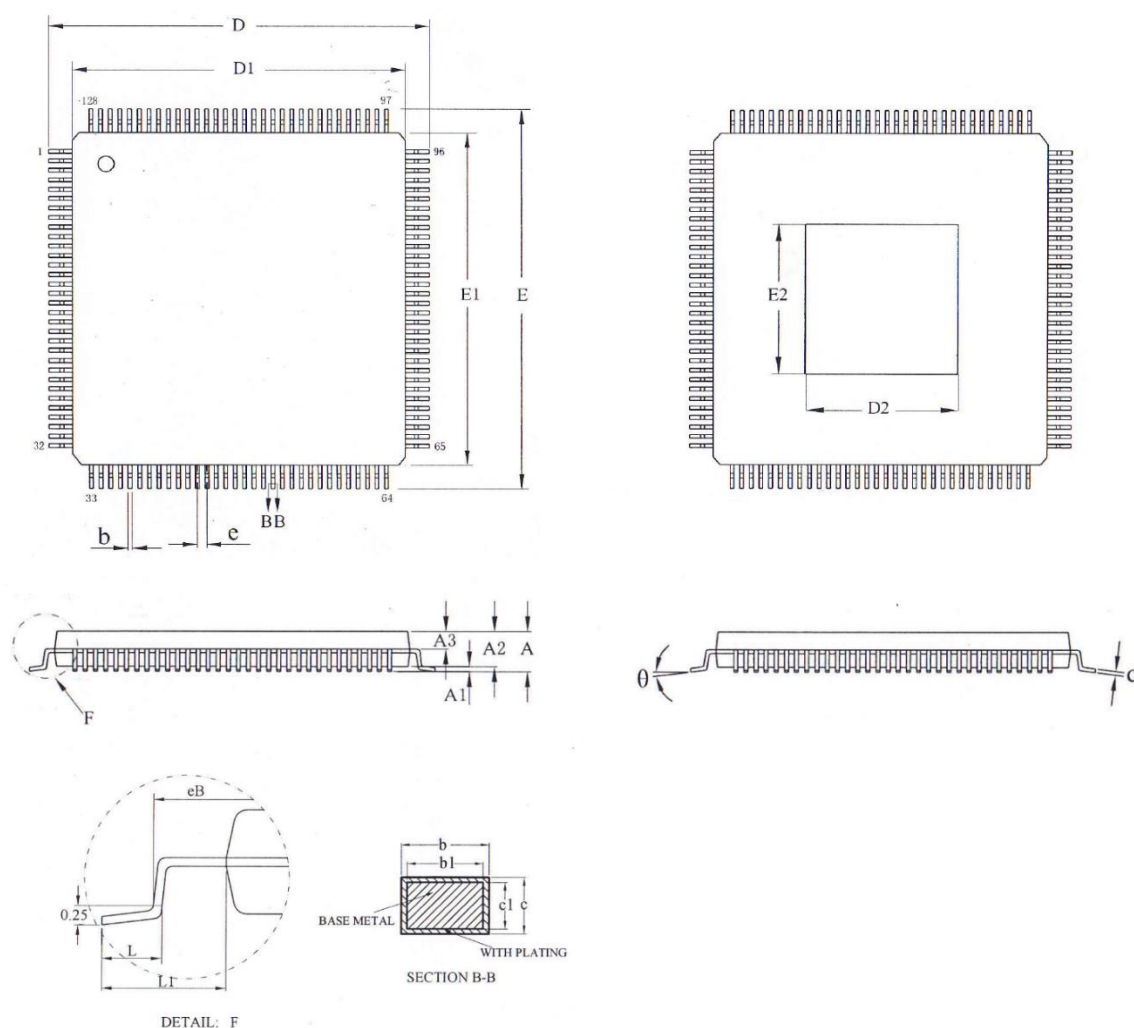


图 9-2 LQFP128 封装视图

表 43 LQFP128 封装尺寸

符号	尺寸 (mm)		
	最小	正常	最大
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69

符号	尺寸 (mm)		
	最小	正常	最大
b	0.14	-	0.22
b1	0.13	0.16	0.19
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
E2	4.95 REF		
D2	4.95 REF		
eB	15.05	-	15.35
e	0.40BSC		
L	0.45	-	0.75
L1	1.00 REF		
θ	0°	3.5°	7°

9.2.1 QFN56 封装规格

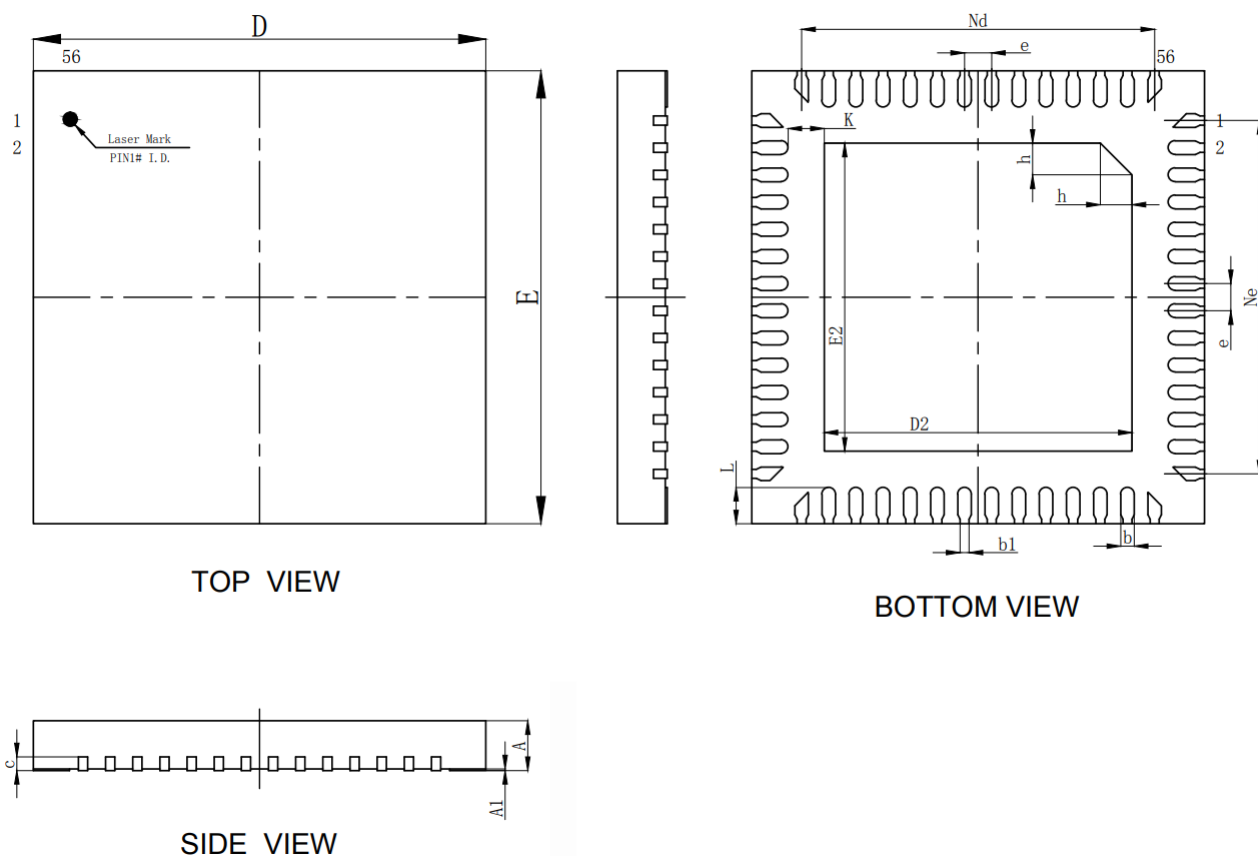


图 9-3 QFN56 封装视图

表 9-2 QFN56 封装尺寸

符号	尺寸 (mm)		
	最小	正常	最大
A	0.50	0.55	0.60
A1	0	0.02	0.05
b	0.10	0.15	0.20
b1	0.10REF		
c	0.152REF		
D	4.90	5.00	5.10
D2	3.30	3.40	3.750
e	0.30BSC		
Ne	3.90BSC		
Nd	3.90BSC		
E	4.90	5.00	5.10
E2	3.30	3.40	3.50
L	0.35	0.40	0.45
K	0.35	0.40	0.45
h	0.30	0.35	0.40

9.2.2 WLCSP58 封装规格

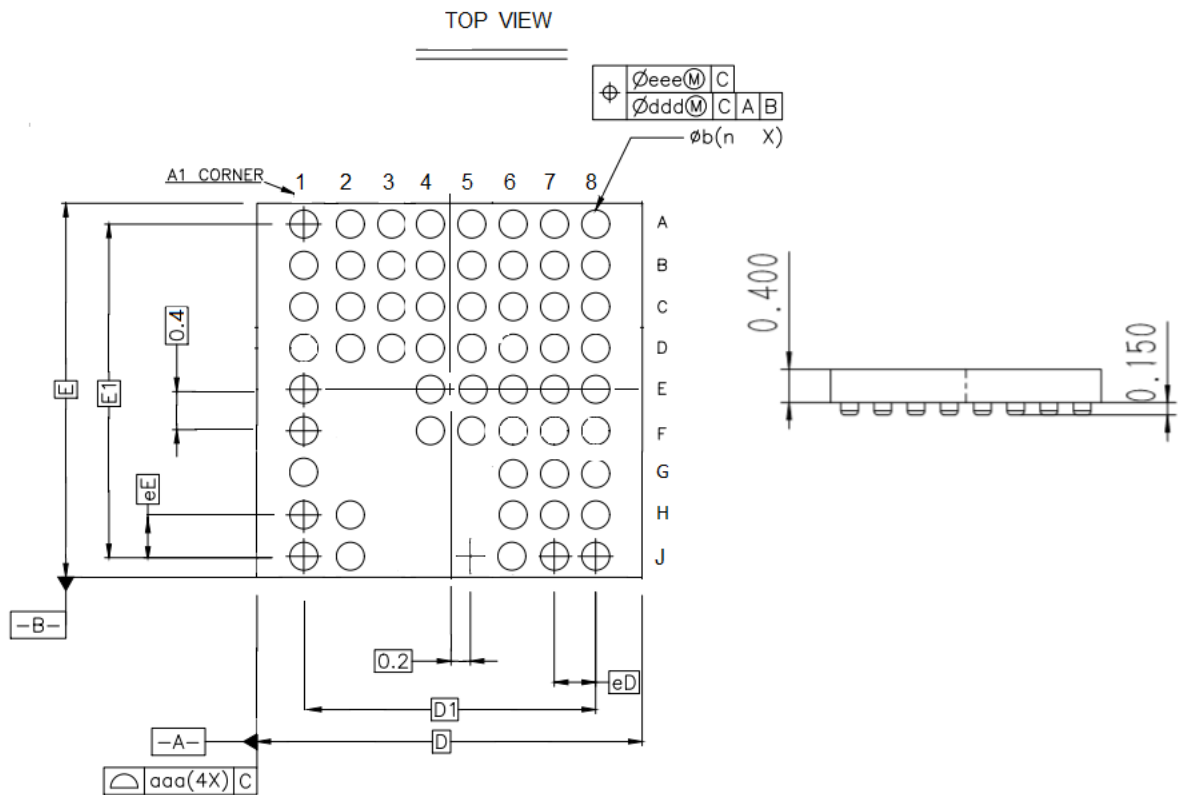


图 9-4 WLCSP58 封装视图

表 44 WLCSP58 封装尺寸

项目	符号	常见尺寸 (mm)		
		最小	正常	最大
总厚度		-	0.400	-
托脚、底座间隙		-	0.150	-
晶圆厚度 (成型)		0.285 ± 0.020		
单晶片厚度		0.285	REF	
外形尺寸	D	3.255	BSC	
	E	3.984	BSC	
球直径 (尺寸)		0.210		
球/凹凸宽度	b	0.240	0.270	0.300
球/凹凸间距	eD	0.400		
	eE	0.400		
球/凹凸数	n	72		
边缘球中心到中心	D1	2.8	BSC	
	E1	3.200	BSC	
包装边缘公差	aaa	0.035		
共面性	ccc	0.030		
球/凸点偏移 (包装)	ddd	0.150		
球/凸点偏移 (球)	eee	0.080		

9.2.3 WLCSP68 封装规格

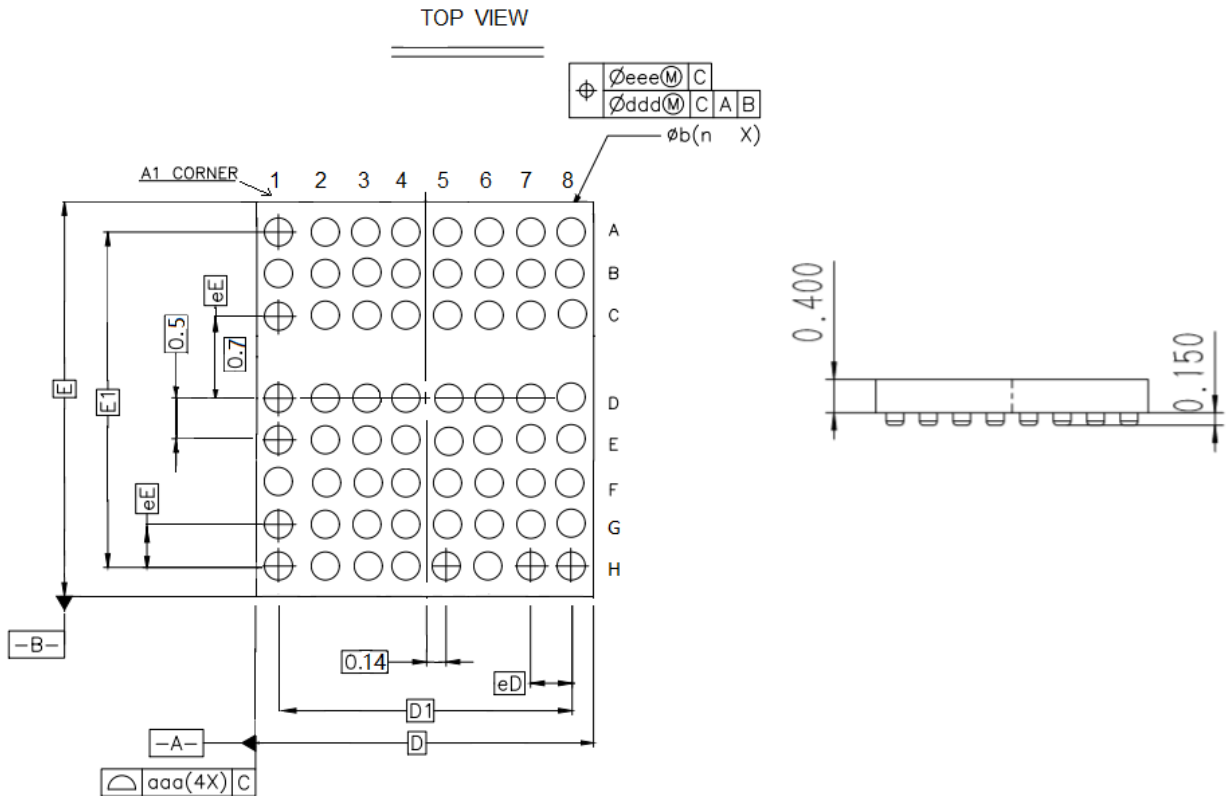


图 9-5 WLCSP68 封装视图

表 45 WLCSP68 封装尺寸

项目	符号	常见尺寸 (mm)		
		最小	正常	最大
总厚度		-	0.400	-
引脚高度		-	0.150	-
外形尺寸	D	4.000 BSC		
	E	4.561 BSC		
球直径 (尺寸)		0.215		
球/凹凸宽度	b	0.185	0.215	0.245
球/凹凸间距	eD	0.500		
	eE	0.500		
		0.700		
球/凹凸数	n	64		
边缘球中心到中心	D1	3.715 BSC		
	E1	3.915 BSC		
包装边缘公差	aaa	0.035		
球/凸点偏移 (包装)	ddd	0.150		
球/凸点偏移 (球)	eee	0.080		

9.2.4 WLCSP72 封装规格

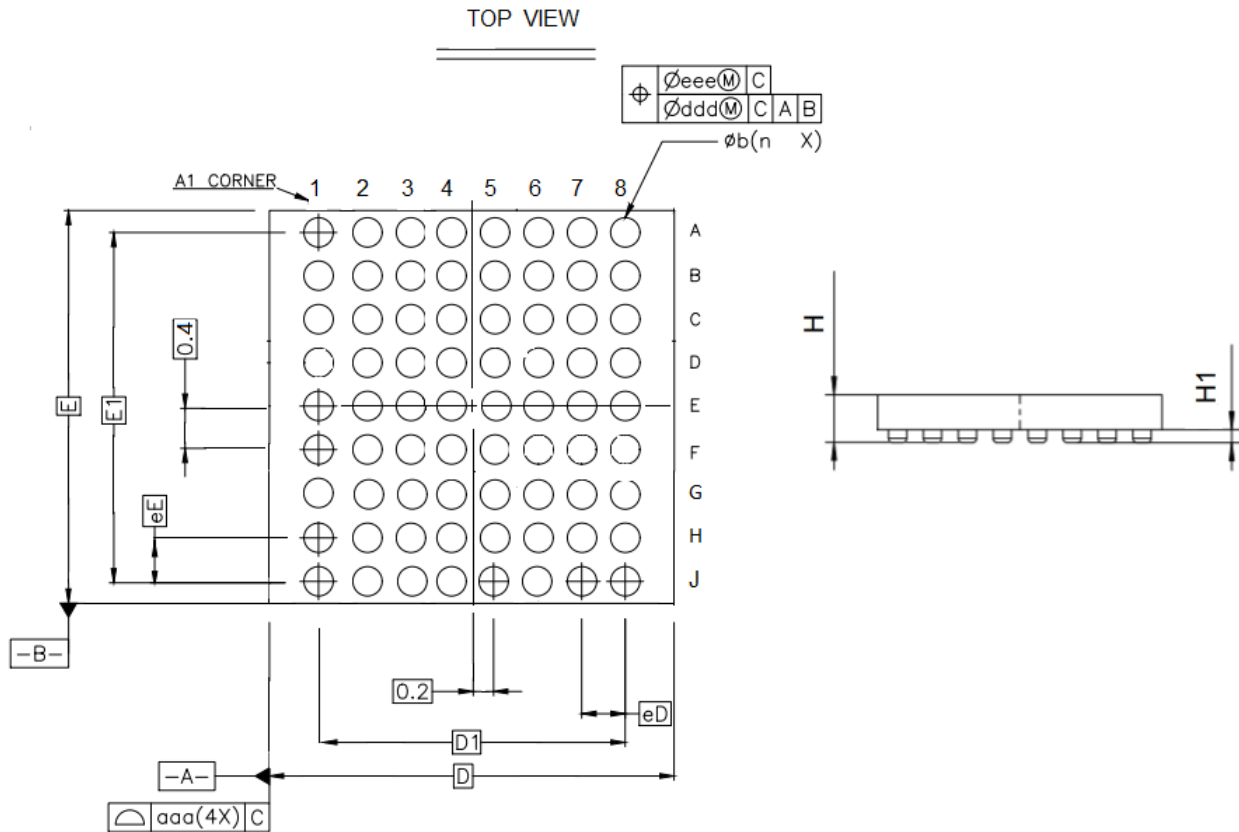


图 9-6 WLCSP72 封装视图

表 46WLCSP72 封装尺寸

项目	符号	常见尺寸 (mm)		
		最小	正常	最大
总厚度	H	0.500	0.550	0.600
球高度	H1	0.125	0.150	0.175
晶圆厚度 (成型)		0.265	0.285	0.305
单晶片厚度		0.285 REF		
外形尺寸	D	3.255 BSC		
	E	3.984 BSC		
球直径 (尺寸)		0.210		
球/凹凸宽度	b	0.240	0.270	0.300
球/凹凸间距	eD	0.400		
	eE	0.400		
球/凹凸数	n	72		
边缘球中心到中心	D1	2.8 BSC		
	E1	3.200 BSC		
包装边缘公差	aaa	0.035		
共面性	ccc	0.030		
球/凸点偏移 (包装)	ddd	0.150		
球/凸点偏移 (球)	eee	0.080		

本章介绍 HME-H1D03 系列的订购信息。

10 订购信息

10.1 部件编号约定

所有的部件编号均遵循以下约定：

表 47 部件编号约定

厂商	产品系列	器件类型	查找表容量	NVM 容量	封装类型	温度等级	速度等级
HME-	H1	D	03	N3	W72	C	7

厂商

- ☐ CME 旧标识
- ☐ HME 新标识

产品系列

- ☐ H1 大力神系列

器件类型

- ☐ D FPGA + DSP + MCU
- ☐ M FPGA + MCU + SDRAM/PSRAM

查找表容量

- ☐ 03 3K 查找表

配置 NVM (SPI-flash) 选项

- ☐ N0 无 SPI-flash
- ☐ N3 4Mb 内置 SPI-flash

封装类型：<类型><#>

- ☐ L LQFP
- ☐ W WLCSP
- ☐ C STFBGA
- ☐ Q QFN
- ☐ # 引脚数量（58 指 58 引脚，72 指 72 引脚…）

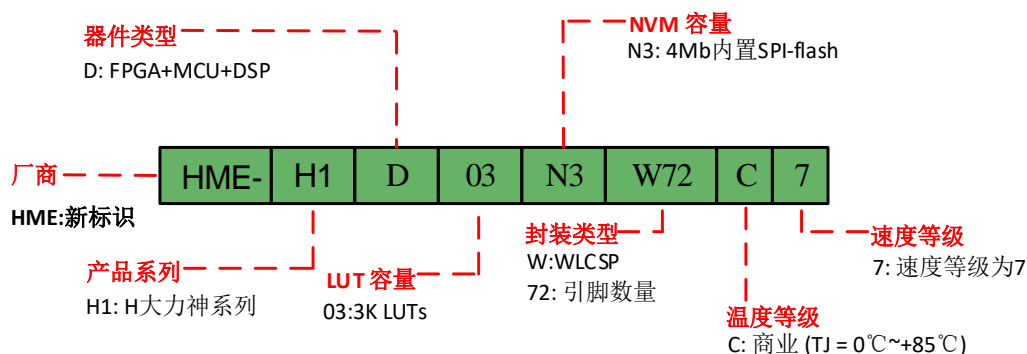
温度等级

- ☐ C 商业（TJ = 0℃ ~ +85℃）
- ☐ I 工业（TJ = -40℃ ~ +100℃）

速度等级

- ☐ # 速度（7 指速度等级为 7，6 指速度等级为 6，…）

示例: **HME - H1 D 03 N3 W72 C 7**



10.2 订购信息

表 10-1 H1D03 系列产品订购信息表

产品	订购 P/N	等级
H1D03N3W72C7	H1D03N3W72	商业
H1D03N3W72I7	H1D03N3W72I	工业
H1D03N3W58C7	H1D03N3W58	商业
H1M03N3W68C7	H1M03N3W68	商业
H1D03N0L128C7	H1D03N0L128	商业
H1D03N0L128I7	H1D03N0L128I	工业
H1M03N0C144C7	H1M03N0C144	商业
H1M03N0C144I7	H1M03N0C144I	工业
H1D03N0C144C7	H1D03N0C144	商业
H1D03N0C144I7	H1D03N0C144I	工业
H1D03N3Q56C7	H1D03N3Q56	商业
H1D03N3Q56I7	H1D03N3Q56I	工业

10.3 芯片标记

- ❑ “C7”不会被标记，默认为商业级。
- ❑ 如果芯片上标记为“-I”，则为工业级。
- ❑ CME 与 HME 均为官方正品，请放心使用。
- ❑ 由于尺寸的限制，W58、W68、W72 和 Q56 封装的芯片上将不印有供应商 logo。

标记示例：

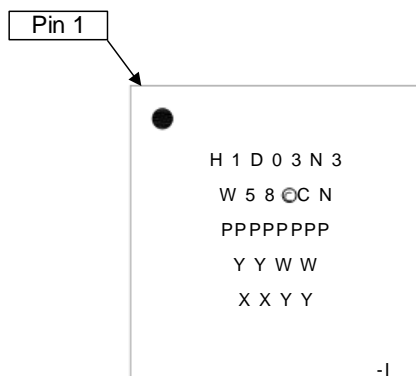


第4行，晶圆批号（开始6位）+日期代号
XXXXXXYYWW
YYWW(实际装配工作周)
例如：YY（2015年）---15
WW（第18周）---18
第5行，温度等级
-I：工业级
商业级为空

图 10-1 H1D03 系列产品丝印示意图

H1D03N3W58、H1D03N3W72、H1D03N3W72I 和 H1M03N3W68 的产品丝印如下图所示。

H1D03N3W58



第3行，PPPPPPPP
前6位，硅基批号
后2位，硅基序号
第4行，YYWW
日期代号，实际装配工作周
例如
YY(2023年)——23
WW(第18周)——18
第5行，XXYY
XX，器件在硅基上的横坐标
YY，器件在硅基上的纵坐标
第6行，温度等级
-I：工业级
商业级为空

图 10-2 部分 H1D03 系列产品丝印示意图