

点亮数码管实验

刘雅迪

计26

2021010521

实验目的

1. 通过数码管点亮程序，熟悉可编程器件的实验环境以及实验流程，掌握 EDA 软件（vivado）的使用方法和工作流程
2. 初步了解 SystemVerilog 语言的一些基本框架，了解掌握硬件程序的编写规范。
3. 进一步理解可编程芯片的工作原理。

实验内容

根据数码管的译码要求，用硬件描述语言设计数码管输出显示电路，输入端为四位开关表示的 8421BCD 码。

1. 点亮一个带译码的数码管，数码管根据输入显示从 0 到 9；
2. 点亮一个不带译码的数码管数码管，根据输入显示从 0 到 f。

实验代码及原理分析

译码器

```
module decoder (  
    input wire [3:0] sw,      //拨动开关输入  
    output reg [6:0] seg      //七段数码管输出  
);  
  
always_comb begin  
    case (sw)  
        4'h0: seg = 7'b1111110;  
        4'h1: seg = 7'b0110000;  
        4'h2: seg = 7'b1101101;  
        4'h3: seg = 7'b1111001;  
        4'h4: seg = 7'b0110011;  
        4'h5: seg = 7'b1011011;  
        4'h6: seg = 7'b0011111;  
        4'h7: seg = 7'b1110000;  
        4'h8: seg = 7'b1111111;  
        4'h9: seg = 7'b1110011;  
        4'hA: seg = 7'b1110111;  
        4'hB: seg = 7'b0011111;  
        4'hC: seg = 7'b1001110;  
        4'hD: seg = 7'b0111101;  
        4'hE: seg = 7'b1001111;  
    endcase  
end
```

```

        4'hF: seg = 7'b1000111;
        default: seg = 7'b0;
    endcase
end
endmodule

```

上述代码中sw为输入变量，seg为输出变量，程序会一直执行下面的case判断操作，即一旦输入sw发生变化，seg也相应地会发生变化。带译码器部分可以直接输出开关值。而不带译码器的部分，需要进行译码处理。

管脚约束

IO1 ~ IO4 作为输入 `sw[3:0]`，连接到开关模块；IO14 ~ IO20 作为输出 `seg[6:0]`，分别连接七段数码管的 a ~ f。约束文件如下：

```

# sw input
set_property -dict {PACKAGE_PIN M21 IOSTANDARD LVCMOS33} [get_ports sw[3]];
set_property -dict {PACKAGE_PIN N20 IOSTANDARD LVCMOS33} [get_ports sw[2]];
set_property -dict {PACKAGE_PIN N22 IOSTANDARD LVCMOS33} [get_ports sw[1]];
set_property -dict {PACKAGE_PIN P21 IOSTANDARD LVCMOS33} [get_ports sw[0]];

# seg output
set_property -dict {PACKAGE_PIN Y21 IOSTANDARD LVCMOS33} [get_ports seg[6]];
set_property -dict {PACKAGE_PIN AB22 IOSTANDARD LVCMOS33} [get_ports seg[5]];
set_property -dict {PACKAGE_PIN AA18 IOSTANDARD LVCMOS33} [get_ports seg[4]];
set_property -dict {PACKAGE_PIN AB18 IOSTANDARD LVCMOS33} [get_ports seg[3]];
set_property -dict {PACKAGE_PIN AA20 IOSTANDARD LVCMOS33} [get_ports seg[2]];
set_property -dict {PACKAGE_PIN AB21 IOSTANDARD LVCMOS33} [get_ports seg[1]];
set_property -dict {PACKAGE_PIN AA21 IOSTANDARD LVCMOS33} [get_ports seg[0]];

set_property CFGBVS VCC0 [current_design]
set_property CONFIG_VOLTAGE 3.3 [current_design]

```

遇到的问题及解决方法

感觉整个实验过程都很顺利，毕竟基本的代码实验文档上已经提供了，只需要熟悉一下vivado的操作环境和verilog的语法即可。