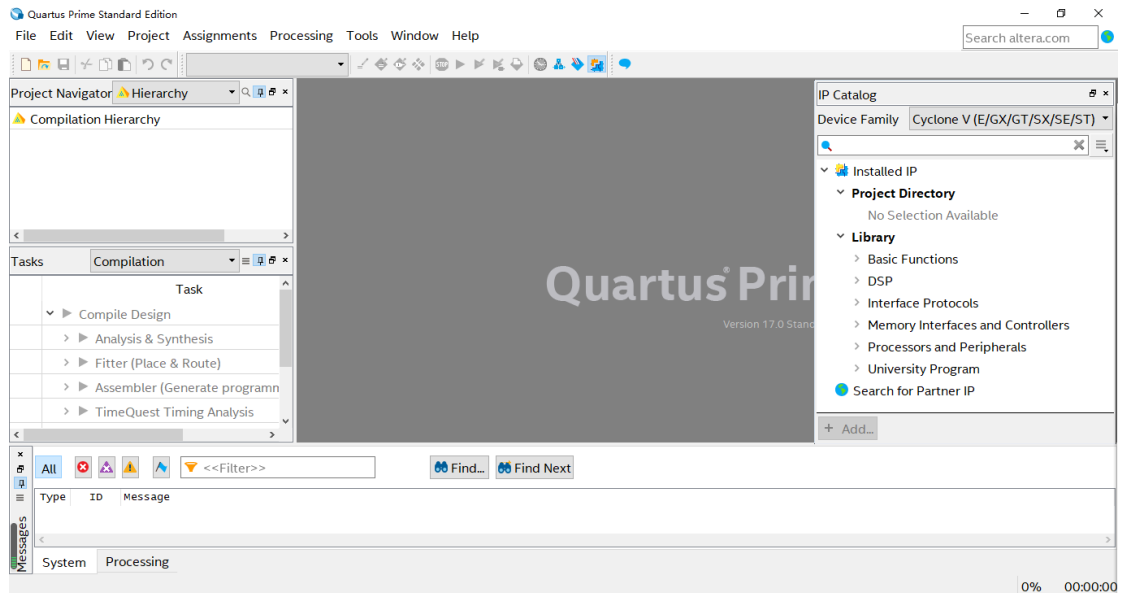


目录

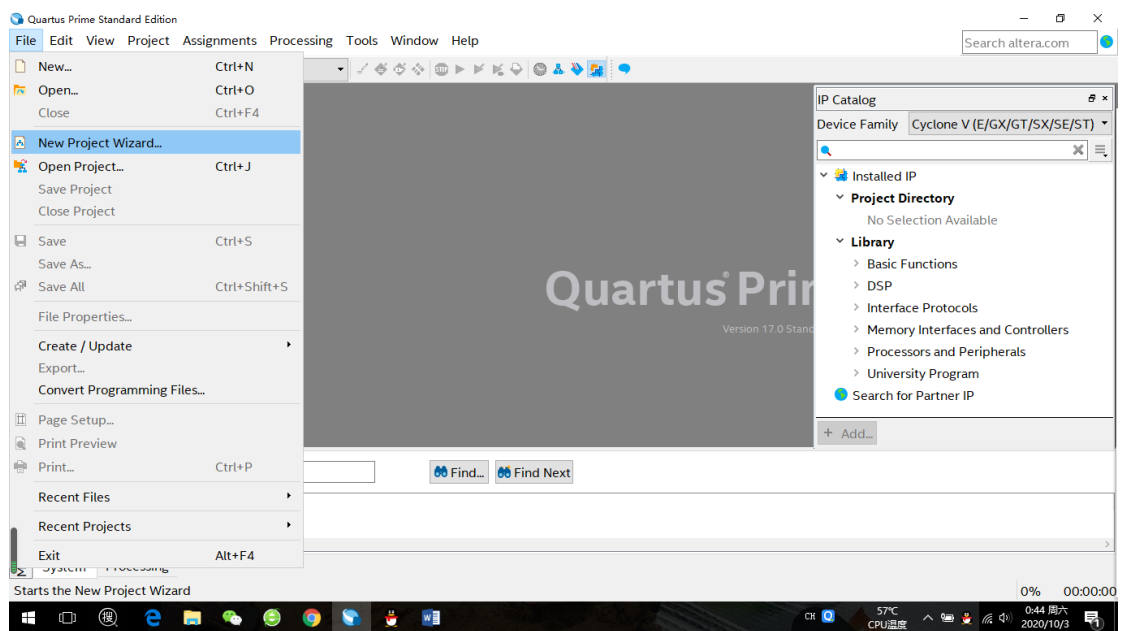
一、工程建立.....	2
二、建立模块.....	6
三、仿真.....	11

一、工程建立

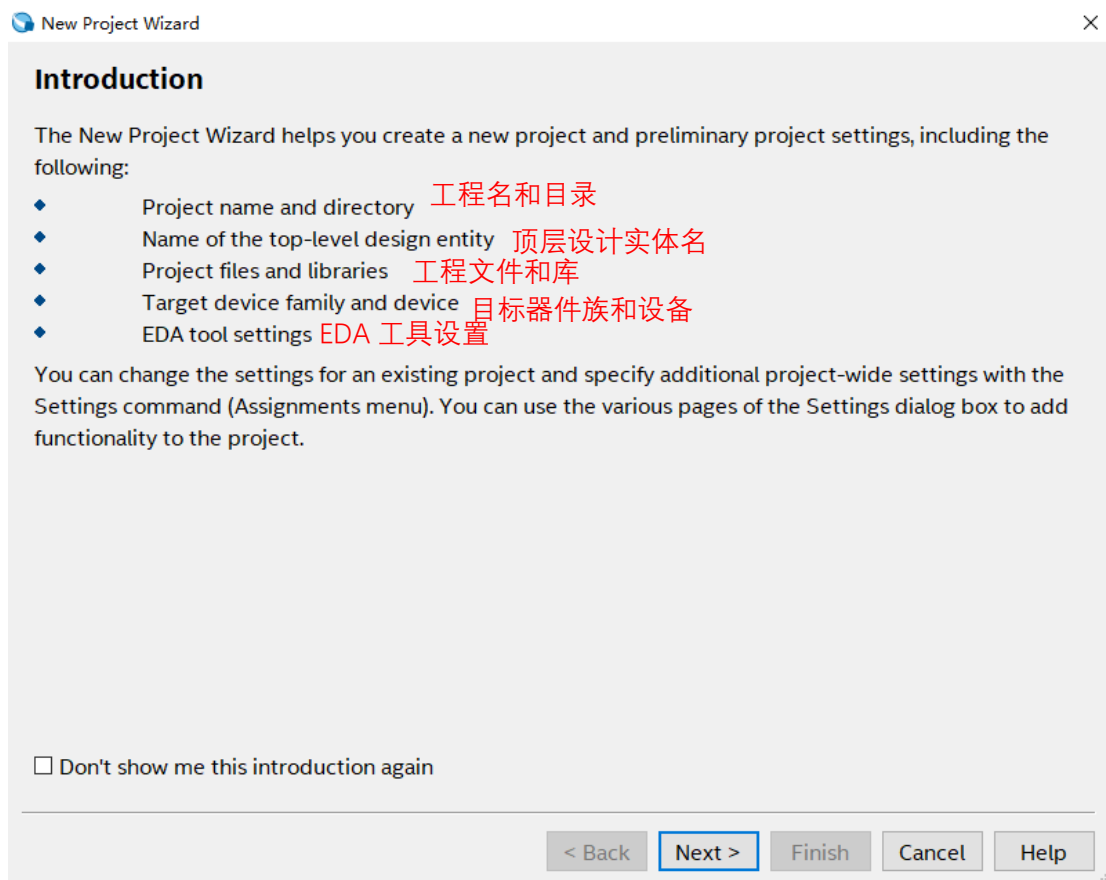
1、启动 Quartus Prime：启动 Quartus prime17.0 standard Edition，启动后画面如下图。



2、新建工程：点击菜单“File”→New Project Wizard…



3、工程向导介绍界面：点击 Next



4、工程建立第一步：指定工程目录、工程名和顶层设计实体名，然后 next

New Project Wizard

Directory, Name, Top-Level Entity

What is the working directory for this project? 指定工程目录，以方便查找为宜。文件路径中尽量不要出现空格、中文字符。

D:/EDA20192020/2020/test01

What is the name of this project? 指定工程名，注意工程名符合标志符命名规范。建议与工程功能具有一定相关性

test01

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

test01 顶层设计实体名，或顶层模块名，系统默认与工程同名。该模块等效于 C 函数中的 Main 函数，是整个工程入口。一般与工程同名。若不同或者改变顶层模块。参考步骤 xx

Use Existing Project Settings...

< Back Next > Finish Cancel Help

5、选择“Empty project”，然后点击 next。图略

6、添加文件

New Project Wizard

Add Files

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.

Note: you can always add design files to the project later.

File name:

File Name Type Library Design Entry/Synthesis Tool HDL Version

若有可重用代码，可通过该窗口添加到工程中

Specify the path names of any non-default libraries. User Libraries...

< Back Next > Finish Cancel Help

7、设定目标器件：根据开发板上的器件具体型号指定器件，点击 next。

比如 DE10-standard 开发板的 FPGA 器件为 Cyclone V SX SoC—5CSXFC6D6F31C6

DE2-115 Development and Education Board 开发版的 FPGA 器件为 Cyclone IV EP4CE115F29C7。

Family, Device & Board Settings

Device Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.
To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: Cyclone IV E

Device: All

Target device

☐ Auto device selected by the wizard

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Show in 'Available devices' list

Package: Any

Pin count: Any

Speed grade: Any

Name filter: EP4CE115F29c7

☒ Show advanced devices

Available devices:

Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multipliers
EP4CE115F29C7	1.2V	114480	529	529	3981312	532

< Back Next > Finish Cancel Help

8、指定 EDA 工具：可以指定第三方工具用于设计、综合、仿真等功能。

本例中仅指定 simulation 为 Modelsim-Altera，格式 Format 为 Verilog HDL，如下图，点击 next。

EDA Tool Settings

Specify the other EDA tools used with the Quartus Prime software to develop your project.

EDA tools:

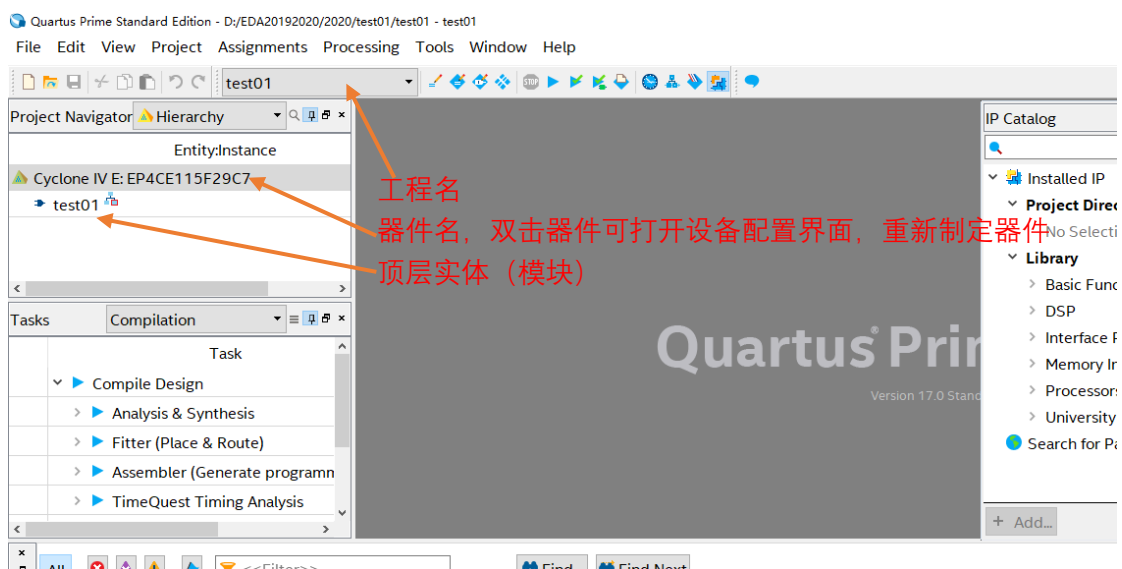
Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/...	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	ModelSim-Altera	Verilog HDL	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back Next > Finish Cancel Help

9、工程向导总结，核对参数，点击 Finished。

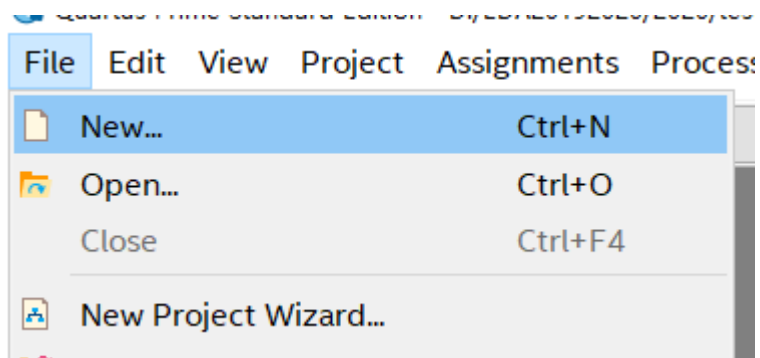


10、利用工程向导，完成工程创建，效果如下图。

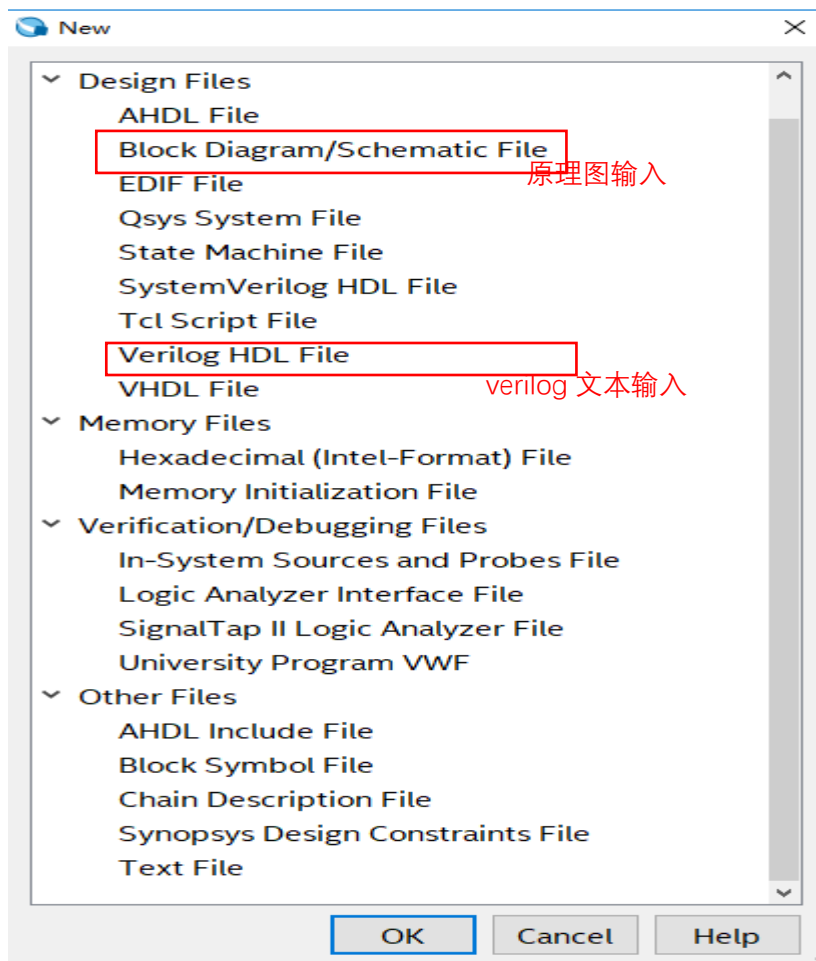


二、建立模块

2.1 新建文件，菜单 file→new 或快捷菜单 new

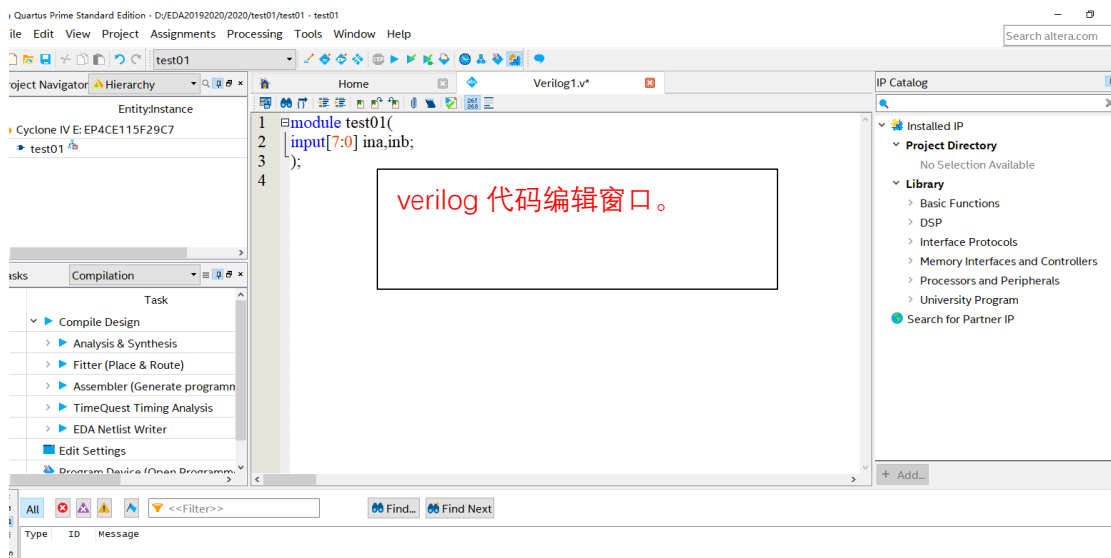


2.2 在 new 对话框中, 可以选择 verilog HDL File, 进行代码编写。也可以选择“block diagram/schematic file”以原理图方式进行编辑。



2.3 编辑 verilog 代码或编辑原理图。

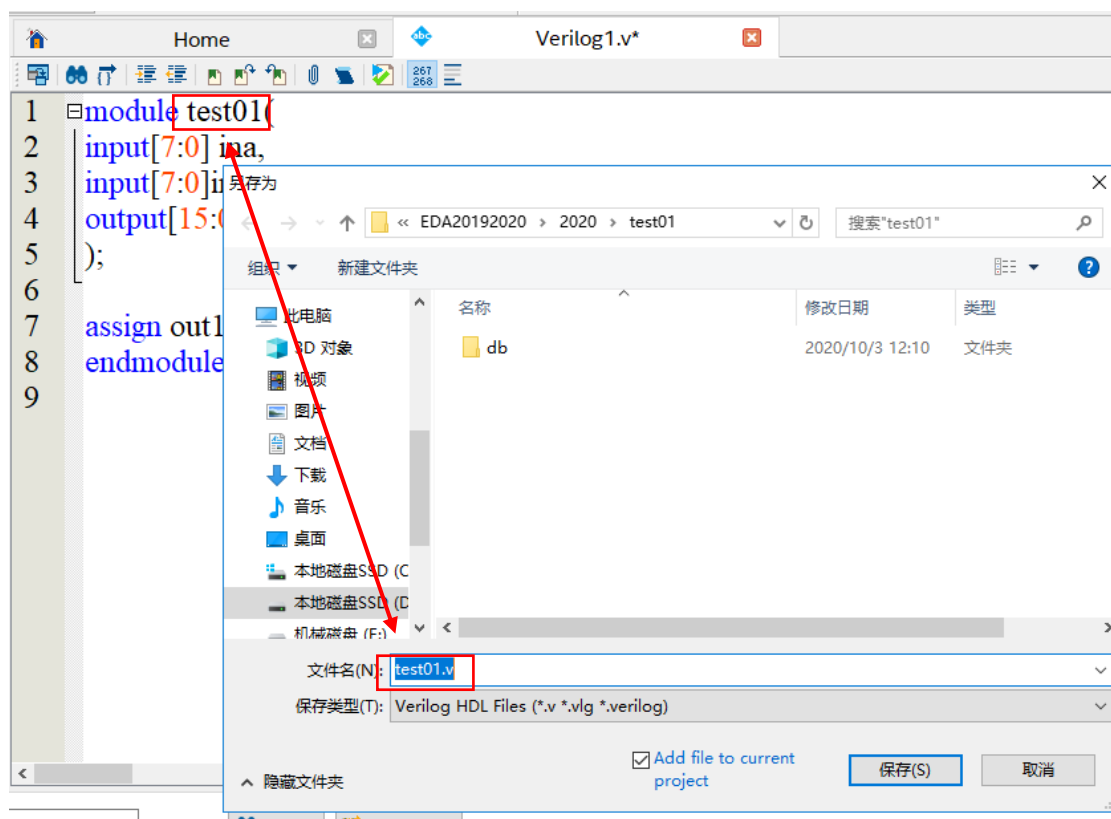
(1) 上一步 2.2 选择“Verilog HDL File”后, 进入代码编辑状态, 编辑 verilog 代码。如下图



注意：

- 1、一个模块保存为一个独立文件。
- 2、模块名与文件名相同。比如本模块名 test01，则文件保存为 test01.v
- 3、若系统只有一个模块，该模块就是顶层模块。则该模块名与工程名相同。
- 4、若系统由多个模块构成，则必须有一个模块名与工程名相同，作为顶层设计实体(或叫顶层模块)，否则系统找不到入口模块会报错。与工程同名的模块是整个工程入口，类似 c 语言中的 main 函数。其他模块在顶层模块中被调用实现功能。

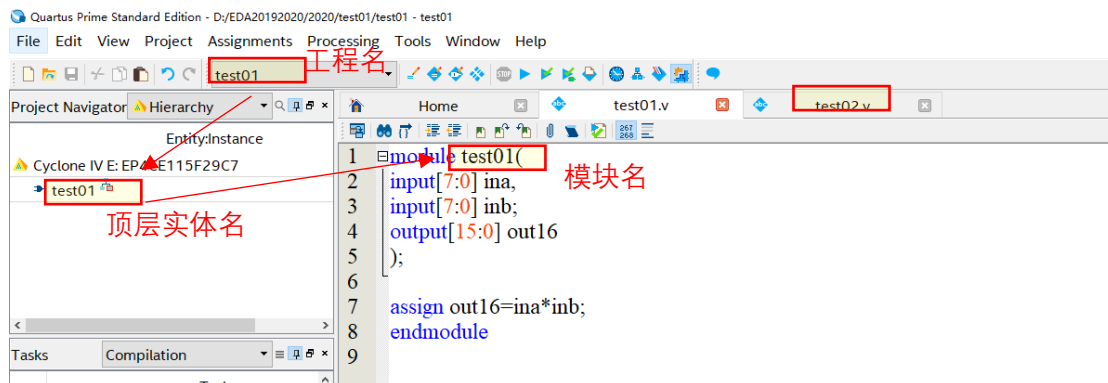
(2) 编辑完代码，保存文件 test01



(3) 拓展：一个工程内多个独立模块的调试问题。

当前工程有两个独立模块 test01 和 test02 代码如下。

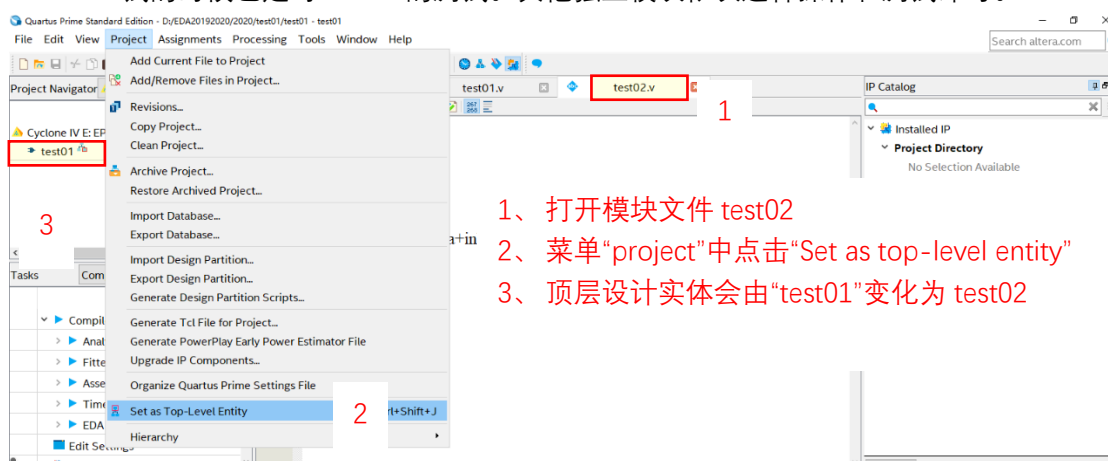
<pre> module test01(input[7:0] ina, input[7:0] inb, output[15:0] out16); assign out16=ina*inb; endmodule </pre>	<pre> module test02(input[3:0] ina, input[3:0] inb, output[3:0] sum, output cont); assign {cont,sum}=ina+inb; endmodule </pre>
---	--



两个模块没有关系，相互独立。当前工程名为 test01，顶层实体名为 test01。系统在编译的时候编译顶层实体的同名模块 test01 作为主模块来进行综合。由于 test01 中没有 test02 的调用。所以 test02 工具会进行语法检测，但不会被综合成电路。也无法进行测试。

解决方案有两种：

- 将每一个独立文件建立一个独立工程，但是比较繁琐。
- 改变当前工程的顶层实体，将 test01 改为 test02。则在进行的编译就是对 test02 的编译，测试的时候也是对 test02 的测试。其他独立模块依次这样操作和测试即可。



2.4 编译，点击“processing→start compilation”快捷菜单开始编译后，显示如下。

File Edit View Project Assignments Processing Tools Window Help

test01

Project Navigator Hierarchy

Entity/Instance

Cyclone IV E: EP4CE115F29C7

test01

Table of Contents

Flow Summary

Flow Settings

Flow Non-Default Global Settings

Flow Elapsed Time

Flow OS Summary

Flow Log

Analysis & Synthesis

Flow Messages

Flow Suppressed Messages

Flow Summary

<<Filter>>

Flow Status In progress - Sat Oct 03 12:50:41 2

Quartus Prime Version 17.0.0 Build 595 04/25/2017 SJ St

Revision Name test01

Top-level Entity Name test01

Family Cyclone IV E

流程总结

Task

0% Compile Design

4% Analysis & Synthesis 编译进度

0% Fitter (Place & Route)

0% Assembler (Generate program)

0% TimeQuest Timing Analysis

0% EDA Netlist Writer

Edit Settings

Program Device (Open Programm...

Messages

All <<Filter>> Find... Find Next

Type ID Message

20030 Parallel compilation is enabled and will use 2 of the 2 processors detected

错误、警告等提示信息。查找错误的重要信息来源

System (2) Processing (5)

程序出现错误样例：

Quartus Prime Standard Edition - D:\EDA20192020\2020\test01\test01 - test01

File Edit View Project Assignments Processing Tools Window Help

test01

Project Navigator Hierarchy

Entity/Instance

Cyclone IV E: EP4CE115F29C7

test01

Tasks

Compilation

Task

Compile Design

Analysis & Synthesis

Fitter (Place & Route)

Assembler (Generate program)

TimeQuest Timing Analysis

EDA Netlist Writer

module test01(
input[7:0] ina,
input[7:0] inb;
output[15:0] out16
);
assign out16=ina*inb;
endmodule

错误出现在第 3 行，syntax error 符号错误。
应该是“，”，写成了“；”

Messages

All <<Filter>> Find... Find Next

Type ID Message

20030 Parallel compilation is enabled and will use 2 of the 2 processors detected

10170 Verilog HDL syntax error at test01.v(3) near text: ";"; expecting ")". Check for and fix any syntax errors that appear immediately before or at the specified keyword. The Intel FPGA Knowledge Database contains many articles with specific details on how to resolve this error. Visit the Knowledge Database at <https://www.altera.com/support/support-resources/knowledge-base/search.html> and search for this specific error message number.

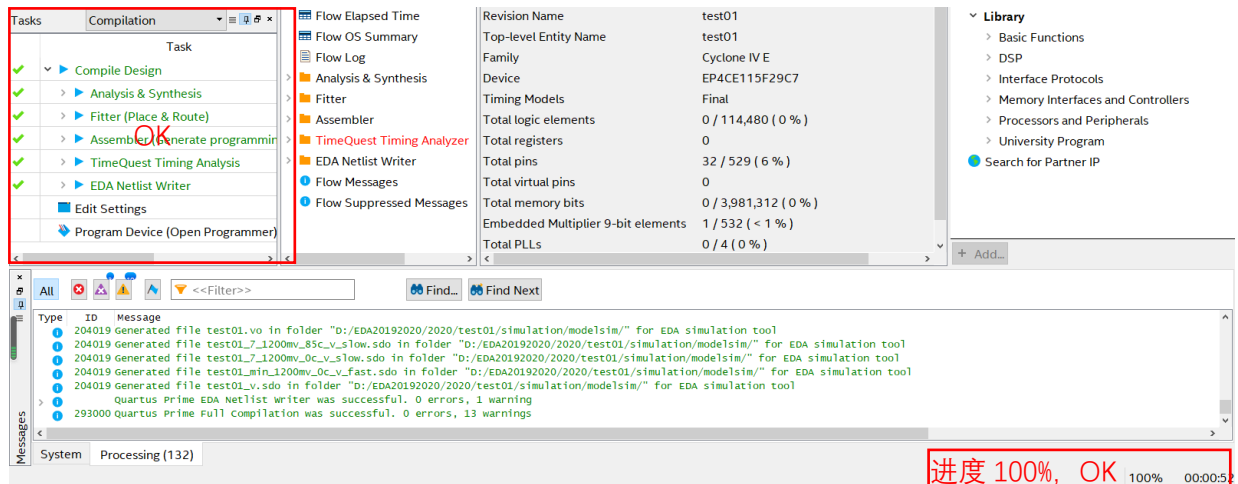
293001 Quartus Prime Full compilation was unsuccessful. 4 errors, 1 warning

错误信息：Error (10170): Verilog HDL syntax error at test01.v(3) near text: ";"; expecting ")". Check for and fix any syntax errors that appear immediately before or at the specified keyword. The Intel FPGA Knowledge Database contains many articles with specific details on how to resolve this error. Visit the Knowledge Database at <https://www.altera.com/support/support-resources/knowledge-base/search.html> and search for this specific error message number.

错误信息提示中：test01.v(3)中的数字是指错误出现的行数。

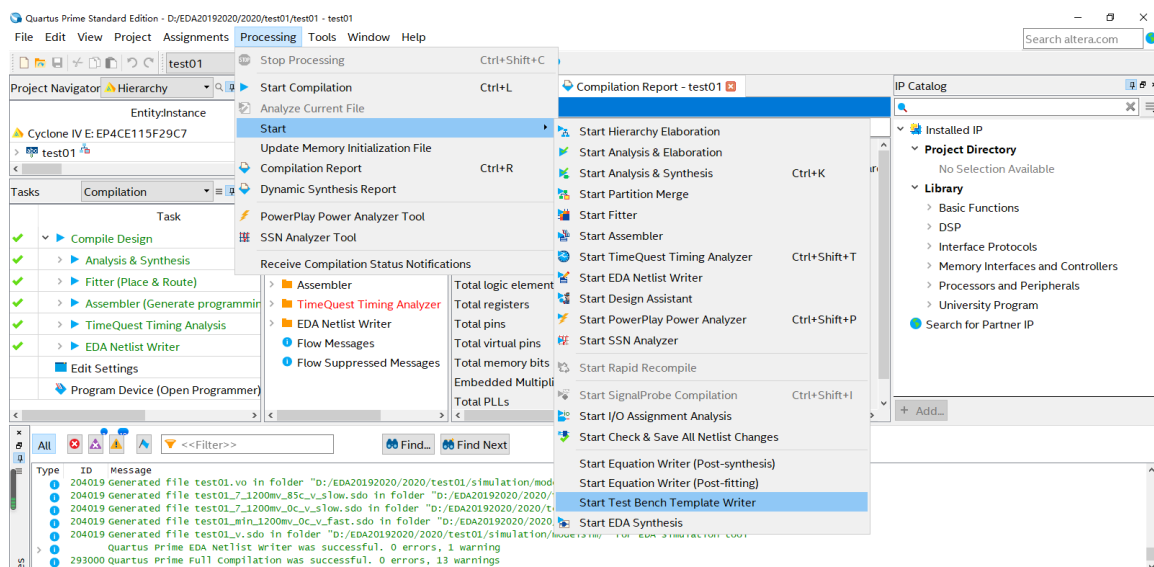
2.5 编译完成,tasks 中所有流程完成（绿色对勾），右下角进度 100%。

完成到这一步。说明语法上没有严重的问题。能够将代码逻辑转化为网表文件。

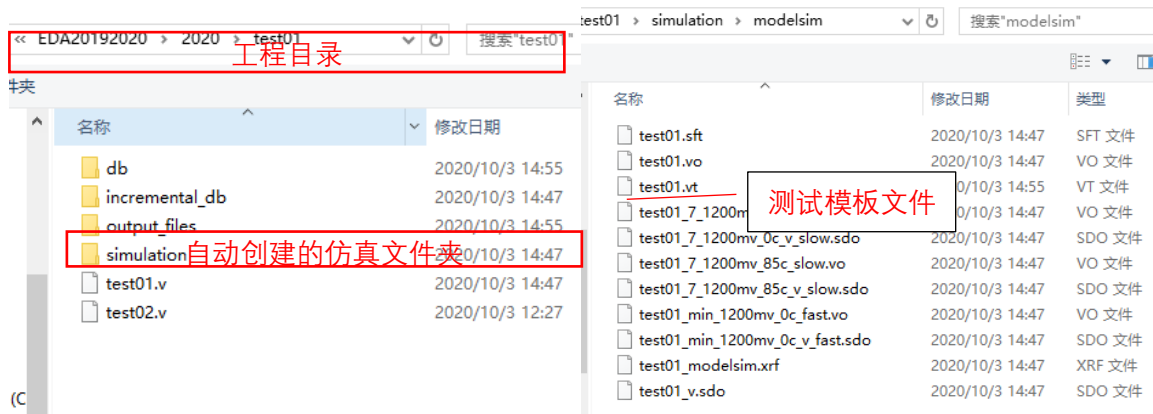


三、仿真

3.1 编写测试文件。系统提供了测试模板。点击 processing→start→start test bench template writer



在工程目录下会自动创建 simulation/modelsim 文件夹，



3.2 打开测试文件 test01.vt (.vt 是测试文件后缀, verilog test bench)。测试代码框架已经设计好了, 填充逻辑代码即可, 如下图。

```

1 `timescale 1 ps/ 1 ps
2 module test01_vlg_tst();
3 // constants
4 // general purpose registers
5 reg eachvec;
6 // test vector input registers
7 reg [7:0] ina;
8 reg [7:0] inb;
9 // wires
10 wire [15:0] out16;
11
12 // assign statements (if any)
13 test01 i1 (
14 // port map - connection between master ports and signals/registers
15 .ina(ina),
16 .inb(inb),
17 .out16(out16)
18 );
19 initial

```

将多余的注释等内容删除, 补充代码后完成测试文件设计, 如下。

```

`timescale 1 ps/ 1 ps
module test01_vlg_tst();
reg [7:0] ina;
reg [7:0] inb;
wire [15:0] out16;
integer i;
test01 i1 ( //待测模块 test01 调用
    .ina(ina),
    .inb(inb),
    .out16(out16)
);
initial
begin
for(i=0;i<256;i=i+1)
begin
    ina=i;
    inb={$random}%256;
    #10;
end //ina 和 inb 赋值
end

```

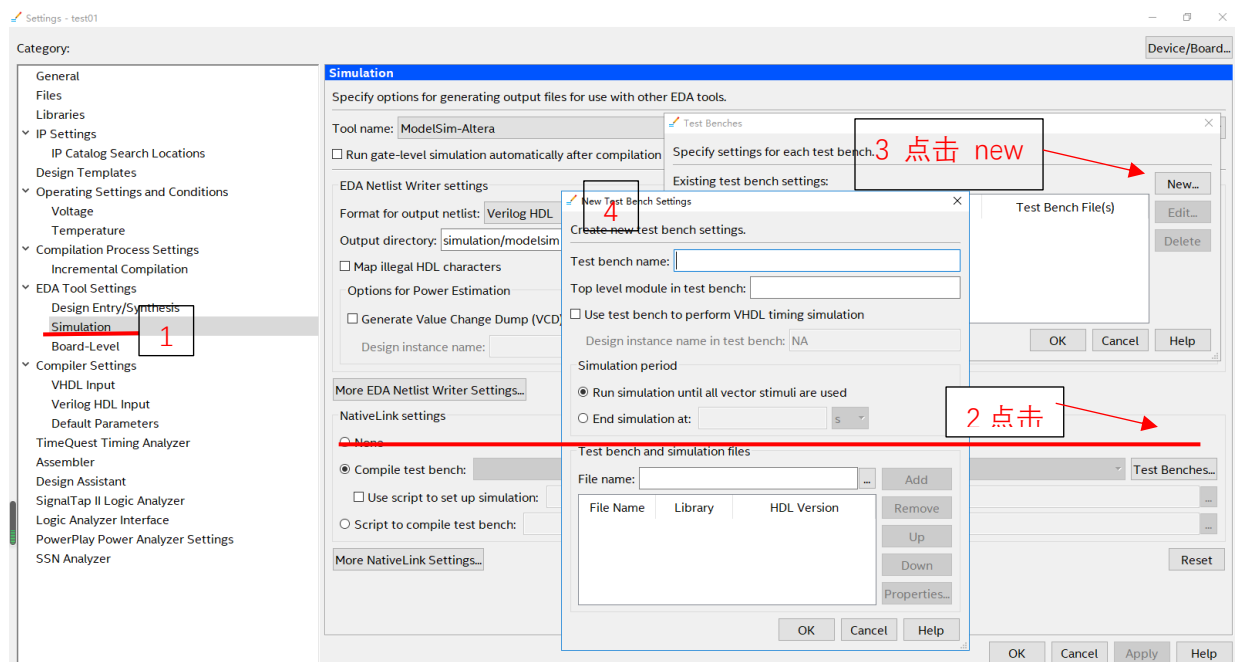
```

initial
$monitor($realtime,,,"%d *%d =%d",ina,inb,out16);

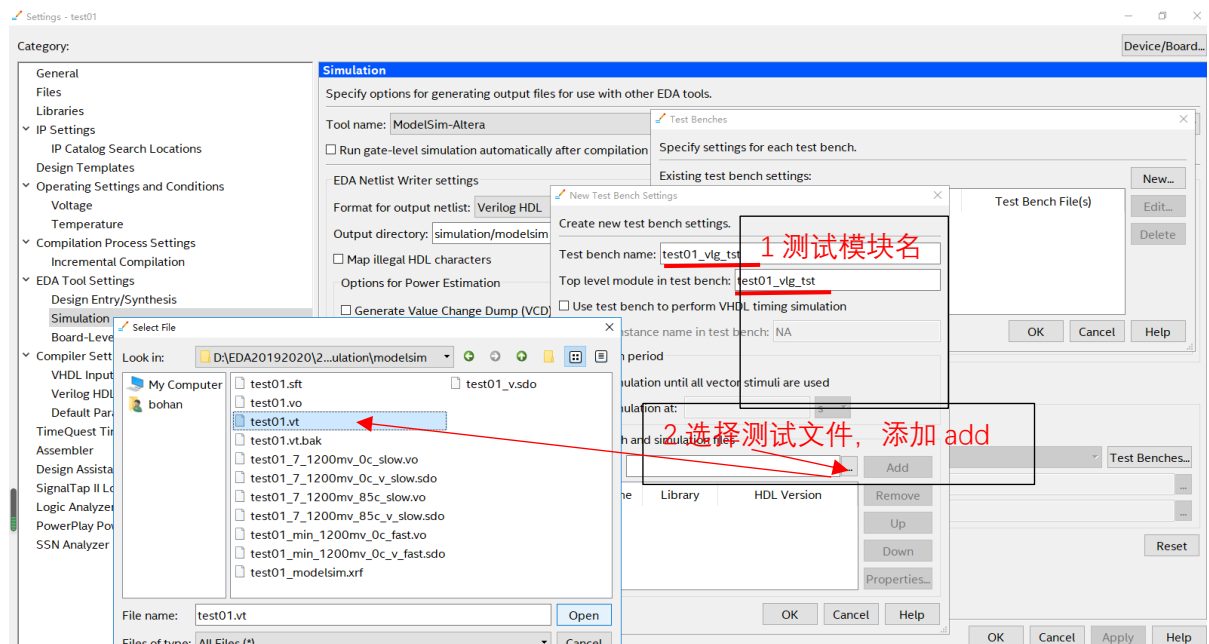
//always    //暂时用不到
//begin    end
endmodule

```

3.3 配置仿真参数。菜单 assignmen→setting，如下图。

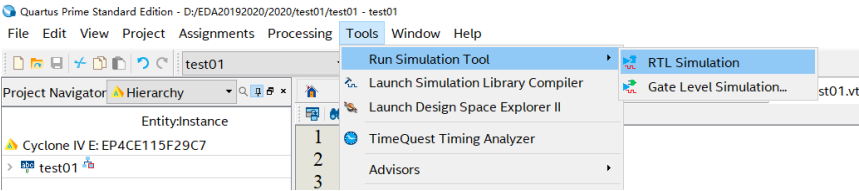


设定参数，如下图。

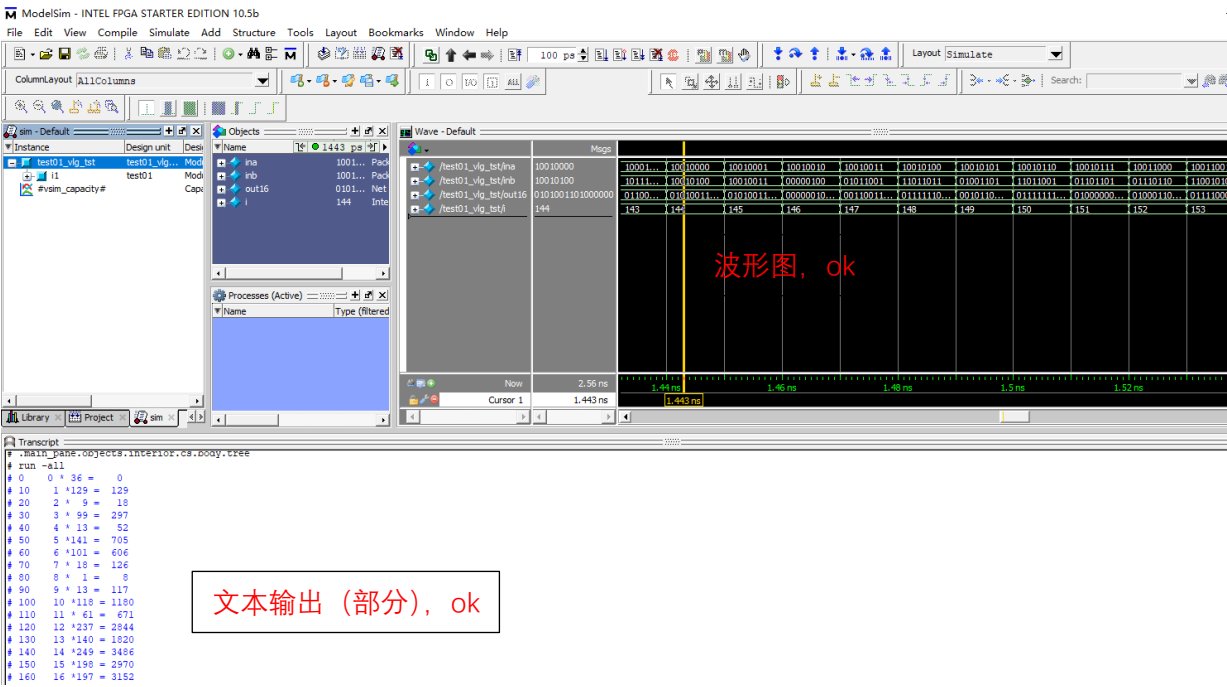


选定测试文件，然后 ok,ok…完成设置。

3.4 点击菜单”tools→run simulation tool→RTL simulation”，系统会自动调用 modelsim 进行仿真。



modelsim 显示如下。



3.5 时序电路测试。按照上述步骤进行测试。

模 16 的二进制计数器	测试文件
<pre>module count16(clk, clr, sum); input clk, clr; output reg [3:0] sum; always @(posedge clk) begin if(clr) sum<=0; else sum<=sum+1; end endmodule</pre>	<pre>`timescale 1 ps / 1 ps module count16_vlg_tst(); reg clk; reg clr; wire [3:0] sum; integer i; count16 i1 (.clk(clk), .clr(clr), .sum(sum)); initial begin clk=0; clr=0; #5 clr=1; #10 clr=0; end always #5 clk=~clk; endmodule</pre>