

**开始时间** 2019年01月5日 星期六 18:45

**状态** 完成

**完成于** 2019年01月5日 星期六 18:58

**耗时** 12 分钟 45 秒

**题目1**

正确

满分1.00

某数字系统需要一个功能模块，输入BCD码输出7位序列驱动七段管的显示功能，模块名定义最合理的是（ ）。

选择一项：

- ☒ a. BCDto7 ✓
- ☐ b. Decode4-7
- ☐ c. 4to7Decode
- ☐ d. 4Decode7

APPROVED

**题目2**

正确

满分1.00

变量名是标识符的一种，那么下列选项中不符合标识符定义规范的是（ ）。

选择一项：

- ☐ a. R56\_1
- ☐ b. \_A1
- ☒ c. dout@4 ✓
- ☐ d. Begin

APPROVED

**题目3**

正确

满分1.00

下列标识符定义正确的是（ ）。

选择一项：

- ☐ a. module begin(a , b , c);
- ☒ b. reg[7:0] \_posedge; ✓
- ☐ c. 50Clkto1clk c0(in2 , out4);//模块调用
- ☐ d. module Begin(¥ a , b , c);

APPROVED

**题目4**

正确

满分1.00

下列标识符的定义，正确的是（ ）。

选择一项：

- ☐ a. ouut\_&
- ☒ b. INPUT ✓
- ☐ c. 4to16
- ☐ d. Cout-4

**APPROVED****题目5**

正确

满分1.00

下列标识符的定义，错误的是（ ）。

选择一项：

- ☐ a. \_intoB
- ☐ b. t\_emp
- ☒ c. count-1 ✓
- ☐ d. hello

**APPROVED****题目6**

正确

满分1.00

下列模块声明中，哪个模块名不合法（ ）？

选择一项：

- ☐ a.  
module Always ( a,b,c ) ;
- ☒ b. module @t1 ( a,b,c ) ; ✓
- ☐ c. module Test ( a,b,c )
- ☐ d. module always\_1 ( a,b,c ) ;

**APPROVED**

**题目7**

正确

满分1.00

下列变量定义中，正确的是（ ）。

选择一项：

- ☐ a. \$\_test
- ☐ b. \*a1
- ☐ c. 56sin
- ☒ d. count ✓

**APPROVED****题目8**

正确

满分1.00

下列选项中，Verilog HDL的常量定义错误的是（ ）

选择一项：

- ☐ a. 'd23
- ☒ b. 20'B2A4 ✓
- ☐ c. 8'b1111\_0000
- ☐ d. 10'b1x001

**题目9**

正确

满分1.00

下列数据中，与7'b10 1101011大小相同的是（ ）

选择一项：

- ☐ a. 7'O653
- ☐ b. 9'd363
- ☐ c. 363
- ☒ d. 7'H56B ✓

**APPROVED**

**题目10**

正确

满分1.00

有如下定义，reg[3:0] a[4:1]，reg[2:0] b，下列操作错误的是（ ）。

选择一项：

- ☒ a. a[0]=4'b1111 ✓
- ☐ b. b=3'b001
- ☐ c. a[1]=4'b1111
- ☐ d. b[2]=1'b0

**APPROVED****题目11**

正确

满分1.00

定义一个存储器Memory，存储器单元宽度为5bit，单元数为5，下面定义正确的是（ ）。

选择一项：

- ☐ a. reg mem[4:0]
- ☐ b. reg[5:0] mem
- ☐ c. reg [5:0] mem[5:0]
- ☒ d. reg[5:1] mem[5:1 ] ✓

**APPROVED****题目12**

正确

满分1.00

定义存储器reg[8:0] Mem [8:0]，则下列操作正确的是（ ）。

选择一项：

- ☐ a. sum=Memory[0][5:1]\*3
- ☒ b. Memory[0]=8'b1; ✓
- ☐ c. Mem [5:0]=1;
- ☐ d. Mem=0;

**APPROVED**

**题目13**

正确

满分1.00

定义模块Code(in1,out1)，输入4位in1，输出8位out1，那么调用模块Code c1(in11,out11)，下列描述正确的是（ ）。

选择一项：

- ☒ a. out11必须是wire类型 ✓
- ☐ b. in11必须是reg类型
- ☐ c. out11必须是reg类型
- ☐ d. in11必须是wire类型

**APPROVED****题目14**

正确

满分1.00

下面定义一个容量为20，字长为1的存储器a，正确的是（ ）。

选择一项：

- ☒ a. reg a[19:0] ✓
- ☐ b. reg[19:0] a[19:0]
- ☐ c. reg[19:0] a;
- ☐ d. reg a[20]

**APPROVED****题目15**

正确

满分1.00

如下变量定义， reg [3:0] X=4'b0010 ； reg [4:1] Y=4'd0110 ；计算X&Y和X&&Y的值分别为（ ）。

选择一项：

- ☐ a. 1 ； 4'b0010
- ☒ b. 4'b0010 ； 1'b1 ✓
- ☐ c. 1 ； 1
- ☐ d. 4'b0010 ； 4'b0010

**APPROVED**

**题目16**

正确

满分1.00

定义变量 reg[7:0] temp;则下列操作中能实现temp序列循环左移2bit的是 ( )。

选择一项：

- ☐ a. temp={temp[1:0],temp};
- ☒ b. temp={temp,temp[7:6]}; ✓
- ☐ c. temp=temp<<2;
- ☐ d. temp={temp,temp[1:0]}

**APPROVED****题目17**

正确

满分1.00

定义变量 reg[7:0] temp;则下列操作中能实现temp序列循环右移2bit的是 ( )。

选择一项：

- ☒ a. temp={ temp[1:0], temp[7:2]} ✓
- ☐ b. temp=temp>>2;
- ☐ c. temp={temp,temp[7:6]};
- ☐ d. temp={temp[1:0],temp};

**APPROVED****题目18**

正确

满分1.00

定义变量 reg[7:0] temp;则下列操作中能实现temp序列循环左移2bit的是 ( )。

选择一项：

- ☐ a.  
temp=temp>>2; temp[7:6]=temp[1:0]
- ☐ b.  
temp={temp[1:0],temp};
- ☐ c.  
temp<=temp>>2; temp[7:6]<=temp[1:0]
- ☒ d. temp={temp,temp[7:6]}; ✓

**APPROVED**

**题目19**

正确

满分1.00

定义移位寄存器 `reg[7:0] temp`; 串行单比特输入 `X`，若实现 `X` 顺次左移存入 `temp` 中，能实现此功能的是下列操作（ ）。

选择一项：

- ☐ a.  
`temp=temp+X;`
- ☒ b.  
`temp={temp , X};`  
✓
- ☐ c. `temp={X,temp};`
- ☐ d.  
`temp=temp<<1; temp[0]=X;`

**APPROVED****题目20**

正确

满分1.00

定义移位寄存器 `reg[7:0] temp`; 串行单比特输入 `X`，若实现 `X` 顺次右移存入 `temp` 中，能实现此功能的是下列操作（ ）。

选择一项：

- ☐ a. `temp={temp[6:0] , X};`
- ☐ b.  
`temp=temp>>1; temp[7]=X;`
- ☒ c. `temp={X,temp[7:1]};` ✓
- ☐ d. `temp={temp , X};`

**APPROVED**

**题目21**

正确

满分1.00

若HDL语句为 $\text{count1} = \text{cout} << 2 + \text{cout}$ ，择count1和cout的关系为。( )

选择一项：

- ☐ a.  $\text{count1} = 1.25 * \text{cout}$
- ☐ b.  $\text{count1} = 3 * \text{cout}$
- ☒ c.  $\text{count1} = 5 * \text{cout}$  ✓
- ☐ d.  $\text{count1} = \text{cout}$

**APPROVED****题目22**

正确

满分1.00

假设 $\text{reg}[6:0] \text{ a} = 6'haf$ ； $\text{reg}[4:0] \text{ b} = 4'd10$ ； $\text{reg}[3:0] \text{ c}$ ； $\text{c} = \{\text{a}[6:5], \text{b}[2:0]\}$ ，c的值为( )。

选择一项：

- ☒ a.  $4'd10$  ✓
- ☐ b.  $4'd2$
- ☐ c.  $2'b01$
- ☐ d.  $2'h10$

**APPROVED****题目23**

正确

满分1.00

假设 $\text{a} = 4'b1001$ ， $\text{b} = 6'd57$ ，那么 $\text{c} = \text{a} \& \& \text{b}$ ， $\text{d} = \text{c} \& \text{b}$ 的结果为( )。

选择一项：

- ☐ a.  
 $\text{c} = 6'b001001 \quad \text{d} = 6'd9$
- ☐ b.  $\text{c} = 6'b001001 \quad \text{d} = 6'd1001$
- ☐ c.  $\text{c} = 1'h1 \quad \text{d} = 6'b9$
- ☒ d.  $\text{c} = 1'b1 \quad \text{d} = 6'd9$  ✓



**题目24**

正确

满分1.00

定义  $\text{reg}[4:0] \ a=5'b10001$ ;  $\text{reg}[6:2] \ b=5'b00111$ ;  $\text{reg}[4:0] \ c$ ;  $c=\{a[3:1], \sim b[6:3]\}=(\ )$ ;

选择一项：

- ☒ a.  $7'b0001100$  ✓
- ☐ b.  $7'b0001110$
- ☐ c.  $5'b01110$
- ☐ d.  $5'b11100$

**APPROVED****题目25**

正确

满分1.00

下列运算中，得到的是结果1的是（ ）。

选择一项：

- ☐ a.  $^{10}b11100\_01110$
- ☐ b.  $4'd32 > 5'b00101$
- ☒ c.  $24 == 5'h18$  ✓
- ☐ d.  $\&8'b10001$

**APPROVED****题目26**

正确

满分1.00

通信系统中奇偶校验码是比较简单的差错检测编码，若信息产生序列a的奇校验编码的逻辑是（ ）。

选择一项：

- ☐ a.  $|a$
- ☐ b.  $^a$
- ☒ c.  $\sim (^a)$  ✓
- ☐ d.  $\&a$

**APPROVED**

**题目27**

正确

满分1.00

通信系统中奇偶校验码是比较简单的差错检测编码，若信息产生序列a的偶校验编码的逻辑是（ ）。

选择一项：

- ☐ a. |a
- ☐ b. &a
- ☒ c. ^a ✓
- ☐ d. ~ (^a)

**APPROVED****题目28**

正确

满分1.00

位拼接运算符{ }操作， reg[6:0] a=6'd20 ; b='o402 ; reg[4:0] c;则c={a[5:2],b[4:3]}=（ ）。

选择一项：

- ☐ a. 5'h10100
- ☐ b. 5'd010100
- ☐ c. 5'O010100
- ☒ d. 5'b10100 ✓

**题目29**

正确

满分1.00

HDL代码中有如下定义：reg[5:0]shift1;always过程块中两条语句

```
shift1<=shift1>>2;
```

```
shift1[5:4]<=shift1[1:0];
```

则下面等效操作为（ ）

选择一项：

- ☐ a. shift<=(shift[1:0],shift1)
- ☒ b. shift<={shift[1:0],shift1[5:2]} ✓
- ☐ c. shift<={shift,shift1[1:0]}
- ☐ d. shift<={shift[1:0],shift1}

**APPROVED**

**题目30**

正确

满分1.00

在Verilog HDL中，乘法操作是比较消耗资源的逻辑，但是采用移位的形式实现等效的操作节省资源比较多，如：操作 $c=b*20$ ，可以由下面的（ ）来实现效率更高。

选择一项：

- ☐ a.  $c=a>>4+a>>8$
- ☐ b.  $c=a<<4+a<<8$
- ☐ c.  $c=a>>2+a>>4$
- ☒ d.  $c=a<<2+a<<4$  ✓

**APPROVED****题目31**

正确

满分1.00

若变量 $a=4'b1010$ 、 $a1=4'b0101$ ，则 $b=a|a1$ ， $c=|a$ 的结果为（ ）

选择一项：

- ☐ a.  $b=4'b1111$   $c=1$
- ☒ b.  $b=4'b0000$   $c=1$  ✓
- ☐ c.  $b=4'b1111$   $c=4'b1111$
- ☐ d.  $b=4'b1101$   $c=1$

**APPROVED****题目32**

正确

满分1.00

若当前 $q3=1$ ， $q2=0$ ， $q1=1$ ， $d=0$ ，经过一个时钟clk后， $q3$   $q2$   $q1$ 的值为（ ）

```
always@(posedge clk)
begin
    q1=d; q2=q1;q3=q2;
end
```

选择一项：

- ☐ a. 010
- ☐ b. 111
- ☐ c. 101
- ☒ d. 000 ✓

**APPROVED**

**题目33**

正确

满分1.00

若当前 $q_3=1$ ， $q_2=0$ ， $q_1=1$ ， $d=0$ ，经过一个时钟clk后， $q_3 q_2 q_1$ 的值为（ ）

```
always@(posedge clk)
begin
    q1<=d; q2<=q1;q3<=q2;
end
```

**APPROVED**

选择一项：

- ☐ a. 000
- ☐ b. 111
- ☐ c. 101
- ☒ d. 010 ✓

**题目34**

正确

满分1.00

若当前 $q_3=1$ ， $q_2=0$ ， $q_1=1$ ， $d=0$ ，经过一个时钟clk后， $q_3 q_2 q_1$ 的值为（ ）

```
always@(posedge clk)
    q1=d;;
always@(posedge clk)
    q2=q1;
always@(posedge clk)
    q3=q2;
```

选择一项：

- ☐ a. 000
- ☐ b. 101
- ☒ c. 010 ✓
- ☐ d. 111

**题目35**

正确

满分1.00

若当前q3=1, q2=0, q1=1, d=0, 经过一个时钟clk后, q3 q2 q1的值为 ( )

```
always@(posedge clk)
    q1=d;;
always@(posedge clk)
    q2=q1; q3=q2;
```

选择一项：

- ☒ a. 110 ✓
- ☐ b. 111
- ☐ c. 101
- ☐ d. 000

**题目36**

正确

满分1.00

若当前q3=1, q2=0, q1=1, d=0, 经过一个时钟clk后, q3 q2 q1的值为 ( )

```
always@(posedge clk)
    q1=d;;
always@(posedge clk)
    q2<=q1; q3<=q2;
```

选择一项：

- ☒ a. 010 ✓
- ☐ b. 101
- ☐ c. 111
- ☐ d. 000

**题目37**

正确

满分1.00

下列块语句属于可综合并行块的是 ( )。

选择一项：

- ☐ a. always@ ( \* ) begin a=b;b=c;end
  - ☒ b. always@ ( \* ) begin a=b;end
  - ☐ c. always@ ( \* ) begin a=b;b<=c;end
  - ☐ d. always@ ( \* ) fork a=b;b=c; join
- always@ ( \* ) begin b=c;end ✓

**题目38**

正确

满分1.00

某时序电路设计，采用FSM实现输入为 $x$ ，当前状态变量 $state$ ，输出为 $y$ ，若状态机为摩尔型（Moore）状态机，则下列逻辑描述正确的是（D）。F输出函数。

选择一项：

- ☐ a.  $y=x$  ;
- ☒ b.  $y=F(state)$  ✓
- ☐ c.  $y=state+x$
- ☐ d.  $y=F(x, state)$

**APPROVED****题目39**

正确

满分1.00

某时序电路设计，采用FSM实现输入为 $x$ ，当前状态变量 $state$ ，输出为 $y$ ，若状态机为米利型状态机，则下列逻辑描述正确的是（ ）。F输出函数。

选择一项：

- ☐ a.  $y=F(state)$
- ☐ b.  $y=F(x)$
- ☒ c.  $y=F(x, state)$  ✓
- ☐ d.  $y=x$  ;

**APPROVED****题目40**

正确

满分1.00

状态机设计中，状态编码的选择也会很大影响电路系统的效率，一位热码(one-hot)是FSM常见状态编码类型，某状态机FSM共有5个状态，下列状态状态编码中符合一位热码规范的是（ ）。

选择一项：

- ☒ a.  $5'b10000$  ✓
- ☐ b.  $5'b00011$
- ☐ c.  $5'b00000$
- ☐ d.  $5'b10010$

**APPROVED**

### 题目41

正确

满分1.00

某状态机FSM采用三段式设计，根据下面选项（ ）可以判断该状态机为米利型（ mealy ）状态机。现态变量state、次态逻辑state\_next、输入时钟clk、输入x

选择一项：

- ☒ a. 输出逻辑 `always@ ( state , x )` ✓
- ☐ b.  
次态逻辑`always@ ( state , x )`
- ☐ c.  
现态或状态转移`always@(posedge clk)`
- ☐ d.  
输出逻辑 `always@ ( state )`

### 题目42

正确

满分1.00

某三段式FSM代码，现态变量state、次态逻辑state\_next、输入时钟clk、输入x，采用莫尔型状态机，则下列定义正确的是（ ）。

选择一项：

- ☐ a. 输出逻辑 `always@ ( state , x )`
- ☒ b.  
输出逻辑 `always@ ( state )`  
✓
- ☐ c.  
次态逻辑`always@ ( state )`
- ☐ d.  
现态或状态转移`always@(posedge clk , posedge x)`

**题目43**

正确

满分1.00

某状态机设计中，状态编码采用一位热码编码，其中一个状态为6'b010000,若该状态机状态为节省寄存器采用较短二进制编码，state定义合理的是（ ）。

选择一项：

- ☐ a. reg [5:0] state;
- ☐ b. wire[5:0] state;
- ☒ c.  
reg[2:0] state;  
✓
- ☐ d. reg[6:0] state;

**题目44**

正确

满分1.00

某状态机输出逻辑过程定义为输出逻辑 always@ ( state , x ) , 其中现态变量state、次态逻辑state\_next、输入时钟clk、输入x。则该状态机为（ ）

选择一项：

- ☐ a. 摩尔型
- ☐ b. 混合式
- ☐ c. 都不是
- ☒ d. 米利型 ✓



**题目45**

正确

满分1.00

某工程模块定义如下，下面三个模块被综合成一个完整的系统，则该工程的顶层实体（top-level design entity）为（ ）。

module fftMod ( ..... ) Threshold a0(.....) endmdoule	module FltAdd ( ..... ) fftMod a0(.....) endmdoule	Module Threshold ( ..... ) ..... endmdoule
---	--	--

**APPROVED**

选择一项：

- ☐ a. fftMod
- ☐ b. Fltadd
- ☒ c. FltAdd ✓
- ☐ d. Threshold

**题目46**

正确

满分1.00

HDL文件经过综合和适配后，下载的文件类型为（ ）。

选择一项：

- ☐ a. v文件
- ☒ b. sof文件 ✓
- ☐ c. sim文件
- ☐ d. vt文件

**APPROVED**

**题目47**

正确

满分1.00

错误提示“Error (10663): Verilog HDL Port Connection error at error1.v(7): output or inout port "b" must be connected to a structural net expression” 最有可能应该是下面条语句的错误 ( )。

选择一项：

☐ a. `always@(a,c) b=a-c;`

☒ b.  
`BCDtoHex a0(a,c,b);`



☐ c. `always@(a,c)`  
`begin if(a) BCDtoHex(a,c,b); else b=a^c; end`

☐ d.  
`assign b=a+c;`

**题目48**

正确

满分1.00

某代码在调试过程中综合成功，原定的功能是气短管显示0-9计数，但是现在只显示0和1，那么下面的问题解决正确的是 ( )。

选择一项：

- ☐ a. 位宽定义多了
- ☐ b. 数据类型定义不对
- ☐ c. 语法有错
- ☒ d. 位宽定义缺失 ✓

◀ 第一部分 EDA基本概念练习 ( 选择题 ) 3-5号开放

跳至...



第二部分 补齐程序、改错，提交答案后或回顾可查看参考答案，5-6 ▶