

**实验报告**

**学院名称： 信息产业学院**

**专业名称： 计算机科学与技术**

**课程名称： 数字逻辑电路设计**

**班 级： 211060104学号：21106010413**

**学生姓名： 刘钟泽**

**指导老师： 郝晓丽**

2022年11月4日

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 学生姓名 | 刘钟泽 | | 学号 | 21106010413 | 实验成绩 |  |
| 实验项目名称 | | 触发器电路设计 | | | | |
| 实验地点 | |  | | 实验日期 | 2022年11月4日 | |
| 实验目的和要求 1、实验目的  （1）掌握RS和JK触发器的逻辑功能及测试方法，了解它们的触发方法。  （2）熟悉常用集成触发器的型号及外引脚排列。  2、实验要求  （1）将实验电路截图并标出电路名称  （2）列出实验步骤，观察测试现象，记录、整理实验结果 实验内容和原理 1、实验原理：  触发器具有两个稳定状态，用以表示逻辑状态“1”和“0”，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态，它是一个具有记忆功能的二进制信息存储器件，是构成各种时许电路的最基本逻辑单元。  2、实验内容  （1）基本RS触发器  图5.1为由两个与非门交叉耦合构成的基本SR触发器，这是无时钟控制低电平直接触的触发器。它有两个输出端、和两个输入端、，输入信号名称的小标“D”，表示输入信号直接（Direct）控制触发器的输出。按照图5.1搭建基本RS触发器电路，并观察其输出是否满足表5.1。  （2）集成JK触发器测试 、复位、置位功能  集成JK触发器有主从结构和边沿结构两种类型，本实验采用的是TTL型下降沿JK触发器74LS76D。在逻辑符号图中，CP输入端加小圆圈代表低电平有效、小三角代表边沿触发，即在时钟脉冲CP的后沿（负跳变）发生翻转，它具有置0、置1、计数和保持功能，其特性表如表5.2所示。 主要仪器设备 1.计算机  2.仿真软件Multisim 2001 操作方法与实验步骤 1、从基本界面的左侧元件工具条中调出如图5.3所有元件，并连好线路；  2、打开仿真开关，按照图5.2要求进行实验，并将结果填入表5.3中。  要使初态Qn=0，可用CLR置低电平进行复位，复位后J4仍需回到高电平；同样，要使初态Qn=1，可用PR置低电平进行置位，置位后J1仍需回到高电平。    表5.2 集成JK触发器74LS76D功能   实验数据记录和处理   图5.1 基本RS触发器    图5.2 RS触发器    图5.3 JK触发器连线图 实验结果与分析 表5.3 基本RS触发器输出记录表   |  |  |  |  | | --- | --- | --- | --- | | 输入 | | 输出 | | | S | R | Qn | Qn＋１ | | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 1 | | 1 | 0 | 0 | 1 | | 1 | 0 | 1 | 1 | | 0 | 1 | 0 | 0 | | 0 | 1 | 1 | 0 | | 1 | 1 | 0 | - | | 1 | 1 | 1 | - |   当S=0，R=0时，Q状态保持不变  当S=1，R=0时，Q状态被设置为1  当S=0，R=1时，Q状态被设置为0  当S=1，R=1时，Q状态不确定。  表5.4 JK触发器真值表   |  |  |  |  |  | | --- | --- | --- | --- | --- | | 输入 | | | 输出 | | | CP | J | K | Qn | Qn＋１ | | ↓ | 0 | 0 | 0 | 0 | | ↓ | 0 | 0 | 1 | 1 | | ↓ | 1 | 0 | 0 | 1 | | ↓ | 1 | 0 | 1 | 1 | | ↓ | 0 | 1 | 0 | 0 | | ↓ | 0 | 1 | 1 | 0 | | ↓ | 1 | 1 | 0 | 1 | | ↓ | 1 | 1 | 1 | 0 |  讨论、心得 通过此次实验我更加深刻的了解了74LS00和74LS76D器件，更深一步地掌握了电路的连接和电子元件电路设计的方法和技巧。通过这次试验，我更熟悉了电路的连接，设计电路的能力也得到了提高。在这次实验中，我了解到了触发器的应用，并经过实践加深了对其原理的理解。 | | | | | | |