



焉知汽车
Yanzhi Automotive

SOC

车载SoC芯片产业 分析报告

2024年06月

前言

随着汽车智能化水平的提升，整车EE架构已经由以前的分布式ECU架构升级到集中式域控制器架构，并继续向中央集成式架构方向演进。在分布式ECU架构阶段，MCU是计算和控制的核心；在集中式域控制器架构阶段，传统MCU芯片已经无法满足大量异构数据的吞吐能力和更快的数据处理能力的需求，因此，数据传输效率更高、算力更大的SoC 芯片便成为域控制器主控芯片的必然选择。

目前，车载 SoC 芯片主要面向两大应用领域：智能驾驶和智能座舱。虽然现阶段座舱 SoC 芯片和智驾 SoC 芯片尚处在独立发展阶段，但随着整车架构向更集中的跨域融合架构演进，以及车企在架构设计和软件开发能力上的不断提升，智能座舱和智能驾驶的融合也将逐渐由上层应用融合过渡到下层的硬件融合。与此同时，车载 SoC 芯片也必然会随着两者融合的变化而进行迭代升级，届时，舱驾一体 SoC 甚至是中央计算 SoC 将逐渐成为市场的主流产品形态。

在此背景下，焉知汽车推出《车载 SoC 产业分析报告》，从车载 SoC 芯片基本介绍、车载 SoC 芯片产业链分析、车载 SoC 芯片应用趋势分析、车载 SoC 芯片行业竞争格局、国内外车载 SoC 芯片重点企业及产品布局等方面入手，综合分析车载 SoC 芯片的产业链发展现状及未来应用趋势，为行业研究和企业发展提供参考。

由于时间仓促，报告中难免会有疏漏和不足之处，敬请各位专家、同行、读者批评指正。

目录

1. 车载 SoC 芯片基本介绍	6
1.1 车载 SoC 芯片定义	6
1) 基础定义	6
2) 硬件构成	7
1.2 车载 SoC 芯片性能要求	8
1) 重要参数指标	8
2) 车规级要求	9
1.3 应用场景	10
1) 智能座舱	10
2) 智能驾驶	11
2. 车载 SoC 芯片产业链分析	12
2.1 产业链结构图	12
2.2 上游产业分析	12
2.2.1 芯片 IP	12
2.2.2 EDA 工具	14
2.2.3 半导体原材料	16
2.2.4 半导体设备	17
2.3 中游产业分析	18
2.3.1 芯片设计	18
2.3.2 晶圆制造	21
2.3.3 芯片封测	22
2.4 下游产业分析	23

2.4.1 车企 SoC 芯片布局	23
2.4.2 车企 SoC 芯片自研	24
3. 车载 SoC 芯片应用趋势分析	25
3.1 智驾 SoC 芯片应用趋势	25
3.1.1 基于中小算力 SoC 芯片的前视一体机市场需求前景依然可观	25
3.1.2 轻量级行泊一体域控 - 全时运行单 SoC 芯片方案将成为主流	26
3.1.3 BEV+Transformer+OCC 驱动智驾 SoC 芯片向新架构方向演进	28
3.2 座舱 SoC 芯片应用趋势	30
3.2.1 舱内显示：一芯多屏	30
3.2.2 舱内交互：多模态交互	32
3.2.3 舱驾融合：舱驾一体	33
3.3 车载 SoC 芯片选型	35
1) 芯片平台的延续性	35
2) 芯片的适配性	35
3) 芯片的平台化设计	36
4) 芯片的软件生态	37
5) 芯片厂商的本土化服务	37
4. 车载 SoC 芯片行业竞争格局	38
4.1 智能驾驶 SoC 芯片	38
4.1.1 市场需求	38
4.1.2 市场格局	40
4.2 智能座舱 SoC 芯片	41
4.2.1 市场需求	41

4.2.2 竞争格局	43
5. 国内外重点企业及产品布局	44
5.1 国外芯片厂商	44
5.1.1 英伟达	44
5.1.2 德州仪器	46
5.1.3 Mobileye	47
5.1.4 安霸半导体	49
5.1.5 高通	52
5.2 国内芯片厂商	54
5.2.1 地平线	54
5.2.2 黑芝麻	56
5.2.3 芯驰科技	57
5.2.4 杰发科技	59
5.2.5 芯擎科技	61
5.2.6 爱芯元智	63
5.2.7 联发科	62
免责声明	64
特别鸣谢	64

车载 SoC 芯片产业分析报告

1. 车载 SoC 芯片基本介绍

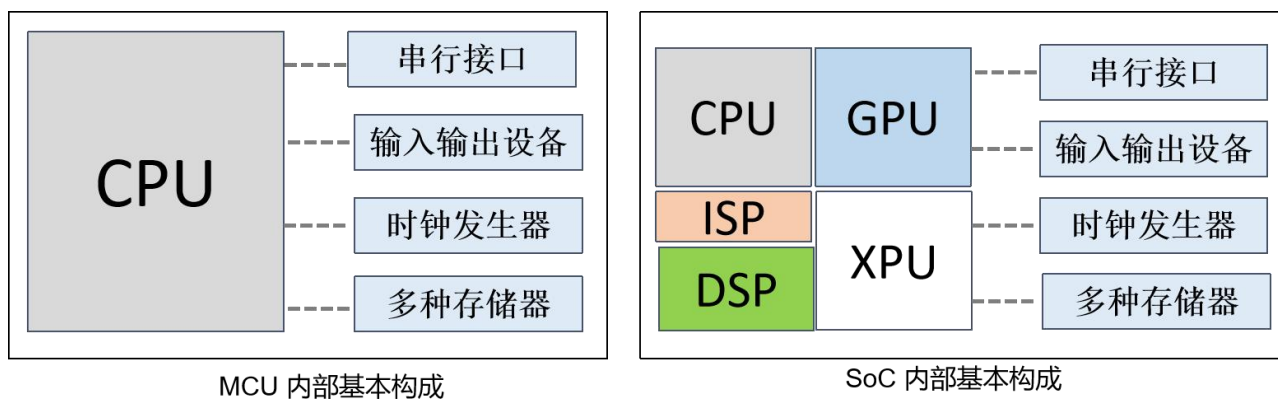
1.1 车载 SoC 芯片定义

随着汽车智能化水平的提升,整车EE架构已经由以前的分布式ECU架构升级到集中式域控制器架构,并继续向中央集成式架构方向演进。在分布式ECU架构阶段,MCU是计算和控制的核心;在集中式域控制器架构阶段,传统MCU芯片已经无法满足大量异构数据的吞吐能力和更快的数据处理能力的需求,因此,数据传输效率更高、算力更大的SoC 芯片便成为域控制器主控芯片的必然选择。

1) 基础定义

车规级计算芯片按集成规模可以分为MCU和SoC两类。其中,MCU也被称之为“单片机芯片”,内部集成有处理器、存储器、输入/输出接口和其他外设,常应用于控制任务简单、实时性较高的嵌入式系统。车载MCU常跑的操作系统有AUTOSAR CP和FreeRTOS,通常不支持运行高复杂度的操作系统。

SoC芯片为系统级芯片,相比MCU,内部集成更多的异构处理单元,结构设计更为复杂,处理和计算能力也更强,适用于多任务处理以及计算任务更复杂的应用场景。车载SoC可以跑更复杂的操作系统,包括QNX、Linux、Andriod和AUTOSAR AP等。



MCU 与 SoC 内部结构对比示意图

2) 硬件构成

车载 SoC 芯片内部通常包括以下几大模块：处理器、存储器、外设 I/O 等。

A. 处理器 —— 车载 SoC 芯片内部的处理器通常包括以下几种单元模块：

- **通用逻辑运算单元：**通常基于 CPU 来实现，主要负责一些逻辑运算任务，用于管理软硬件资源，完成任务调度和外部资源访问等，实现系统层面的功能逻辑、诊断逻辑以及影子模式数据挖掘功能等。一些典型的应用包括：基于优化的决策规划算法、车辆控制算法等。
- **AI 加速单元：**通常是基于 NPU 这类的神经网络处理器来实现，承担大规模浮点数并行计算需求；作为神经网络算法的加速器，主要负责处理 AI 方面的计算需求。
- **图像/视频处理单元：**通常基于 DSP、ISP、GPU 等处理器来实现。ISP 作为视觉处理芯片，其主要功能是对摄像头输出的图像信号做调校，包括 AE（自动曝光）、AF（自动对焦）、AWB（自动白平衡）、图像去噪等；DSP 是一种具有特殊结构的微处理器，相比于通用 CPU，它更适用于计算密集度高的处理工作，典型的应用包括：传统的 CV 图像处理、一些自定义算子的加速处理等；GPU 具有较强的浮点运算能力，主要用于图像的 3D 渲染和拼接等应用。
- **硬件安全模块 HSM：**用于为应用程序提供加解密服务，管理敏感信息和资产，保护加密密钥等。
- **Safety MCU：**主要用于实时监控 SoC 内部各硬件模块的状态和通信，以及在其出现问题后能够及时报错，进而确保整个系统的功能安全性。

A. 内部存储器：包括易失性存储器和非易失性存储器两大类。

- **易失性存储器：**存储器在断电的情况下（比如，系统正常关闭或意外关闭时），数据会丢失，即无法继续保留存储数据。它主要用于临时存储正在处理的程序和数据，车载 SoC 内部常用的存储器类型包括 SRAM 和 DRAM（DDR、LPDDR 等）等。
- **非易失性存储器：**在断电情况下，依然能够保存存储数据。它主要是用来存放固定数据、固件程序等一般不需要经常改动的数据。车载 SoC 内部常用的存储器类型包括 NAND Flash（eMMC、UFS 等）和 Nor Flash 等。

B. 外设 I/O：包括通用数据接口、摄像头信号接口、音频接口和显示器接口等。

- 通用的数据接口：PCIe、LVDS、USB、SATA、CAN/CAN-FD、以太网等
- 摄像头信号接口：MIPI-CSI-2、GMSL、FPD Link 等
- 音频接口：I2S、TDM、SPDIP 等
- 显示器接口：DP、HDMI 等

1.2 车载 SoC 芯片性能要求

1) 重要参数指标

衡量车载 SoC 芯片的性能，需要从 AI 算力、CPU 算力、GPU 算力、存储带宽、功耗、制造工艺等多个维度进行综合考量。

a. AI 算力：通常是指 MAC 指令 (乘积累加) 的运算能力。MAC 指令操作本身与数据类型强相关，在不同数据精度条件下，测出的 AI 算力会存在比较大的差别。企业平时宣称的算力一般是指该芯片运算能力的理论峰值，单位用 TOPS 来表示，一般默认是以 Int8 作为算力量化标准。

但我们也不能只看表面的理论算力数值。在特定使用场景下，大家更关心的是芯片真正的有效算力是多少，即芯片的“算力利用率”。以智能驾驶应用为例，SoC 芯片的实际算力利用率会因为图片分辨率、网络结构差异等原因而有所不同。

b. 存储带宽：数据在处理过程中需要不断地从存储器单元“读”数据到处理器单元中，处理完之后再结果“写”回存储器单元。数据在存储器与处理器之间的频繁迁移将带来严重的传输功耗问题。有业内人士提出，AI 运算 90%的功耗和延迟都是由于数据搬运产生的。

芯片的存储带宽由两方面决定，一是存储器本身，二是芯片的内存通道数。存储带宽的大小决定数据搬运速度的快慢和搬运次数的多少。因此，存储系统带宽的大小在一定程度上也决定了芯片真实算力的大小。

芯片型号		内存类型	内存位宽 (bit)	内存总带宽 (GB/s)
特斯拉	第一代 FSD	LPDDR4	128	34
	第二代 FSD	GDD R6	256 (推测)	448 (推测)
英伟达	Xavier	LPDDR4x	256	137
	Orin	LPDDR5	256	204.8
地平线	J5	LPDDR4x	64	—
高通	SA8155P	LPDDR4x	256	68
	SA8295P	LPDDR4x	256	137

常见芯片存储带宽信息梳理 (信息来源：佐思汽车研究、公开资料整理)

c. 功耗：包括动态功耗和静态功耗。动态功耗是因为信号值改变带来的功耗损失，由两部分组成：开关功耗和内部功耗。静态功耗是设备还在上电状态但是没有信号值改变时消耗的功率。

芯片的功耗与硬件架构、布局布线、工艺制程、算力大小等因素都有关系。其它条件相同的情况下，采用的工艺制程越先进，芯片的功耗就越低；同理，算力越大的芯片，功耗也会越大。功耗过大意味着会产生更大的散热，可能必需安装水冷系统，从而增加整体 BOM 成本。

2) 车规级要求

按照日常生活中的应用场景进行划分，芯片大致可分为消费级、工业级、车规级三大类。应用场景不同，芯片在设计、生产、认证等环节的目标设定和实现手段上都会存在区别。相比于消费级和工业级，车规级芯片的工作环境更恶劣、出错容忍率更低、使用寿命要求更长、供货生命周期更久等等。

	消费级	工业级	车规级
温度范围	0°C~70°C	- 40°C~ 85°C	- 40°C~ 125°C
电路设计	防雷/短路保护/热保护	+双变压设计/抗干扰/超高压保护	+多重短路/多重热保护
工艺处理	防水	+防潮/腐/霉	+增强封装和散热
封装形式	塑料或树脂	塑料或树脂	金属
出错率	< 3%	< 1%	0
寿命	2~3年	5~10年	15年
持续供货时间	> 2年	> 5年	> 30年
测试标准	JEDEC	JEDEC	AEC-Q100
系统成本	线路板一体化设计，价格低廉但维护费用较高	积木式结构，每个电路均带有自检功能，造价稍高但维护费用低	积木式结构，每个电路均带有自检功能，并增强了散热处理，造价较高维护费用也较高
应用	手机、PC等数码产品	工业控制	汽车电子

不同应用领域芯片的基本性能要求对比（信息来源：公开资料整理）

整体来看，车规级芯片具有高可靠性、高安全性和高稳定性的特点。车载芯片需要经过一系列严格的测试认证，确保其达到车规级的相关要求，方可投入到量产。芯片车规认证标准通常包括以下三个维度的管控：质量管理体系认证 IATF16949、可靠性标准 AEC-Q100 和功能安全标准 ISO 26262。

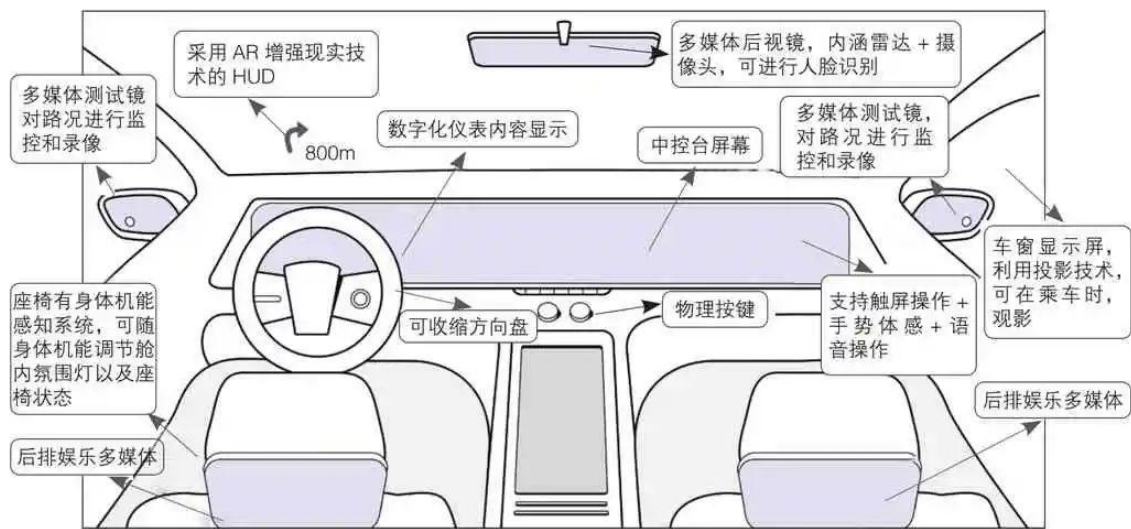
- IATF16949 是汽车设计、开发和生产质量管理体系的标准规范。在内容上涵盖：产品安全、风险管理和应急计划、嵌入式软件要求、变更和质保管理和二级供应商管理。对于车载芯片产品，从芯片设计到流片，再到规模化生产都需要遵循这套管理体系。
- AEC-Q100 是车规级元器件通用的可靠性测试标准，也是汽车行业零部件供应商生产的重要参考指南。2023 年 8 月，AEC 发布了 AEC-Q100 的 J 版测试认证标准文件，也是目前芯片公司开展 AEC-Q100 测试认证所沿用的最新标准要求。它包括了 7 大项测试内容：加速环境应力测试、加速寿命测试、封装检验测试、晶圆可靠度验证、电气特性验证、缺陷筛选测试和腔体封装完整性测试。
- ISO 26262 是一项专门针对汽车电子系统的功能安全性制定的国际标准。该标准涵盖了芯片的全生命周期的功能安全要求，包括项目需求规划、设计、晶圆制造，最后到封装测试的全过程。旨在降低芯片在使用中发生故障的风险，以确保这些安全关键型设备符合在汽车中使用的要求。

1.3 应用场景

目前，车载 SoC 芯片主要面向两大应用领域：智能驾驶和智能座舱。虽然现阶段座舱 SoC 芯片和智驾 SoC 芯片尚处在独立发展阶段，但随着整车架构向更集中的跨域融合架构演进，以及车企在架构设计和软件开发能力上的不断提升，智能座舱和智能驾驶的融合也将逐渐由上层应用融合过渡到下层的硬件融合。与此同时，车载 SoC 芯片也必然会随着两者融合的变化而进行迭代升级，届时，舱驾一体 SoC 甚至是中央计算 SoC 将逐渐成为市场的主流产品形态。

1) 智能座舱

智能座舱是指在传统电子座舱的基础上进行了升级，使得乘坐体验和交互体验更加智能化。通常，智能座舱可以实现：车载信息娱乐系统 + 全液晶仪表系统 + 抬头显示系统（HUD）+ 流媒体后视镜（CMS）+ 车联网系统 + 车内乘员监控系统（DMS/OMS）等一系列复杂功能。这些功能的实现不仅需要车载计算芯片具备强大的 CPU 算力来提高任务处理能力，也需要更强的 GPU 算力来处理视频、图片等非结构化数据，还需要较大的 AI 算力来满足越来越智能化的人机交互体验需求。



智能座舱功能实现（图片来源：公开网络）

然而，传统的 MCU 芯片已经难以满足智能座舱在各类型算力上的需求，智能座舱控制器所使用的主控芯片已经开始从 MCU 向具有更高集成度、更高算力的 SoC 芯片转变。座舱 SoC 芯片的性能决定了座舱域控制器的数据处理能力、图像渲染能力，从而决定了座舱内屏显数量、分辨率、运行流畅度，舱内交互体验，以及能够整合多少 ADAS 功能。当前，智能座舱的应用场景趋势如下：

- **舱内显示：**在电子座舱时代，座舱内是小尺寸中控显示屏和物理指针式的仪表盘，现在座舱的中控屏和仪表盘基本都是全液晶数字化大屏，甚至，有的高端座舱还增加有 AR-HUD、流媒体显示屏、后排娱乐屏等，总之，车内显示屏幕呈现多屏化、大屏化和高清化。

- **舱内交互**：舱内的交互方式变得多样化，传统电子座舱基本是通过物理按键进行交互，现在舱内物理实体按键越来越少，触控式按键、语音交互、手势控制等多模态的交互方式成为主流。
- **舱驾融合**：座舱和智驾原来基本是相互独立的两个部分，现在座舱和智驾之间的融合越来越多，正逐步由“舱泊一体”向“舱驾一体”演进。

2) 智能驾驶

智能驾驶按功能体系应用，通常可分为行车和泊车两大类应用场景。

在行车场景下，最开始是采用前视一体机或毫米波雷达模块来实现 L1 等级的基础 ADAS 功能，比如，a. **前视一体机**：实现车道偏离预警 LKW、车道居中保持 LKA、交通标识识别 TSR 等功能；b. **前置毫米波雷达**：实现前向碰撞预警 FCW、自适应巡航控制 ACC、车辆自动紧急制动 AEB 等功能；c. **角毫米波雷达**：实现盲区检测 BSD、变道辅助 LCA 以及前/后方横向来车碰撞预警 FCTA / RCTA 等功能。

在上述行车场景应用中，控制芯片一般是放置在传感器内部。再往后发展，随着车载 SoC 芯片集成的异构资源日渐丰富，以及核心处理器 CPU/GPU/NPU 算力的大幅提升，传感器中的控制芯片逐渐被剥离出来，集成到独立的控制器中去完成任务。并且，出现了一些 SoC 芯片能够独立完成行车和泊车的传感器数据处理、数据融合等软件算法，即所谓的单 SoC 行泊一体方案。

泊车场景最开始是采用超声波雷达，也称为“倒车防撞雷达”，用于泊车时的防撞提醒。后来，泊车场景中引入摄像头，用于实现倒车影像功能。再往后发展，倒车后视升级到 360°全景环视，通过拼接算法对 4 颗环视摄像头分别输出局部图像进行拼接，最后将拼接好的鸟瞰图传输到中控屏上进行显示。

泊车场景中，泊车算法的集成形式主要有以下几种：

- 不带 APA，只有 AVM 功能，泊车算法集成到车机。
- 带 APA 和 AVM 功能，泊车算法集成到独立的泊车控制器。
- 带 APA 和 AVM 功能，并且配置有座舱域控制器，则泊车算法集成到座舱域控制器。
- 除了带 APA 和 AVM 功能外，还带有 HPA 以及 AVP 等功能安全要求比较高的泊车功能，则泊车算法集成到智能驾驶域控制器。

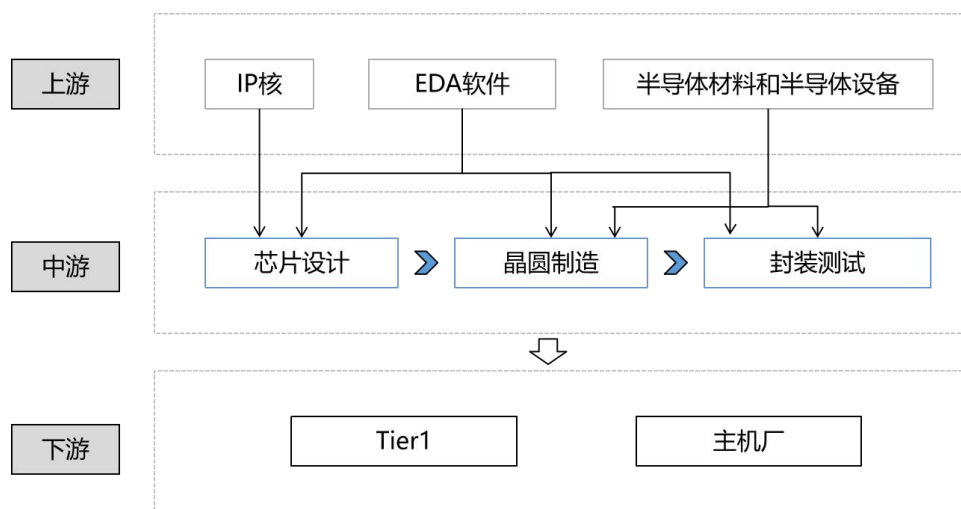
第一种和第三种形式是直接集成到座舱了，这里便不再展开来讲。第二种形式正在逐渐消失，在国内刚开始流行的时候，主机厂的主流方案是基于 TDA2 等小算力 SoC 芯片来完成。对于第四种形式，智驾域控制器的芯片方案通常为：n*SoC + MCU 的形式。

2. 车载 SoC 芯片产业链分析

2.1 产业链结构图

车载 SoC 芯片的整个产业链可梳理为：

- ✓ **上游：** IP 核授权和 EDA 软件等设计工具厂商、半导体材料以及设备厂商
- ✓ **中游：** 芯片设计、晶圆制造以及封装测试厂商
- ✓ **下游：** Tier1 和主机厂



车载 SOC 芯片产业链结构示意图

2.2 上游产业分析

芯片设计企业的上游主要包括：IP 核授权和 EDA 软件等设计工具厂商，这些设计工具厂商能够赋能芯片设计厂商，助力其加快芯片的开发周期和上市时间；晶圆制造和封测企业的上游主要包括：EDA 软件、半导体材料以及半导体设备厂商。

2.2.1 芯片 IP

1) 什么是芯片 IP

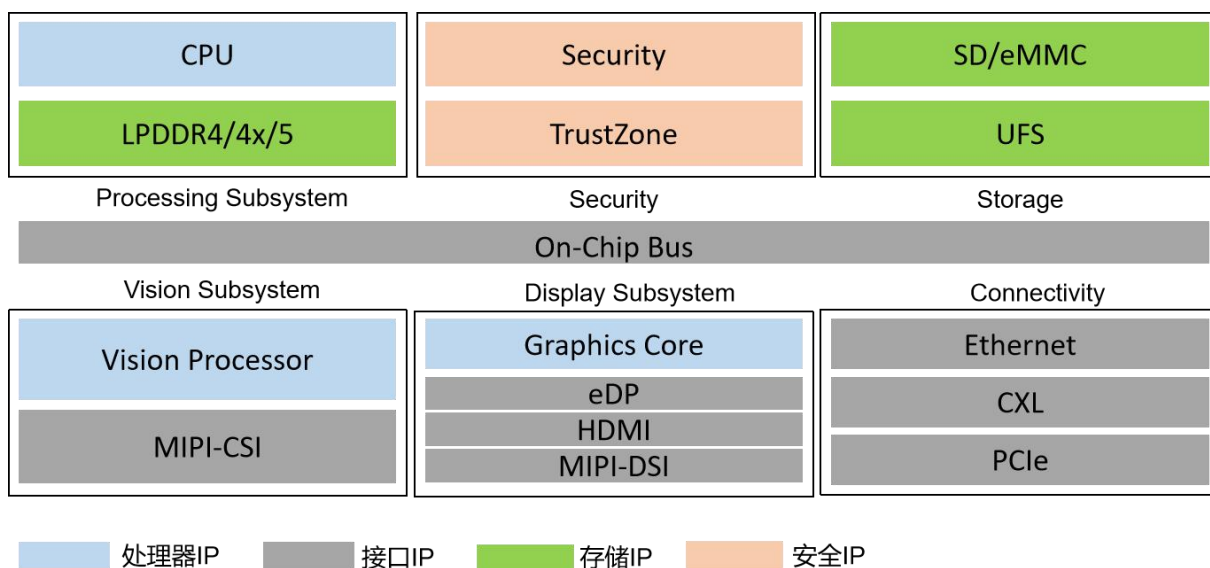
芯片 IP 是由专门的公司针对特定功能需求而开发的、标准的芯片功能模块，特点是经过验证的、成熟可靠的、可重复使用的标准化产品。它的作用在于能够帮助芯片设计公司提升设计效率，缩短开发周期，同时还能降低设计风险、设计成本和开发难度。

一款 SoC 芯片的内部通常都是由不同的功能模块构成。高重复度使用的功能模块就会被设计成标准的“积木”模块 - 芯片 IP。这样，芯片设计公司做 SoC 芯片设计的时候，对于一些高度标准化的功能模块，可以通过 IP 授权的方式，直接购买一些现成的、合适的“积木”模块进行组合设计。

2) 芯片 IP 的分类

在做车载 SoC 芯片设计的时候，芯片设计公司会根据不同的系统规格和应用场景，采用不同类型的 IP 进行组合设计。通常情况下，汽车芯片 IP 可划分为处理器 IP、存储 IP、接口 IP 和安全 IP：

- ✓ **处理器 IP**：CPU、GPU、DSP、ISP、NPU 等 IP。
- ✓ **存储 IP**：包括片外存储 DRAM（外存-动态随机存储器）和片上存储 SRAM（内存-静态随机存储器）两类。比如，DRAM 包括 DDR、LPDDR、GDDR 等。
- ✓ **接口 IP**：包括高速外设接口（例如 PCIE，HBI 等接口）、面向特定应用需求的总线接口（例如 MIPI、HDMI、以太网等接口）。
- ✓ **安全 IP**：包括硬件信任根（Hardware Root of Trust）、安全引导和访问控制（Secure boot & access control）、V2X 安全身份认证（Secure identification & authentication）等。



车载 SOC 芯片架构示意图

3) 芯片 IP 市场现状

当前全球核心 IP 主要由 ARM、Synopsys、Cadence 提供，行业集中度较高。现阶段，我国车载 SoC 芯片在设计研发过程中所用的 IP 也大都从国外购买。主要原因在于国内 IP 厂商发展较晚，IP 资源池不够丰富且缺乏生态体系。

采用国际头部企业的芯片 IP 的好处在于产品成熟，可靠性好。但问题在于这些 IP 的授权费用较高。并且，从长远来看，这种模式也会对我国国产芯片的自主和安全产生潜在的风险，因此推进关键 IP 的国产化是一条必须要走，并且迫在眉睫的路。

IP 授权类型	定义	特点
软核授权	仅经过了 RTL 级设计优化和功能验证，通常是以 HDL 文本形式交付给客户。	优点是源代码灵活、在功能一级可以重新配置，可以灵活选择目标制造工艺、可移植性强等。缺点是物理实现性能不稳定、不全面，存在设计风险，且 IP 软核的产权保护难度较大。
硬核授权	最终完成布局布线的掩模级电路，即 GDSII 版图文件；直接交付数字电路的门极电路版图，并且也会提供抽象模拟测试以及相关的测试程序。	优点是逻辑功能确定，制造工艺确定且固化，获得硬核授权后基本可以直接测试和投产，并且知识产权保护方便。缺点是制造工艺固化，难以转移到新的工艺或者集成到新的结构中去，不可以重新配置，复用困难；用于某特定应用，使用范围较窄。
固核授权	完成 IP 软核所有设计+门级电路综合+时序仿真等设计环节；以门级电路网表的形式交付给客户。	固核的灵活性和成功率介于 IP 软核和 IP 硬核之间，是一种折中的类型；但 IP 的安全可靠性相对较好。

芯片 IP 类型及特点 (信息来源：公开资料整理)

2.2.2 EDA 工具

1) EDA 定义与分类

EDA (Electronic Design Automation)，即电子设计自动化，是指以计算机为工具，设计者通过设计软件来完成集成电路的功能设计、综合、验证、物理设计（包括布局、布线、版图、设计规则检查等）等流程的设计方式。EDA 工具的应用贯穿芯片设计、制造、封装和测试的全部环节。

按照使用对象和场景的不同，可将 EDA 工具分为模拟设计类、数字设计类、晶圆制造类、封装类和系统类五大类别。

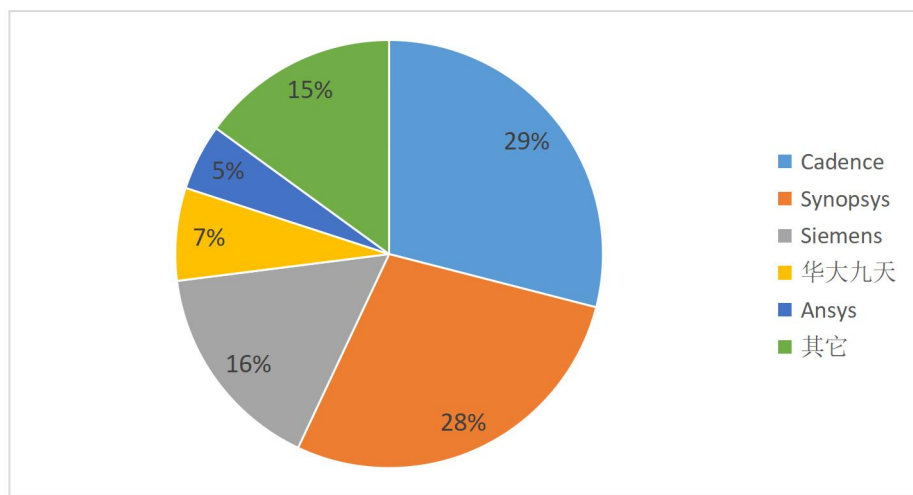
EDA 类别	用途
数字设计类	用于数字芯片设计环节，又可细分为前端设计和后端设计： ✓ 前端设计 主要包括功能和指标定义、架构设计、RTL 编辑、功能仿真、逻辑综合、静态时序仿真(STA)、形式验证等。 ✓ 后端设计 主要包括可测试设计 DFT、布局规划 floor plan、时钟树综合 CTS、布局布线、Signoff、ECO、版图验证、后仿真等。
模拟设计类	用于模拟芯片设计环节，包括电路设计、电路仿真、版图设计、物理验证、寄生参数提取、射频设计解决方案等。
晶圆制造类	晶圆厂在工艺平台开发和晶圆生产阶段应用的工具，协助晶圆厂完成半导体器件和制造工艺的设计，主要包括工艺与器件仿真工具(TCAD)、器件建模工具、工艺设计套件工具(PDK)、计算光刻工具、掩模版校准工具、光掩模校准和良率分析工具等。
封装类	主要包括封装设计、SI/PI 分析以及封装仿真等。
系统类	主要针对 PCB 和系统的设计，包括 PCB 设计工具、平板显示设计工具、系统仿真及原型验证工具、SI/PI 仿真、EMC/EMI 仿真、CPLD/FPGA 设计工具等。

EDA 工具的分类(信息来源：华大九天，概伦电子，公开资料整理)

2) EDA 工具市场现状

目前 Synopsys、Cadence、Siemens 三家企业在全球 EDA 工具市场占据垄断地位。据集微数据咨询数据显示，在 2022 年，这三家公司占据全球 EDA 市场近八成的份额。

从国内市场来看，排在第一位的是 Cadence，市场占比 29%；其次是 Synopsys，占比为 28%；第三位是 Siemens，占比为 16%。三家国际巨头共占国内市场 70% 以上的份额，头部优势明显。国产 EDA 厂商华大九天在国内市场排名第四位，市占率约为 7%。虽然 EDA 国产化进展不错，但受制于海外 EDA 头部企业的深厚技术、经验积累等优势，国产 EDA 厂商依旧面临技术、人才、用户协同等不同方面的挑战。



2022 年中国 EDA 行业市场格局(信息来源：集微咨询)

国外三巨头的优势在于能提供完整的 EDA 工具，覆盖从前端设计、后端设计、仿真/验证直到流片的整套产品，形成了设计闭环。

国内众多的 EDA 公司仍然以点工具产品为主，但同时也在点工具基础上往全链条工具方向拓展。目前，国内 EDA 公司布局验证工具者较多，设计全工具链企业较少。

与国际 EDA 巨头相比，国内 EDA 厂商在产品系统性、技术先进性等方面仍存在一定差距。因此，国内 EDA 企业需要坚持自主创新，持续提升自身在某单点细分领域的优势，进而不断由点及面地拓展产品线，循序渐进，不断拉近与头部企业的差距。

2.2.3 半导体原材料

按照原材料的使用场景，半导体原材料可以分为晶圆制造材料和封装材料。其中晶圆制造材料包括硅片、光掩模版、光刻胶、电子特气、溅射靶材、CMP 抛光材料等；封装材料包括封装基板、键合丝、芯片粘结材料、包封材料等。

原材料		主要用途
晶圆制造	硅片	芯片制造的基础性原材料，全球大约 90%以上的半导体芯片都是用硅片作为基底功能材料生产。
	光掩模版	光刻工艺所使用的图形母版，由不透明的遮光薄膜在透明基板上形成掩膜图形，并通过曝光将图形转印到产品基板上。掩模版是芯片制造过程中的图形“底片”，是芯片制造的核心模具，用于芯片的批量生产，是下游生产流程衔接的关键部分，是芯片精度和质量的决定因素之一。
	光刻胶	光刻胶又称光致抗蚀剂，是一种对光敏感的混合液体，受到光照后特性会发生改变。在光刻工艺中，利用光化学反应将光信息在光刻系统中经过衍射和过滤后转化为化学能，从而将微细图形从掩模版转移到待处理的基板。
	电子特气	在芯片的制程过程中会使用到一些化学气体，是芯片制造过程中的第二大耗材，被比喻成芯片制造的“血液”。它的使用贯穿芯片制造的成膜、清洗、沉积、刻蚀、掺杂、离子注入等多个工艺流程。
	溅射靶材	靶材是一块圆形的金属饼，是溅射机台关键组件之一。在溅射过程中，高速的氩离子会撞击靶材，将靶材上的原子或分子“溅射”出来，溅射出的原子或分子在真空中迁移到晶圆基底上，并在其表面沉积，形成一层薄膜。因此，靶材是晶圆需要沉积的薄膜材料的来源。
	CMP 抛光材料	CMP 又称为化学机械抛光，目的是使被抛光的晶圆表面达到高度平坦化、低表面粗糙度和低缺陷的要求。CMP 抛光工艺中主要常用的两种材料是抛光液和抛光垫。
封装材料	封装基板	又称 IC 载板，是一类用于承载芯片、连接芯片与 PCB 母板的线路板。按 IC 载板与 PCB 的连接方式不同可分为 CSP、BGA、PGA (Pin Grid Array, 针形阵列封装) 及 LGA (Land Grid Array, 焊盘阵列封装) 等不同形式，其中 BGA/CSP 为当前主流封装形式。
	键合丝	在芯片封装过程中用于连接芯片与封装基板的关键组件，它的材质通常是金属线，一般使用铝线或金线。
	芯片粘结材料	采用粘结技术实现芯片与底座或封装基板连接的材料，在物理化学性能上要满足机械强度高、化学性能稳定、导电导热、低固化温度和可操作性强的要求。
	包封材料	起包封、保护作用的外壳材料，主要功能为保护芯片不受外界环境（水汽、温度、污染等）的影响，并实现导热、绝缘、耐湿、耐压、支撑等复合功能。

半导体原材料（信息来源：公开资料整理）

2.2.4 半导体设备

参考芯片生产制造的整个流程，半导体设备可以对应划分为制造设备（前道设备）和封测设备（后道设备）两类。其中，前道设备主要使用于晶圆制造环节，包括光刻机、刻蚀机、离子注入机、薄膜沉积设备、CMP 设备、清洗设备等；后道设备主要用于封装和测试环节，包括在封装环节使用的减薄机、划片机、贴片机、引线键合机等设备，以及在测试环节使用的测试机、探针台、分选机等设备。

设备		主要用途	
晶圆制造	光刻机	基本工作原理是利用光学原理将图案投射到硅片上。在制造芯片时，需要使用光刻机将电路图案“镀”在芯片表面上，以便进行后续的加工工艺。	
	刻蚀机	在芯片制造的过程中，刻蚀机通常会与掩膜对位进行刻蚀，通过化学或者物理的方法，去掉氧化层或沉积层以形成芯片所需要的电路图案，为后续的离子注入等步骤做好准备。	
	离子注入机	通过离子注入机的加速和引导，将要掺杂的离子以离子束形式入射到材料中去，离子束与材料中的原子或分子发生一系列理化反应，从而引起材料表面成分、结构和性能发生变化。	
	薄膜沉积设备	作用是在芯片表面形成薄膜层，以实现不同器件之间的互连和功能实现。薄膜沉积最常用的方法有：物理气相沉积（PVD）和化学气相沉积（CVD）。	
	其它	其它设备包括清洗设备、电镀设备、CMP 设备、量测设备等。	
封装测试	封装	减薄机	减小芯片封装体积，改善芯片热扩散效率、电气性能、机械性能等作用。
		划片机	将大晶圆分割成若干个具有标准高度和大小的芯片。
		贴片机	将芯片从已经切割好的晶圆（Wafer）上抓取下来，并安置在基板对应的 Die flag 上。
		引线键合机	使用金属丝，利用热压焊、超声波焊、热超声波焊等工艺完成芯片与电路、封装基板之间的连接。
		塑封机	用塑封材料把芯片封装起来，对芯片进行保护。
		切筋成型设备	将已完成封装的产品成型为满足设计要求的形状与尺寸，并从框架或基板上切筋、成型、分离成单个具有设定功能的成品。
	测试	测试机	是检测芯片功能和性能的专用设备，其使用贯穿于设计验证、CP（晶圆检测）和 FT（成品检测）。
		探针台	负责晶圆输送与定位，使晶粒依次与探针接触完成测试。
		分选机	用于晶圆搬运的设备，负责晶圆的中转和分选，确保生产流程的连续性和高效性。

芯片制造过程中所使用主要设备（信息来源：公开资料整理）

2.3 中游产业分析

车载 SoC 芯片中游产业包括芯片设计、芯片制造和封装测试三个主要环节。其中，有部分企业进行了垂直整合，涉及到了所有的环节。也有些企业只是参与其中一个环节。根据所包含环节的不同，这些半导体企业的经营模式一般可分为垂直整合模式（IDM 模式）、晶圆代工模式（Foundry 模式）和无晶圆厂模式（Fabless 模式）。

		IDM（垂直整合模式）	Fabless（无晶圆厂模式）	Foundry（晶圆代工模式）
基础定义		涵盖芯片设计、晶圆制造、封装测试以及后续的产品销售等环节。	仅负责芯片设计及销售，晶圆制造和封装测试业务外包。	专门负责晶圆制造，为芯片设计公司提供外包服务。
特点	优势	自身集设计、制造、封测等多个环节于一身，便于有效地进行整合资源，将效率最大化。	轻资产模式，无需投入巨额资金建立和维护生产线，因此企业运行费用低，且转型相对灵活，适合初创企业。	无需承担产品设计和销售风险
	劣势	重资产模式，管理成本和运营费用较高，资本回报率偏低。	对晶圆代工企业依赖性较强，并且利润率受到上下游的挤压。	投资规模较大，维持生产线正常运作费用较高。
代表企业		英特尔、三星、TI 等	高通、英伟达、Mobileye、地平线、黑芝麻、芯驰等	台积电、中芯国际等

半导体行业三种经营模式特点对比（信息来源：公开资料整理）

2.3.1 芯片设计

车载 SoC 芯片设计通常包含以下几个流程：需求定义、系统级设计、前端设计和后端设计四大阶段。

1) 需求定义

芯片产品部门结合应用场景、竞品分析、客户需求等多方面调研结果，进行市场需求分析，并输出 MRD（市场需求文档），完成芯片的功能需求定义。

2) 系统级设计

市场需求明确后，架构师团队会将市场需求转化为芯片的规格指标，即输出 PRD（产品规格文档），详细描述这款芯片的功能、性能、尺寸、封装、应用等内容，进而完成芯片的产品定义。同时，架构师团队和算法团队会协同进行建模仿真，并输出芯片设计方案和芯片原型方案，然后移交设计团队。系统设计需要从功能、性能、成本、功耗、安全等角度出发进行全方位考量，确保芯片最终能实现各方面的平衡。

3) 前端设计

在前端设计阶段，设计团队的工程师根据系统设计阶段确定的方案，针对各模块开展具体的电路设计，使用专门的硬件描述语言（Verilog 或 VHDL），对具体的数字电路实现进行 RTL（Register Transfer Level）级别的代码描述。前端设计包括 HDL 编码、仿真验证、逻辑综合、静态时序分析、形式验证等环节。

前端设计	简单说明
HDL 编码	设计团队根据 PRD，将实际的硬件电路功能通过 HDL 语言描述出来，形成 RTL 代码。
仿真验证	检验编码设计的正确性，设计和仿真验证是反复迭代的过程，直到验证结果显示完全符合规格标准。
逻辑综合	又称为门级设计，把设计实现的 HDL 代码翻译成门级网表（Netlist）。从这个阶段开始，芯片设计开始具有物理特征。
静态时序分析（STA）	属于验证范畴，通过套用特定的时序模型，针对特定电路分析其是否违反设计者给定的时序限制。
形式验证	它是从功能上对综合后的网表进行验证。常用的就是等价性检查方法，目的是为了保证在逻辑综合过程中没有改变原先 HDL 描述的电路功能。

前端设计涉及到的几个主要阶段（信息来源：公开资料整理）

4) 后端设计

后端工程师拿到网表和约束文件后, 先对电路进行布局 (Floor plan) 和绕线(Place and Route), 完成物理实现后, 再对布线的物理版图进行功能和时序上的各种验证。验证不满足要求则需要重复之前的步骤, 最终生成用于芯片生产的 GDS II(Geometry Data Standard)版图。后端设计包括 DFT (Design for Test 可测性设计)、单元布局规划、时钟树综合、布线、寄生参数提取、物理版图验证等流程。

后端设计	简单说明
可测性设计 (DFT)	常见方法是在设计中插入扫描链, 将非扫描单元 (如寄存器) 变为扫描单元。DFT 工具可以快速检测并定位出失效故障, 从而提高芯片制造质量。
布局规划 (FloorPlan)	布局规划就是放置芯片的宏单元模块, 在总体上确定各种功能电路的摆放位置, 如 IP 模块, RAM, I/O 引脚等等。布局规划将直接影响芯片最终的面积。
时钟树综合 (CTS)	包括时钟树的布线、优化以及缓冲器的插入。用于综合和优化时钟分配网络, 以确保时钟信号在整个芯片上的稳定和一致传播。目标是最小化时钟延迟、时钟偏移和时钟抖动, 以满足时序要求。
布线	即普通信号布线, 包括各种标准单元 (基本逻辑门电路) 之间的走线。在满足工艺规则和布线层数限制、线宽、线间距限制和各线网可靠绝缘的电性能约束的条件下, 根据电路的连接关系将各单元和 I/O Pad 用互连线连接起来。
寄生参数提取 (Extrat RC)	将物理版图的电阻、电容以及电感等寄生参数信息进行提取, 然后交给时序收敛工具进行检查。寄生参数提取通常有两类方法: 精确计算方法和快速模型方法。
物理版图验证	对完成布线的物理版图进行功能和时序上的验证, 包括 LVS 验证、设计规则检查 (DRC) 和电气规则检查 (ERC) 等验证项目。

后端设计涉及到的几个主要阶段 (信息来源: 公开资料整理)

2.3.2 晶圆制造

晶圆制造是把掩模版上的电路图，通过多次重复运用光刻、刻蚀、离子注入、薄膜沉积、CMP（化学机械研磨）等工艺，最终将芯片设计公司设计好的电路图移植到晶圆上并实现预定的芯片功能。芯片制造又分为晶圆生产和晶圆加工两个环节。其中，晶圆生产是指将硅或其他半导体材料制成晶圆片（Wafer）的过程。晶圆加工是指在晶圆片上构建集成电路的过程。

晶圆制造主要流程		简单说明
晶圆生产	硅提纯	把原始的石英砂通过高温熔炼和化学反应提纯，得到纯度极高的多晶硅。
	单晶硅锭生长	多晶硅高温后成型，使用直拉法（CZ 法，主流方式，使用籽晶旋转拉晶）或区熔法（FZ 法，早期工艺之一，悬浮熔接籽晶），将多晶硅熔融并在籽晶引诱下拉晶，形成圆形单晶硅晶棒，即是硅锭。
	晶棒切割	晶棒从单晶炉出来后首先要截断头尾，然后再进行控制直径的滚磨，最后使用金刚石锯将其切成均匀厚度的薄片，即硅片或晶圆片。
	晶圆抛光	切割后的硅片需要进行倒角、研磨以及 CMP 等工艺处理，保证硅片表面的光洁度，避免影响电路的精密度。
	外延生长	在抛光后的硅片表面外延生长一层不同电阻率的单晶薄膜。
晶圆加工	光 刻	通过光刻机发射紫外线，将掩模版（Mask）电路图案“印刷”到涂有光刻胶的晶圆片上。光刻可分为涂覆光刻胶、曝光和显影三个步骤。
	刻蚀	在晶圆上完成电路图的光刻后，用刻蚀工艺去除多余的氧化膜且只留下半导体电路图。
	掺杂	将特定量的杂质通过薄膜开口引入晶圆表层，从而在晶圆上形成 PN 结。通常有两种工艺方法：热扩散和离子注入。
	薄膜沉积	在晶圆表面交替堆叠多层薄金属（导电）膜和介电（绝缘）膜，之后再通过重复刻蚀工艺去除多余部分并形成三维结构。在晶圆上表面加入所需分子或原子单位薄膜的一系列过程叫做沉积。沉积技术包括化学气相沉积（CVD）、原子层沉积（ALD）和物理气相沉积（PVD）。
	金属布线	经过反复进行光刻、刻蚀、掺杂和沉积等工艺后，在晶圆上构建出大量的晶体管等元器件电路，还需要按照电路设计图进行金属布线连接，才能保证整个电路的正常运行。金属布线工艺主要使用铝和铜这两种物质。
	CMP	通过化学腐蚀与机械研磨的协同配合作用，实现晶圆表面多余材料的高效去除与全局纳米级平坦化。
	WAT 测试	在晶圆制造完成之后、送去封测厂之前，对晶圆的电学特性是否合格进行的测试。

芯片制造主要流程（信息来源：公开资料整理）

2.3.3 芯片封测

在晶圆制造完成且通过晶圆代工厂的 WAT（Wafer Acceptance Test，晶圆可接受测试）测试后则被送往封测厂。封测厂首先对晶圆进行 CP 测试（Chip Probing-针测，或称晶圆中测），CP 测试完成后进入封装环节。封装完成后的产品还需要进行终测 - FT 测试（Final Test-成品测试），通过 FT 测试的产品才能对外出货。

测试类型	应用阶段	实施者	用途说明
WAT 测试	晶圆制造完成后	晶圆代工厂	测试对象是晶圆的划片槽（Scribe Line）和测试键（Test Key）。属于晶圆层面的管芯或结构测试。目的是通过电性参数来监控各步工艺是否正常和稳定。
CP 测试	进入封测厂后，在进行封装前	封测厂	测试对象是针对整个晶圆片上的每一个 Die（晶粒），目的是在封装之前找出由于工艺原因导致的晶圆上的残次晶粒，通常包括电压、电流、时序和功能的验证。CP 测试主要用到的设备有测试机和探针机。
FT 测试	封装完成后	封测厂	器件层面的电路测试和功能测试。测试对象是针对封装好的芯片。目的是把坏的芯片挑选出来，检验封装的良率。FT 测试主要用到的设备有测试机和分选机。

三类重要测试（信息来源：公开资料整理）

芯片封装环节是指将晶圆上的晶粒（Die - 裸片）切割下来，并将其固定在封装基板上，同时将晶粒与封装基板上的电路连接起来，实现电路连通。然后再通过注塑成型工艺，在上面加一层保护壳，通过封装最后起到保护、支撑、连接、散热等作用。

封装环节的基本工艺流程包括：晶圆减薄、晶圆切割、芯片贴装、固化、芯片互连、注塑成型、去飞边毛刺、上焊锡、切筋成型、打码等。但因封装技术不同，工艺流程会存在差异。

在芯片封装测试中，封装环节价值占比约为 80%-85%，测试环节价值占比约为 15%-20%。做封装业务的企业一般同时拥有测试业务，其中，封装业务是核心业务，测试业务属于补充和辅助业务。随着芯片设计行业的迅速发展，产生了大量的测试业务需求，原来的封测一体化企业没有精力去覆盖到所有的需求，因此便催生了一些独立的第三方芯片测试公司。

根据 Frost & Sullivan 数据，中国大陆封测市场预计在 2025 年将达到 3551.90 亿元的市场规模，占全球封测市场比重约为 75.6%，其中，先进封装业务在中国大陆封测市场比重将达到 32.0%。近些年，高通、联发科等知名芯片设计公司逐步将封装测试订单转向中国大陆企业，全球晶圆制造龙头企业也陆续在大陆建厂扩产，与此同时，国内芯片设计企业的规模也在逐步扩大。在此背景下，国内封装测试企业进入发展“快车道”。

2.4 下游产业分析

Tier1 和车企属于芯片设计公司的下游客户。在以往的产业链模式中，整个供应链是线性的，芯片设计公司作为 Tier2，与 Tier1 之间的接触和合作比较密切，与车企之间很少接触。现在很多车企却会主动找头部芯片公司进行交流和合作，共同调研用户需求，定制开发适合自身需求的芯片。这种合作模式既有利于提升车企自身的产品竞争力，也有利于保证芯片供应的稳定性。

2.4.1 车企 SoC 芯片布局

目前主流车企纷纷布局车载 SoC 芯片赛道，不过，布局方式并不完全相同，甚至有的车企会同时兼顾使用多种模式。布局方式大致可以分为以下四种：自研、合资、战略投资和战略合作。

- ✓ **第 1 种模式：**自研模式 - 车企采取 Fabless 模式，组建团队做芯片设计研发。
- ✓ **第 2 种模式：**合资模式 - 主机厂与芯片公司成立合资公司，进行优势互补。
- ✓ **第 3 种模式：**战略合作 - 主机厂通过与芯片厂商深度战略合作。主机厂提需求和架构，芯片厂商完成设计和开发。
- ✓ **第 4 种模式：**战略投资 - 主机厂参股芯片公司，达成战略合作，形成更紧密的协作模式。

车企		布局方式	车载 SoC 芯片相关的布局情况
新势力车企	特斯拉	自研	2016 年，特斯拉开始自研智驾芯片 - FSD 芯片，并于 2019 年开始量产应用。
	蔚来	自研	据悉，2020 年下半年，蔚来组建自研芯片团队，主要从事智驾、座舱、传感器等类型芯片的研发设计。在 2023 NIO DAY 上，蔚来汽车发布首颗自研智能驾驶芯片——神玑 NX9031，采用 5nm 工艺制程，计划搭载在蔚来 ET9。
	小鹏	自研	2020 年，小鹏开始在中美两地布局智驾芯片自研。据相关媒体透露，小鹏的智驾芯片已于 2023 年底回片，并由日本索喜公司配合做相关的芯片设计服务和流片服务。
	理想	自研	相比蔚来和小鹏，理想自研 SoC 芯片布局稍微，目前主要专注于智驾芯片 NPU 架构设计。
	零跑	战略合作	零跑与大华联合开发智能驾驶芯片凌芯 01，零跑提供了该芯片的架构和功能需求，大华负责具体的芯片设计和开发。
传统车企	吉利	合资	2018 年，吉利汽车关联公司亿咖通和安谋科技联合成立芯片公司 - 芯擎科技。芯擎的产品方向包括智能座舱、自动驾驶、中央处理器等多种芯片。
	北汽	合资	2020 年北汽集团旗下北汽产投公司与芯片 IP 公司 Imagination 合资成立的北京核芯达科技有限公司，主营业务是车规级 SoC 芯片设计和相关软件开发，专注于自动驾驶应用处理器和智能座舱语音交互芯片。
	长安	合资	长安与地平线合资成立了长线智能，从事 ADAS 业务，双方各占 45% 股份。
	上汽	战略投资	上汽集团投资地平线、黑芝麻、芯驰等国内芯片公司。
	长城	战略投资	2021 年，长城汽车战略投资地平线。

主流车企车载 SoC 芯片领域布局情况梳理（信息来源：公开资料整理）

2.4.2 车企 SoC 芯片自研

车载 SoC 芯片目前主要应用在智能座舱和智能驾驶两大领域。其中，自研智能驾驶 SoC 芯片的车企相对比较多，以特斯拉、蔚小理等新势力为代表。自研智能座舱 SoC 芯片的主机厂还比较少。那么车企自研车载 SoC 芯片的动机是什么呢？

- ✧ **满足定制化/差异化需求：**对于打算全栈自研的车企来讲，自研芯片便可以自己定义芯片规格需求，甚至可以基于自己的算法架构来设计芯片架构，因此，这有利于更好地实现软硬件协同，使得硬件和软件达到一个最佳的适配度，进而帮助车企量身打造一款有别于竞争对手的高“性价比”产品，进而提升整车产品的竞争力。
- ✧ **提高对车载 SoC 芯片供应链的掌控度：**尤其是在经历过疫情期间的芯片供应链风险后，车企对于关键核心芯片的供应链安全问题更加重视。自研 SoC 芯片在一定程度上能够帮助车企减少对供应商的依赖，提高芯片供应的稳定性。

那么，车企自研 SoC 芯片会面临的哪些挑战？

- ✓ **车规级芯片设计人才稀缺：**自研芯片的前提就是要能够成功组建一支出色的芯片设计团队，自研团队不仅需要具备良好的硬件设计能力，还需较强的软件开发能力。只有设计出一套“好用”的软件栈，让硬件和软件充分耦合，才能挖掘出芯片的性能潜力。
- ✓ **资金投入大：**在研发投入方面，据知名半导体技术研究机构相关统计结果显示，28nm 芯片研发需要 5130 万美元，16nm 芯片需要 1 亿美元，7nm 芯片需要 2.97 亿美元，5nm 芯片需要 5.42 亿美元，3nm 芯片将接近 10 亿美元。现在应用在座舱或智驾的大算力 SoC 芯片至少都是 7nm 工艺起步，否则，很难跟市面上主流的 SoC 芯片进行同台竞争。
- ✓ **回报周期长：**从时间维度来看，自研一款全新的芯片，从研发到量产，需要依次经历：产品需求定义、系统架构设计、前端设计、后端设计、流片与封测、车规可靠性认证、功能安全认证、量产等环节，至少需要 3-5 年的时间。并且，等到芯片可以量产上车时，它在市场上是否还有竞争力——不管是价格，还是产品性能，都非常考验芯片团队的前瞻规划能力和设计开发能力。
- ✓ **成本上难获得优势：**如果车企自家车型销量提不上来，芯片出货量不足，那就既不能均摊芯片研发带来的巨大成本，也很难从根本上解决芯片供应链问题。另外，即使把芯片团队拆分出来独立运营，该芯片团队由于跟股东车企存在“血缘关系”，也较难获得其它车企客户的订单。

3. 车载 SoC 芯片应用趋势分析

3.1 智驾 SoC 芯片应用趋势

3.1.1 基于中小算力 SoC 芯片的前视一体机市场需求前景依然可观

据相关统计数据显示：2022 年，泊车功能中，360 环视在国内乘用车市场的装配率已经达到 30.87%。然而，行泊一体域控制器的装配率还未达到 10%。从车型价位区间的分布来看，10-15 万价格区间的车型是 360 环视或 APA 功能交付占比最高的市场区间。

对于这样价位区间的车型，如果在改款换代车型上再加装一个前视一体机，便可快速增加行车场景下的智驾功能体验。不少车企把标配前视 ADAS 功能作为中低端车型提升销量的一个重要宣传卖点。

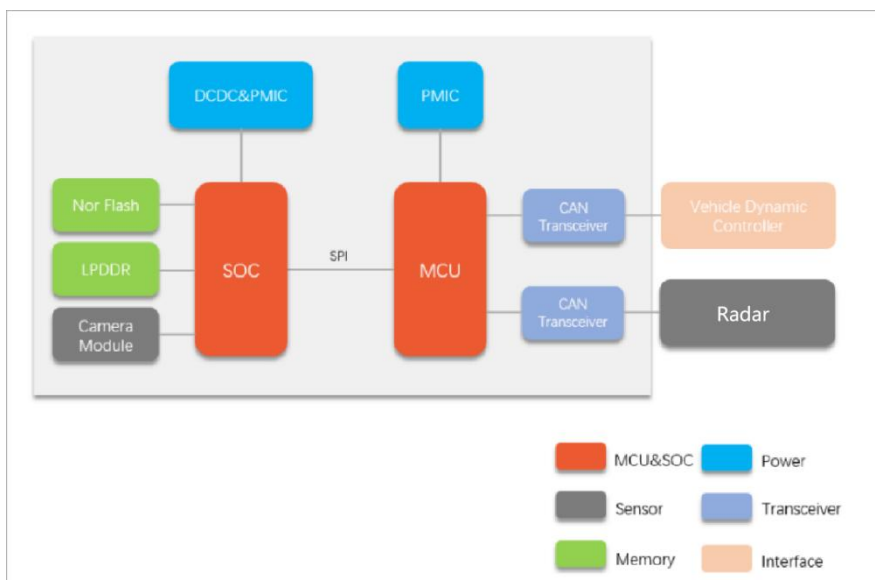
前视一体机方案通常采用软硬件捆绑销售交付的方式，比如 Mobileye，提供 EyeQ4 芯片 + 底软 + 上层感知算法等在内的一体化的“交钥匙”解决方案。在功能实现上，它主要用于实现 L0~L1 级别行车场景下的辅助驾驶功能，比如 FCW、AEB、ACC、LKA 等。与前视一体机搭配的解决方案通常有以下几种：1V、1V1R、1V3R、1V5R 等。

现阶段，2MP 前视一体机价位大概在 500~600 元左右，8MP 前视一体机价位大概在 800 元左右。对于轻量级的行泊一体域控方案，即便成本控制的再好，单域控硬件成本的价格也在千元级别，再加上外围感知传感器，总硬件成本会更高。

虽然，当前基于单 J3、单 TDA4VM、单 A1000L/A1000、J3+TDA4VM，以及双 TDA4VM 等各种方案的轻量级行泊一体域控系统在不断地落地应用，但短时间内他们在成本上依然不具备优势。对于一些车企来讲，对于中低端车型，通过前视一体机搭配不同数量的毫米波雷达，依然是灵活且高性价比的方案选择。

那么，前视一体机对内部集成的主控芯片有哪些要求呢？

前视一体机即摄像头模组+控制单元 ECU+算法被整合在一起。控制单元 ECU 主板上一般配置 2 颗主控芯片，分别被称之为“安全核”和“性能核”——“安全核”一般选用控制类的 MCU 芯片，负责车辆控制任务，对安全性要求高，需要达到 ASIL-D 等级，但对计算性能要求不高；“性能核”一般选用计算类的 SoC 芯片，需要承担大量计算任务，但对功能安全要求相对没有那么高。



前视一体机系统框图 (图片来源: 英恒官网)

通常，车企或者 Tier1 在选择“性能核”（SoC 芯片）时会重点考虑的因素：低成本和低功耗。

- **低成本**：通常情况下，ADAS 前视一体机的硬件和软件深度耦合。对于主机厂而言，他们比较关注产品整体的性能和成本。因此其市场定位决定了内部所选用的“性能核”会对成本比较敏感。
- **低功耗**：前视一体机的摄像头模组和主板 ECU 集成在一起，布置在内后视镜的背面。考虑到车内的美观以及安装位置，一体机的外形尺寸也不能太大。这些因素便决定了它对芯片低功耗的强烈需求。低功耗的特性不仅可以避免其长时间工作过程中由热量累积所带来的种种安全隐患，还可以简化散热设计，有效降低电源成本，进而节约整个 BOM 成本。

3.1.2 轻量级行泊一体域控 - 全时运行单SoC芯片方案将成为主流

轻量级行泊一体域控方案主要应用在售价相对较低（15~25 万）的中低端车型，对成本的敏感度较高，比较注重性价比。在功能实现上，它主要用于实现 L1~L2 级别的驾驶辅助功能，即基础行车 ADAS 功能+基础泊车功能（AVM+APA）。功能应用场景相对简单，功能安全要求也相对较低。

目前，该方案所使用的算法模型比较成熟，传感器配置也比较固定，一般采用纯视觉 7V 方案或者带毫米波雷达的 5V3R/5R、6V5R 的多传感器方案。对于域控制器中所选用的主控 SoC 芯片，市场上常见芯片方案有：

- **单 SoC 芯片方案**：单 TDA4VM/TDA4VH、单 A1000L/A1000、单 Orin-N、单 CV72AQ 等。
- **多 SoC 芯片方案**：双 TDA4VM、双 J3、3*J3、J2/J3+TDA4VM 等。

对于多 SoC 芯片方案，每个 SoC 芯片需要适配独立的 DDR 存储器、PMIC 电源管理模块等配套部件，并且 SoC 芯片之间还需要通过以太网或者 PCIE 等方式进行数据交互，这在一定程度上增加了功耗和系统复杂度。并且，后期的维护成本以及整个系统的 BOM 成本也会随之增加。

正因为上述的一些问题，多 SoC 芯片的域控方案正在逐渐被单 SoC 芯片方案替代。然而，目前单 SoC 芯片轻量级行泊一体方案也存在分时复用单 SoC 和全时运行单 SoC 的区别。

由于某些 SoC 芯片本身的性能局限，比如 CPU 算力或者 AI 算力不足，无法同时调用和处理行车传感器和泊车传感器的全部数据，便会采用分时复用的方式。但是，分时复用的方案可能会导致功能体验不佳，甚至功能无法实现。

比如，要实现 HPA 或 AVP 泊车功能，在进入停车场寻找车位的过程中，仅依靠泊车的环视摄像头和超声波雷达的感知是不够的，需要使用行车的前视摄像头或毫米波雷达来探测远距离目标或微小物体，进行提前避让或绕行，以解决紧急避障的问题。同样，行车下的某些场景也需要利用泊车的传感器数据进行辅助支持。比如，相邻车道车辆 Cut in 场景，在没有侧视摄像头的情况下，需要利用环视摄像头探测近距离切入车辆，来提高对后车切入预判的准确性。

在上述的这些场景下，需要能够支持行车和泊车传感器同时工作的全时行泊一体方案。分时复用的方案无法胜任上述工作任务。

据业内专业人士测算，如果用单 SoC 芯片去做全时运行的行泊一体方案，并且支持 5V5R 或 6VR 的传感器配置，CPU 的算力大概需要 20KDMIPS 左右，如果带有硬件加速，CPU 算力需求可相应降低；AI 有效算力大约需要十几个 TOPS。

对于全时运行的行泊一体方案，用单 SoC 芯片替代多 SoC 芯片，所需要的不仅是更大的 CPU 算力和 AI 算力。在 SoC 芯片的架构设计方面，还需要：

- 预留足够多的传感器接口，支持足够数量和类型的传感器接入。
- 配置足够容量的各类存储器和内存带宽，保证数据传输和计算效率。
- 预留 PCIE、USB 等用于扩充算力和存储的一些接口，确保整个域控方案的可扩展性。

3.1.3 BEV+Transformer+OCC 驱动智驾 SoC 芯片向新架构方向演进

目前，国内车企在智能驾驶算法领域的技术路径已经逐渐趋于收敛，基于 BEV+Transformer+ OCC 去实现城市 NOA 已经成为主流的感知算法框架，下一步基本上会朝着感知、预测、规控、决策等一体化的端到端大模型的方向发展。智驾算法不断地迭代升级必将驱动智驾 SoC 芯片的技术架构不断地向前演进。

但是，新的算法模型与传统的芯片架构之间存在着一定的“隔阂”，比如，不少业内人士反映，Transformer 网络在一些智驾 SoC 芯片上很难部署，主要原因在于过去传统端侧的 AI 芯片主要是针对 CNN 网络去设计开发，通用性比较差，对于 Transformer 等较新的算法模型适应性较弱。

Transformer 和 CNN 两者计算类型完全不同。CNN 属于计算密集型网络，整个网络是非常规整的、一层层的卷积操作，每层里若干通道的卷积核作为权重是可以被输入特征共享的存储数据。Transformer 属于访存密集型网络，特点是算法模型里不规则形状的张量多，需要大量矩阵操作的 Transpose/Permute/Reshape 等算子，体现在硬件上就是对片上内存的容量和访存带宽的要求会比以 CNN 为目标的加速芯片高很多。

那么，适应 Transformer 网络模型的芯片的新架构具有哪些特点呢？

1) 具有匹配 Transformer 算法模型的专用引擎

传统 AI 推理专用芯片大多针对 CNN/RNN 网络设计，普遍针对 INT8 精度，几乎不考虑浮点运算，并行计算效果不佳。如果将 Transformer 网络简单量化为 INT8 精度后，整体的性能会显著下降，主要是由于普通的激活函数量化策略无法覆盖全部的取值区间。

英伟达在设计 GPU 新架构 Hopper 时，专门增加了 Transformer 引擎，即专门为 Transformer 算法做了硬件优化，它集合了新的 Tensor Core、FP8 和 FP16 精度计算，以及 Transformer 神经网络动态处理能力，旨在加速 AI 计算的效率。Transformer 引擎能够在训练神经网络的每个步骤中动态选择神经网络中每一层所需的精度，可以协调动态范围和准确度，比如，可以根据工作负载在 FP8 和 FP16 格式之间进行自动切换，使其在训练模型时，跑的每一步都只用最低精度需求，但又不损失精度的效果，从而达到芯片最高的效率。下一代车载 AI 芯片 Thor 便是采用这样的 GPU 架构。

2) 针对特定算子进行优化

设计一款什么算法模型都支持的芯片也不太现实，即便有，成本一定高，研发周期一定长。那么，怎样才能让芯片尽可能多地去支持不同类型的网络呢？某芯片技术专家指出，Transformer 模型的核心算子是 Self-Attention 和 Cross-Attention，中间包含了一些计算类型，比如矩阵乘法、Softmax 等。首先，要从原理上支持他们中间的各种计算；其次，芯片以及工具链要具备足够的灵活性，后期便可以通过修改调整工具链，使得芯片在计算效率不下降的情况下去支持新的算法。

另外，网络模型的核心计算的地方集中在一些反反复复进行特定计算的操作上。正因为如此，才可以通过设计专门的芯片去提高效率。如果整个网络都是乱序的，那么，专用处理器就没法设计，只能做通用处理器了。

比如针对 J6 芯片，地平线在硬件上做了大量的超越函数的优化工作，比如支持 Layer-norm&Softmax 算子的硬件加速；支持 Transpose&Reshape 算子的硬件加速。Transformer 模型中有一些非常关键的算子，虽然计算量不大，但很复杂。也就是说，计算量可能只占 3% 的算子，运行时间可能要占到 10%~30%。因此，地平线通过对硬件进行优化，使得 J6 在运行这些超越函数算子的时候，计算效率得到大幅度提升。

3) 优化内存系统设计，打破“存储墙”，避免带宽成为计算瓶颈

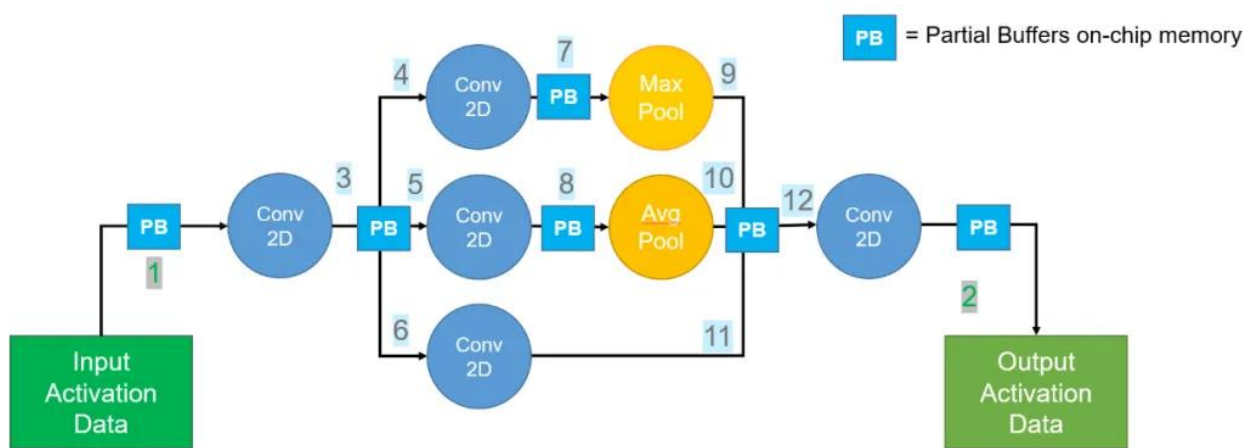
目前，主流车载 SoC 芯片的架构仍然沿用了传统的冯·诺依曼模型。在冯·诺依曼架构中，数据存储单元与数据处理单元两者相互分离。数据在处理过程将会在处理器与存储器之间不断地进行“搬运”。

据相关数据显示，处理器性能以每 2 年 3.1 倍的速度增长，而内存性能以每 2 年 1.4 倍的速度提升。计算能力与带宽能力之间的差距将会越拉越大，这就导致芯片的内存容量和数据传输速度难以跟上芯片的计算速度。因此，车载 SoC 的性能与效率的发挥将受到严重制约，进而出现“存储墙”问题。

以 Transformer 架构为基础的 AI 大模型导致了模型参数量激增，短短两年间模型大小扩大了惊人的 410 倍，运算量更是激增了高达 750 倍。虽然现阶段基于 Transformer 架构的真正大模型还很难“上车”，但是，相比 CNN 模型，已经上车的 Transformer 模型参数也要更多，算子复杂度更高，需要的运算量更大。因此，Transformer 网络对于车载 SoC 芯片内部 SRAM 的利用率，以及内部总线突发大带宽访问等方面提出了更高的要求。

那么，头部的芯片企业又是如何应对这些问题的呢？

- 地平线 J6 内部采用全新的存储系统设计，片上包括 L0M、L1M、L2M，共三级存储系统，用于数据缓冲和交换。同时，先进的总线架构配合高带宽的 DDR，可有效缓解内存墙的问题。
- 在 AI 加速器的架构设计上，安霸的 CV3 系列芯片推出了第三代 CVflow 架构。与传统的缓存系统不同，CVflow 架构采取了一种创新的策略，将片上内存（On-chip Memory）分割成多个不同大小的内存块，这些内存块被称为 Partial Buffers（PB）。这些 PB 的主要用途是存储计算过程中的中间结果，从而显著减少对外部 DRAM 的访问次数。



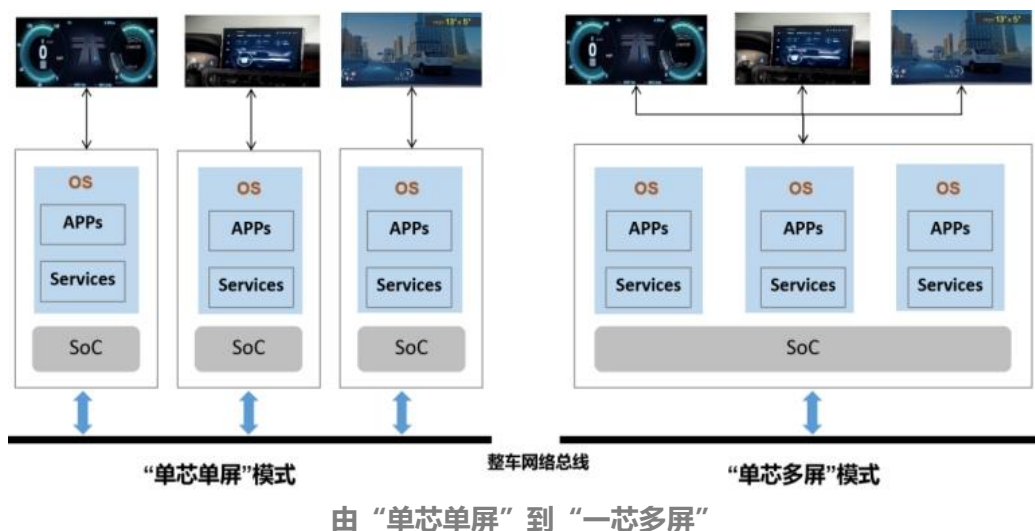
CVflow 卷积神经网络计算示例（图片来源：安霸）

3.2 座舱 SoC 芯片应用趋势

智能座舱是车企打造差异化亮点、实现千人千面驾乘体验的重点领域。“一芯多屏”、“多模态交互”、“舱驾融合”已经成为座舱主流应用发展趋势。然而，在智能座舱中，主控 SoC 芯片是实现车载中控娱乐系统、液晶仪表系统、AUD 抬头显示系统、流媒体显示系统、空调面板显示系统、车联网系统、语音交互、手势识别、DMS/OMS、AVM 等一些列功能的“基石”。

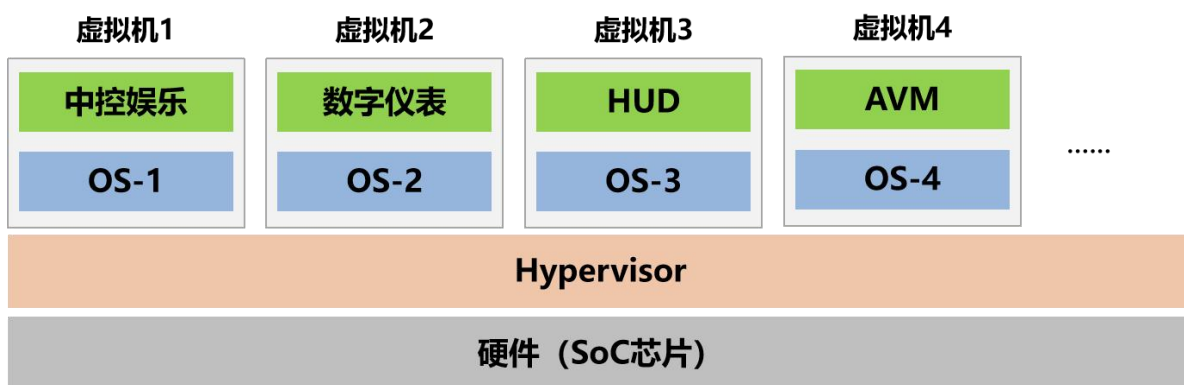
3.2.1 舱内显示：一芯多屏

在传统座舱解决方案中，中控导航、仪表、HUD 等系统相互独立，分别由独立的 ECU 来控制，即单 ECU 驱动单个功能/系统。随着座舱集成化程度越来越高，原先跟座舱相关的分布式 ECU 整合成为 1 个座舱域控制器。最直观的表现是“一芯多屏”，即由座舱域控制器中的单个高性能 SoC 芯片来驱动中控导航屏、液晶仪表屏、HUD、空调显示面板、副驾娱乐屏以及后排娱乐屏等多个屏幕。



“一芯多屏”方案对 SoC 芯片的要求在于：具备足够多的 DP 或 DSI 接口，能够同时驱动若干个不同的显示设备；CPU 能力要求比较强，保障不同设备上多个 APP 同时运行时的流畅度；GPU 的图形处理能力，视频的编解码能力要求高，它们决定了屏幕显示的清晰度以及动画效果的流畅度；另外，硬件层面需要能较好的支持 Hypervisor 或硬件隔离，从而更好地支持多系统运行。

目前，在同一的硬件平台上运行多个操作方式，通常有两种解决方案：Hypervisor 和 硬隔离。采用 Hypervisor 的技术方案，在理论上是可以让上层的应用灵活调用底层的硬件资源，可以使得硬件资源得到充分的利用。而硬隔离的方式给每个模块划分出自己固有的硬件资源，虽然灵活性不足，但优势在于资源使用环节不会产生“纠纷”，并且各个系统运行的安全性也更有保障。



3.2.2 舱内交互：多模态交互

在智能化座舱阶段，舱内的感知交互手段更加智能化和多样化。不再局限于传统座舱内物理按键类的触觉交互，增加了语音交互、手势控制以及视觉交互（DMS/OMS）等交互方式，通过融合多模态的信息来增强感知能力，进而保障交互反馈的准确性，以及带来更人性化的交互体验。

对于驾驶员侧，采用 DMS、语音交互以及手势控制等多种感知交互方式，来监测驾驶员的状态和降低驾驶员手眼负担，有助于防止疲劳驾驶，以及在驾驶员疲劳时能够及时进行危险提醒。

对于副驾及后排乘客，主要是通过 OMS、语音交互及手势控制等感知交互方式，来满足乘客在座舱内的休闲、娱乐需求。

1) 语音交互：从技术维度来讲，语音交互分为语音前端处理技术和语音后端处理技术。前端处理技术包括 VAD（语音活动检测）、回声消除、噪声抑制、声源定位、增益控制等；后端处理技术则包括语音识别、语义理解、对话管理、语音合成等。另外，在智能座舱中，语音交互主要应用在车身相关模块（空调、座椅、车窗）的控制以及中控娱乐相关模块（影音娱乐、导航、通讯等应用）的控制。

影响因素	说明	影响的上层应用举例
麦克风个数	麦克风个数增加导致算法处理路数增加	更多音区的拾音，比如4音区、6音区，还有单独的通信降噪；主动降噪的麦克风等。
AEC通道个数	用于回声消除的参考信息通道数，回声消除参考通道越多，所需的算力越高	播放多通道音频时，关乎到语音识别是否可用。当通道增加，回声消除算法需要适配修改，否则语音识别将不可用
多模ASR路数	ASR路数越多，需要的算力越大	结合多模信息，可用于实现多人同时控制
声音事件检测个数	声音事件个数越多，需要的算力越大	比如爆炸声检测、警笛声检测等

语音交互对芯片算力需求的影响（信息来源：公开资料整理）

2) 视觉交互：目前座舱内基于摄像头实现的视觉交互功能有：DMS、OMS 和手势控制等。最开始，DMS/OMS 通常使用独立的 ECU 控制单元，但是随着整车 EE 架构的演进以及 AI 芯片集成化发展，座舱域控制器中的主控 SoC 芯片中一般都配置有丰富的异构资源，并且能够支持多通道的视频输入和处理能力。因此，DMS/OMS 功能开始逐渐被整合到智能座舱域控制器中去实现。这样不但可以节省一定的硬件 BOM 成本，也便于 DMS/OMS 系统与座舱内其它关联模块更好地进行信息交互，从而更好地进行功能融合创新。

影响因素	说明	影响的上层应用举例
全图检测种类增加个数	全图检测内容增加，模型网络结构需要增大，输出变多，导致算力要求变高	比如增加手势识别功能
行为检测种类	算法种类增多会导致算力增加	比如增加儿童爬窗提醒、儿童站姿提醒、情绪检测、睁闭眼检测等
摄像头个数	正常情况下，算力需求与摄像头个数成线性关系	比如增加后排乘客关怀，则需要新增摄像头来监控到后排乘客
摄像头分辨率提升	分辨率提升，模型的输入位数变多，需要更多的算力支持更大的模型	比如用于拍照、美颜等功能
运行帧率	舱内摄像头常用帧率为30FPS，表示1秒内做30次感知	运行帧率更高，感知延迟会更低，则手势操作反应更灵敏，视线鼠标更流畅

视觉交互对芯片算力需求的影响（信息来源：公开资料整理）

当前，人们对于汽车的“价值理解”也正在从单纯的出行工具向“第三生活空间”转变，而智能座舱是实现此“第三空间”塑造的核心载体。伴随着 5G、AI 大模型、大数据等技术的发展，座舱内的人机交互方式变得更加的多样化和智能化。对于主控 SoC 芯片而言，座舱内每增加一种人机交互的方式，对芯片算力和性能的需求都会进一步提升。

3.2.3 舱驾融合：舱驾一体

在座舱相关功能不断地被整合的过程中，座舱与 ADAS 功能也开始逐渐融合。最开始是环视摄像头接入到车机系统来实现 AVIM 功能；然后，环视摄像头和超声波雷达同时接入到座舱域控制器，由座舱来实现 AVIM 以及 APA 等泊车功能的控制，即所谓的“舱泊一体”。

智能座舱整合基础的泊车功能有以下几点好处：一是，可以降本，至少可以把原来泊车的控制器省掉，节省一定的物料成本；二是，有利于更好地做泊车场景下的人机交互设计；三是，座舱主控 SoC 芯片上的算力也能得到最大程度的有效利用。

再往后发展，智能座舱将进一步整合 L2 级别的行车 ADAS 功能，甚至是更高阶的自动驾驶功能，即所谓的“舱驾一体”。从“舱驾一体”的实现形式上来看，主要有三种：One Box、One Board 和 One Chip。特斯拉采用了 One Box 的方案，并在 2019 年实现量产。One Board 和 One Chip 的方案也有相关企业正在规划，据透露，One Chip 的方案可能将会在 2025 年左右量产。

企业		舱驾融合产品	形式	硬件方案	量产时间
主机厂	特斯拉	中央计算单元CCM	One Box	自研FSD+AMD Ryzen	2019年
	小鹏	XEEA3.5架构平台	One Board	英伟达Orin-X + 高通SA8295P（据推测）	——
	零跑	四叶草中央超算平台	One Box	英伟达Orin-X+高通SA8295P+恩智浦S32G（高配）	预计2023年底
Tier1	德赛西威	Aurora	——	英伟达Orin-X+高通SA8295P+黑芝麻A1000	预计2024年底
	零束科技	舱驾融合计算平台ZXD	——	——	预计2025年
	畅行智驾	RazorDCX Tarkine	One Chip	高通Snapdragon Ride Flex平台，4nm制程芯片	——
	亿咖通	ECARX Super Brain	——	芯擎科技龙鹰一号+黑芝麻A1000	——

舱驾一体方案的规划进展（信息来源：基于公开资料整理）

多数业内人士一致认为，One Chip 方案才是真正的“舱驾一体”，能够帮助企业实现降本增效。整体来看，舱驾一体的主要优势表现在：

- **系统成本更优：**在硬件层面，相比于多 SoC 方案，单 SoC 芯片方案集成度更高，使用物料更少，在一定程度上节省了 BOM 成本；在软件层面，所有软件都在统一的软件架构下，能够节约开发验证和功能扩展成本。
- **系统响应更快：**相比板间的 Switch 通讯或芯片间的 PCIE 互联，在芯片内部直接使用内存共享的片内通讯方式，通讯时延会更短，系统响应更快。
- **OTA 升级更容易：**舱驾融合后，平台的集成度更高，软件合理分层分区，有利于新功能的部署和更新。

3.3 车载 SoC 芯片选型

芯片的选型与感知硬件、软件算法架构等因素强相关，它决定了选择芯片时所需要考虑的客观要素，比如性能，成本等。除此之外，一些“主观要素”也很重要，它在一定程度上决定了这颗芯片在量产上车后能够带来多少“隐性”价值，比如，芯片平台的延续性、芯片的适配性、芯片的平台化设计、芯片的软件生态、芯片厂商的本土化服务等。

1) 芯片平台的延续性

选择使用一家芯片厂商的芯片，车企不但会看它的现在，还要看它的未来。如果芯片企业只做一两代的芯片，而没有连续的 Roadmap，那就意味着如果车企围绕该芯片来做域控制器，那么，他们后续产品的迭代和升级会存在很大的不确定性。

一款芯片产品从定义到研发再到量产，至少需要 3 年左右的时间。一旦进入车企的供应链体系，车企基本会稳定在 3~4 年的订单需求。对于车企来讲，一旦选定一家芯片厂商，中间再切换芯片厂商，代价会比较大，除非出现重大问题，否则不会轻易去切换。

因此，车企在进行芯片选型的时候，还会关注芯片公司整个产品的迭代周期和产品的设计思路——是否符合产品的应用趋势方向，以及是否匹配自身的产品线需求，这样才能够尽量规避后期因切换芯片平台而导致成本大幅增加的风险。

2) 芯片的适配性

整体来讲，车载 SoC 芯片的适配性可以从硬件、软件以及通讯三个层面去考察。在硬件层面，芯片的适配性包括传感器的适配，配套外围电路的适配，例如存储芯片（如 LPDDR、NOR Flash）、通信芯片（如以太网交换芯片）、音视频数据接口以及相关处理芯片（如解串行芯片）等等；软件层面，芯片的适配性包括与底软、中间件以及上层算法层面的适配；通讯层面，主要是芯片与总线的适配，涉及到 CAN、以太网等总线，即芯片和其它组件之间的通信和数据交换是否匹配。

总之，芯片的适配性的好坏，最终的判断依据是芯片与其它系统组件是否能够很好地协作并达到预设的目标效果。

3) 芯片的平台化设计

芯片厂商发展到一定阶段，在充分了解主机厂的需求后，为了降本增效以进一步提升产品的核心竞争力，必然会去打造出自己的平台化方案，用平台化的方案去适配和兼容客户的差异化需求。

某域控制器 Tier1 硬件平台专家曾对外透露，他们最开始是用不同的 SoC 和 MCU 芯片去为各家主机厂服务。但经过一两个项目，他们发现每家主机厂的需求都不一样，用不同的芯片去匹配，研发成本太高。后来，他们干脆就深入研究一个系列的 SoC 芯片，用他们去灵活匹配不同主机厂的项目，即使个别项目拿不下或者不赚钱，但整体来看，他们收益却大大增加，成本也趋向最小化，并且在行业内还形成了自己的口碑。

这个案例间接说明，是否具备较好的平台化设计方案，在后期也将是芯片厂商的核心竞争力之一。比如，地平线的最新一代征程 6 系列芯片，便是采用了平台化的设计——面向从低到高的全智能驾驶场景，征程 6 基于平台化设计理念，秉持同代一致、代际兼容、高度集成、系统最优（DTCO，STCO）等理念，使其具备统一的软硬件技术特性，包括统一硬件架构、统一工具链和统一软件栈。平台化系列的计算平台方案，有助于缩短智驾系统开发周期，打造系统成本更优的智能驾驶方案。



地平线征程 6 系列芯片平台化设计 (图片来源：地平线)

4) 芯片的软件生态

“软件生态决定芯片价值大小”，已经成为了芯片行业的共识。因为构建在芯片之上的软件生态对芯片的“可用性”具有较大的影响。如果一家 AI 芯片企业具备软件生态优势，意味着客户在其芯片上面做开发，周期会更短，成本会更低。

AI 开发套件是软件生态里比较重要的一部分，通常包括算子库、AI 工具链等。一家芯片厂商的算子库丰富，并且工具链好用，这家企业的芯片才有可能“好用”。例如，英伟达是公认的具有强大软件生态的企业，它的软件生态包含了软件开发者、上层应用软件、丰富的工具和库等。良好的芯片软件生态通常具备如下特点：

- ✓ **易用性**——软件生态要能支撑好合作伙伴和客户的开发所需，应用文档要充分完善，参考设计和代码丰富准确，有相应的社区或者足够详细的指导文档能帮助用户自行快速上手。最大限度的降低用户的学习成本和业务的迁徙代价。
- ✓ **兼容性**——需要一个长期稳定的软件框架和接口，能够尽可能的做到向下兼容，帮助用户的存量代码的价值在后续芯片的升级时也能得到继承。

5) 芯片厂商的本土化服务

在软件定义汽车背景下，外加“内卷”严重的竞争环境，汽车的研发周期一再压缩，以前 3~4 年的开发周期，甚至已经被压缩到 2 年。在较短的开发周期下，车企在芯片上车量产的过程中，必将会遇到很多跟芯片底层相关的问题，无论是硬件设计，还是软件开发、图像优化，亦或者是算法移植等方面的问题。此时，芯片公司是否具备足够大的团队以及足够强的工程化能力，去帮助客户在本地快速地解决问题就显得尤为重要。

芯片厂商需要密切加强与车企之间的合作和交流，增强对下游客户的服务支持力度，帮助其客户在相对较短的研发周期内做好高质量的产品交付工作。

4. 车载 SoC 芯片行业竞争格局

4.1 智能驾驶 SoC 芯片

4.1.1 市场需求

通常情况下，车企不同的车型平台有不同的市场定位，市场定位又决定了车型的售价区间，不同售价的车型对功能配置的价格敏感度也存在差异。在智能驾驶功能配置上，不同市场定位车型（不同价位车型）的智能驾驶方案对主控 SoC 芯片也存在不同层级的需求。目前，参考不同级别智驾方案对主控 SoC 芯片在 AI 算力需求上的不同，智驾 SoC 芯片可大致分为三种类型：小算力 SoC 芯片（2.5~20TOPS）、中算力 SoC 芯片（20~80TOPS）和大算力 SoC 芯片（≥100TOPS）。

1) 小算力 SoC 芯片

小算力 SoC 芯片的 AI 算力通常在 2.5~20TOPS，支持实现的产品形态主要为前视一体机或者分布式的行车或泊车控制器方案，需求特点是追求高性价比；在功能实现上，以基础的 L0~L2 级别的辅助驾驶功能为主，部分车型或可提供高速 NOA 功能，所搭载车型售价区间一般为 10-15 万元。

当前，L2 及以下 ADAS 功能已经进入快速增长阶段，其中，前视一体机占 ADAS 市场比重约为 75%，仍然是目前 ADAS 市场的主力产品形态。小算力 SoC 芯片在未来依旧具备较广阔的市场空间。

芯片厂商		工艺制程	AI 算力 (TOPS)	量产落地情况
Mobileye	EyeQ4	28nm	2.5	主要应用在前视一体机。2018 年，EyeQ4 首搭载于蔚来 ES8，其它搭载车型包括蔚来 ES6/EC6、小鹏 G3、理想 One、上汽通用 GL8、江铃福特领睿、宝马 5 系等。
TI	TDA4VM	16nm	8	应用于行泊一体域控方案，搭载车型包括奇瑞星途揽月、吉利博越 L、领克 09 EM-P 领航版、岚图追光、宝骏 KiWi EV 和悦也、哪吒 S 纯电四驱版等。
安霸	CV22AQ	10nm	4eTOPS	主要应用在前视一体机，搭载车型包括广汽传祺 ES9、广汽昊铂 GT/HT、广汽埃安 S MAX、广汽传祺新能源 E8、合创 V09 等。
地平线	J2	28nm	4	主要应用在前视一体机，搭载车型包括深蓝 SL03 低配版、长安启源 A05、长安 UNI-V 等。
	J3	16nm	5	用于前视一体机或行泊一体域控方案，搭载车型包括深蓝 SL03 高配版、荣威 RX5、深蓝 S7、2021 款理想 One、哪吒 S 纯电四驱版、星纪元 ES、启辰 VX6 等。
黑芝麻	A1000L	16nm	16	应用于行泊一体域控方案，预计 2024 年在红旗 E001 和 E202 两款车型上落地。

小算力智驾 SoC 芯片基础信息梳理（信息来源：基于公开资料整理）

2) 中算力 SoC 芯片

中算力 SoC 芯片的 AI 算力通常在 20~80TOPS，支持实现的产品形态主要为轻量级行泊车一体域控制器方案；在功能实现上，以实现“好用”的高速 NOA、城市记忆 NOA 和记忆泊车等功能为宣传卖点，部分车型或可提供城市 NOA 功能，所搭载车型售价区间一般为 15-25 万元。

整体来看，中算力 SoC 芯片市场是芯片快速迭代升级所导致的一个结果。英伟达 Xavier 在刚开始的时候可谓是当时智能驾驶市场上的大算力 SoC 芯片，但随着英伟达下一代芯片 Orin 的出现，以及后续地平线 J5，安霸 CV3-AD 等上百 TOPS 的算力芯片相继出现以后，对于一些中端车型，一味追求大算力并不能保证其在市场上的竞争力，反而会让其在性价比上失去优势。于是，与 Xavier 同级别的芯片便从大算力 SoC 芯片市场“降级”到了中算力 SoC 芯片市场。

芯片厂商		工艺制程	AI 算力 (TOPS)	量产落地情况
英伟达	Xavier	12nm	30	2020 年，Xavier 芯片首搭车型小鹏 P7 量产交付。
	Orin-N	7nm	84	2023 年 9 月，Orin-N 首搭车型腾势 N7 量产交付；另外，2024 年 3 月，搭载 Orin-N 的小米 SU7 Pilot Pro 版也开始量产交付。
TI	TDA4VH	10nm	32	目前量产的车型主要使用大疆的 7V 纯视觉智驾方案，包括宝骏云朵灵犀版、宝骏悦也 Plus 和奇瑞 iCAR03 等。
Mobileye	EyeQ5H	7nm	24	量产搭载车型包括极氪 001/009、宝马 iX 等。
安霸	CV72AQ	5nm	40eTops	支持单 SoC 芯片全时行泊一体功能，目前正在和客户合作开发过程中。
黑芝麻	A1000	16nm	58	2023 年 11 月，A1000 芯片首搭车型领克 08 开始量产交付；其它量产车型包括合创 V09、东风 eπ007 等。

中算力智驾 SoC 芯片基础信息梳理（信息来源：基于公开资料整理）

2) 大算力 SoC 芯片

大算力 SoC 芯片的 AI 算力通常在 100TOPS 以上，支持实现的产品形态主要为高阶行泊车一体域控制器方案，甚至是舱驾一体方案；在功能实现上，以实现“好用”的城市 NOA、AVP 等 L2+级别的功能为宣传卖点，部分车型考虑硬件预埋，用于实现 L3 及更高阶的自动驾驶功能，所搭载车型售价区间一般在 25 万元以上。

在通往高阶智能驾驶功能的发展过程中，需要新的算法（Transformer + BEV + OCC）和更先进的整车 EE 架构（中央计算+区域控制）去实现，而这都需要更大算力 SoC 芯片作为“基石”来支撑。

芯片厂商		工艺制程	AI 算力 (TOPS)	量产落地情况
英伟达	Orin-X	7nm	254	搭载车型包括蔚来 ET5/ET7、理想 L7/L8/L9 Max 版、小鹏 G6/G9/X9/P7i、智己 LS7、小米 SU7 Pilot Max 版等。
	Thor	4nm	2000	主打舱驾一体，已经宣布规划搭载的车企包括极氪、小鹏、理想、比亚迪和广汽埃安等。
高通	SA8650P	5nm	50/100	高通 Ride 平台第二代芯片，目前，博世、大陆、Veoneer、法雷奥、德赛西威、均联智行等均正在基于此芯片进行设计与研发；预计 2024 年实现量产上车。
	SA8775P	4nm	——	高通 Ride Flex 平台的第一款产品，主打舱驾一体，预计 2024 年底实现量产上车
Mobileye	EyeQ Ultra	7nm	175	预计 2025 年实现量产交付
安霸	CV3-685	5nm	750eTOPS	2023 年推出，主要针对 L3、L4 级乘用车自动驾驶以及 L4 级自动驾驶卡车。
	CV3-655	5nm	250eTOPS	2024 年 1 月推出，主要针对城市 NOA 场景。
	CV3-635	5nm	125eTOPS	2024 年 1 月推出，主要针对高速 NOA 场景。
华为	昇腾 610	7nm	200	华为打造的基于单颗昇腾 610 芯片的 MDC610 平台和 2 颗昇腾 610 芯片的 MDC810 平台，搭载车型包括问界 M5/M7/M9、阿维塔 11/12、哪吒 S 715 激光雷达版、广汽埃安 LX Plus、极狐阿尔法 S Hi 版、智界 S7 等。
地平线	J5	16nm	128	已经搭载至理想 L9/L8/L7 Air 和 Pro 版、比亚迪汉 EV 荣耀版等量产上市车型，同时获得 9 家车企数十款车型的量产定点合作。
	J6P	7nm	560	计划于 2024 年第四季度完成首批量产车型交付。
黑芝麻	A1000Pro	16nm	106	目前正在和客户合作开发过程中。

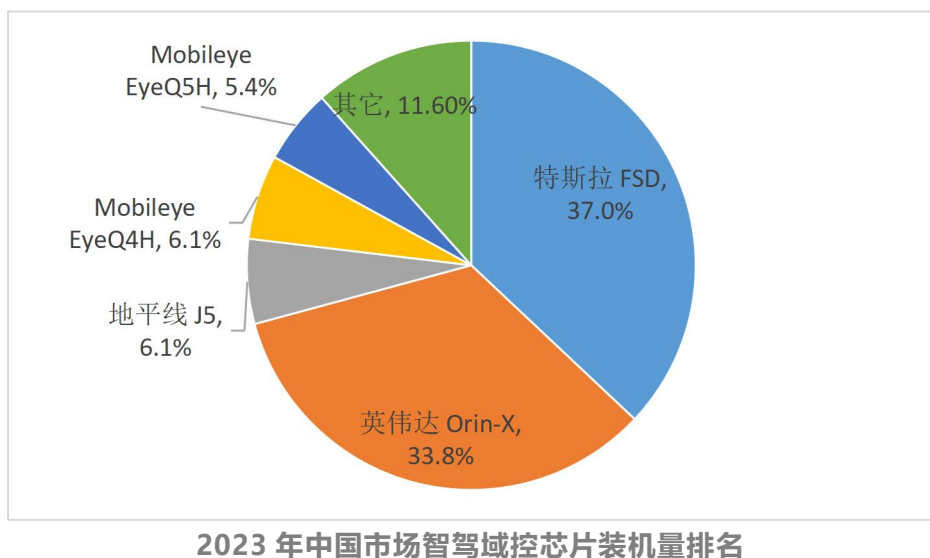
大算力智驾 SoC 芯片基础信息梳理（信息来源：基于公开资料整理）

4.1.2 市场格局

从市场规模来看，根据 ICV 的数据显示，2022 年全球智能驾驶 SoC 市场规模为 32.95 亿美元，中国市场规模达 15.05 亿美元，占全球的 45.68%。据测算，2024 年，全球智能驾驶 SoC 市场规模有望突破 100 亿美元，到 2027 年预计达到 283.06 亿美元，年复合增长率高达 43.11%。

据盖世汽车研究院统计数据显示，2023 年，中国市场乘用车（不含进出口）前装标配智驾域控制器 183.9 万套，同比增长约 70%，前装搭载率约为 8.7%。

另外，2023 年中国市场智驾域控芯片装机量排名中，排名第一位的是特斯拉的 FSD 芯片，出货量约 120.8 万颗，占比为 37%；排名第二位的是英伟达的 Orin-X 芯片，出货量为 109.5 万颗，占比为 33.5%；排名第三位是地平线的征程 5 芯片，出货量为 20 万颗，占比为 6.1%；排名第四位是 Mobileye 的 EyeQ4H 芯片，与 J5 出货量相当，也是约 20 万颗，占比为 6.1%；排名第五位的是 Mobileye 的 EyeQ5H 芯片，出货量为 17.4 万颗，占比为 5.4%。



从整个行业格局来看，目前国产智驾 SoC 芯片的市场占比在整体上还处于劣势地位。2023 年，国外芯片解决方案上车占比较大，合计占比超过了 80%。其中，仅特斯拉 FSD 和英伟达 Orin-X，就占据了超过 70% 的市场份额。FSD 芯片为特斯拉自研自用，一辆车标配 2 颗 FSD 芯片。英伟达 Orin-X 芯片搭载的车型比较多，涵盖了蔚来、小鹏、理想、智己、小米等多个主机厂几十余款车型。

在国产智驾 SoC 芯片中，出货量最大的是征程 5 芯片，2023 年，出货量达到了 20 万片，主要搭载于理想 L7/L8 的 Air 和 Pro 版本以及 L9 的 Pro 版本；并且，2024 年 2 月，J5 芯片在比亚迪汉 EV 荣耀版上量产上车。

但智能驾驶 SoC 市场格局尚未定型，国产芯片厂商具备自身的优势，仍有赶超的机会。比如，相比国外芯片厂商，国产芯片厂商的本土服务能力更强，能够快速适应本土车企的需求变化；另外，地缘政治的影响也在一定程度上加快了国产化芯片替代的脚步。

4.2 智能座舱 SoC 芯片

4.2.1 市场需求

当前，智能座舱的配置水平已经成为消费者购车的重要参考指标之一，同样，智能座舱也是主机厂打造差异化和品牌影响力的重点领域。伴随着座舱集成的功能越来越多，它所需要的硬件资源及算力需求也会越来越高，高算力和高性能的 SoC 芯片将成为智能座舱的刚需。

2023 年，中国市场座舱域控前装交付量达到 347.6 万套，搭载率为 16.5%。从座舱主控 SoC 芯片装机量来看，外资芯片品牌依旧主导地位，其中，仅高通一家的市场占比就已经接近 60%。

从芯片厂商类型来看，消费类芯片厂商目前在智能座舱芯片 SoC 市场占据优势地位。有业内专家指出，消费电子芯片厂商之所以能够进入座舱领域，是因为从消费电子类 SoC 芯片升级改版为座舱 SoC 芯片的技术壁垒并不高——两者在技术层面的要求高度相似，车规级的特殊要求主要体现在寿命、适应车载环境等安全层面，然而，消费电子芯片厂商通过这些车规级认证的难度并不是特别大。同时，消费电子芯片厂商在消费端已经具备了足够强的设计能力，从而能够帮助他们在汽车领域里，也能够设计出车规级座舱芯片。

并且，相比传统汽车芯片厂商，高通、AMD、三星等头部消费电子类芯片厂商在智能座舱 SoC 芯片领域所具备的成本优势和迭代速度优势，是传统芯片厂商所不能比拟的。

1) 成本优势

头部消费级芯片厂商能够最大化利用其在消费端的生产和销售能力，去摊销整个芯片的设计成本。因此，当其把消费端的芯片转移到座舱领域来应用，在成本上对传统芯片厂商是一种降维打击。

座舱的 SoC 芯片一般都会包含 CPU、GPU、NPU、DSP 等等，这些 IP 设计与授权一般都是来自第三方公司，比如 ARM, Imagination 等，对于传统汽车芯片厂商而言，这些 IP 的授权费非常高。但对于像高通、AMD 这些头部消费级芯片厂商而言，他们在消费领域建立起来的规模效应，能够帮助其获得更优惠的 IP 架构授权费用。

2) 迭代速度优势

消费级芯片厂商的座舱 SoC 芯片不仅在制程的先进性和算力上具有明显的优势，而且芯片的迭代速度也更快。因为他们的芯片迭代可以建立在消费级芯片迭代的基础上，因此，其座舱 SoC 芯片迭代速度自然要远远快于传统汽车芯片厂商。目前，高通总共对外发布了四代座舱芯片，而这四代芯片都是遵循着“消费级芯片先发，智能座舱芯片后改”的底层逻辑。

高通骁龙芯片	第一代平台		第二代平台		第三代平台		第四代平台	
消费级/车规级	骁龙600	骁龙602A	骁龙820	骁龙820A	骁龙855	骁龙SA8155P	骁龙888	骁龙SA8295P
制程	28nm	28nm	14nm	14nm	7nm	7nm	5nm	5nm
首发时间	2013.1	2014.1	2015.11	2016.1	2018.12	2019.1	2020.12	2021.1
消费级/车规级推出时间差	12个月		2个月		1个月		1个月	

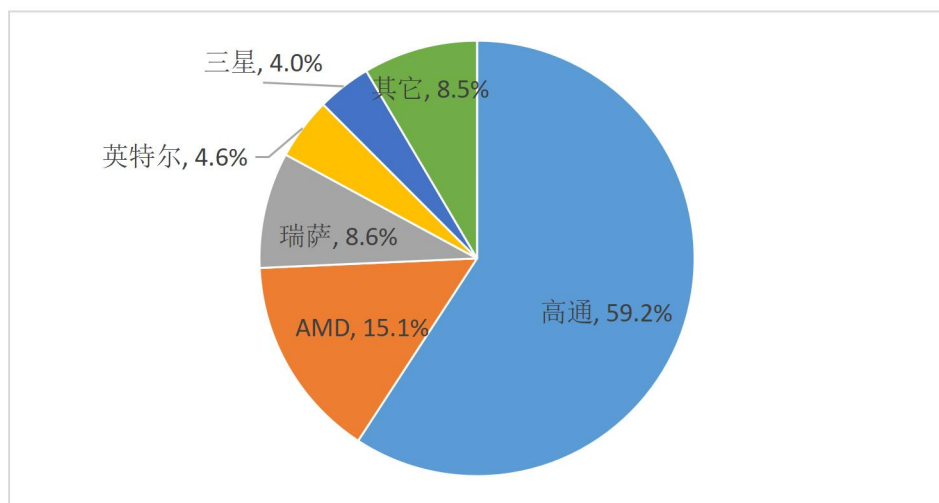
高通四代座舱平台的基础信息（信息来源：公开资料整理）

4.2.2 竞争格局

据相关统计数据显示，2022 年，全球智能座舱 SoC 芯片市场规模为 30.92 亿美元。其中，我国新车搭载智能座舱 SoC 芯片的装配量为 700.5 万颗，市场规模达 14.86 亿美元，约占全球总市场份额的 48%。预计到 2025 年，中国和全球汽车座舱智能配置渗透率将分别达到 78%和 59%，同时，全球智能座舱 SoC 芯片的市场规模将突破 50 亿美元。

当前，座舱域控制器的主控 SoC 芯片的市场格局已经逐渐明朗：中低端市场 —— 传统汽车芯片厂商是主力，比如瑞萨、TI 和恩智浦等；高端市场 —— 消费电子芯片厂商是主力，比如高通、三星、英特尔和 AMD 等。

目前，智能座舱 SoC 芯片市场份额主要集中在几家海外的芯片企业手中，包括高通、AMD、瑞萨、英特尔、三星等。从中国市场来看，据盖世汽车研究院数据显示，在 2023 年，高通座舱 SoC 芯片的市占率最高，出货量达 226 万颗，占比为 59.2%；AMD 排在第二位，市场占比为 15.1%；瑞萨排在第三位，占比为 8.6%；英特尔排在第四位，占比为 4.6%；三星排在第五位，占比为 4.0%；前五家占比超过 90%的市场份额，智能座舱 SoC 芯片市场高度集中。



2023 年中国市场座舱 SoC 芯片市场份额占比情况（不包括进口和选配）

现阶段，虽然我国乘用车智能座舱 SoC 芯片的渗透率和市场规模都比较高。但是，国产座舱 SoC 芯片的市占率并不高，不足 10%，主要原因在于国产座舱 SoC 芯片厂商起步较晚。不过，他们现在占据天时（国内新能源汽车行业迅速发展以及出海趋势）和地利（国产化芯片替代）的优势，国产座舱 SoC 芯片在未来具有较大的市场增长空间。

5. 国内外重点企业及产品布局

5.1 国外芯片厂商

5.1.1 英伟达

1) 公司介绍

英伟达成立于 1993 年 4 月，早期专注 PC 图形计算，后来逐步将重点转移至 AI 领域。1999 年英伟达推出首款 GPU，主要用于 3D 图像渲染加速；2006 年英伟达开发了基于 GPU 的“CUDA”开发平台，让 GPU 实现通用计算功能，GPU 的应用逐步从游戏扩展至高性能计算、自动驾驶等多个领域。现在，英伟达不仅仅是一家芯片公司，更是一家具备全栈解决方案的综合服务商，可提供芯片、硬件平台、系统软件、功能软件、应用软件以及仿真测试和训练平台的全栈工具链。

公司发展历程：

- ✓ 1993 年 4 月，Chris Malachowsky，Curtis Priem 和黄仁勋三人联合创立了英伟达。
- ✓ 1999 年，英伟达发布第一代 GPU 架构 —— GeForce 256，并历史上首次提出 GPU 概念。
- ✓ 2006 年，英伟达发布首个通用 GPU 计算架构 —— Tesla，该架构支持使用 C 语言进行 GPU 编程，可以用于通用数据并行计算。此事件标志着 GPU 开始从专用图形处理器转变为通用数据并行处理器。
- ✓ 2008 年，英伟达推出 Tegra 移动处理器，可以应用于移动设备和汽车系统。
- ✓ 2015 年，英伟达开始进入车载领域，并推出了第一代车载计算平台：Drive PX。
- ✓ 2016 年 1 月，英伟达推出第二代车载计算平台：Drive PX2。同年 9 月，英伟达发布了专门针对自动驾驶技术的 Xavier SoC 芯片。
- ✓ 2019 年，英伟达在 GTC 大会上推出了 DRIVE AGX Orin™平台，内置了 Orin SoC 芯片。
- ✓ 2020 年，英伟达 Xavier SoC 芯片在小鹏 P7 上首搭量产应用。
- ✓ 2022 年 3 月，英伟达在 GTC 大会上宣布，Orin SoC 芯片将在当月正式投产发售。同年 9 月，英伟达在秋季 GTC 大会上发布了算力高达 2000TOPS 的车载 SoC 芯片 —— Thor，并计划在 2025 年量产上车应用。
- ✓ 2023 年 3 月，英伟达在 GTC 大会上宣与台积电、ASML、Synopsys 三大半导体巨头合作，将英伟达加速运算技术用于芯片光刻中的计算光刻中，并推出用于计算光刻的软件库“cuLitho”。
- ✓ 2024 年 3 月，英伟达在 GTC 大会正式推出新一代 GPU 架构 Blackwell，同时，还宣布比亚迪在未来车型平台中将会采用 Drive Thor 芯片。

2) 产品布局

自从 2015 年进入车载领域，到现在为止，英伟达先后推出了 Tegra 系列、Paker、Xavier、Orin 等多款 SoC 芯片。当前，在智能驾驶大算力 SoC 芯片领域，Orin 芯片的市场占有率在全球处于领先地位。并且，在 2022 年，英伟达还发布了新一代用于舱驾一体，或中央计算的超大算力 Thor 芯片，计划在 2025 年量产。

- ◆ **Xavier 芯片**：采用 12nm FinFET 工艺制程，集成 90 亿颗晶体管，芯片面积为 350 平方毫米，AI 算力达 30TOPS，功耗为 30W。基于 Xavier SoC 芯片，英伟达发布了第 3 代车载计算平台：Drive AGX Xavier 和 Drive AGX Pegasus。其中，Drive AGX Xavier 平台集成 2 颗 Xavier 芯片，面向 L2/L3 级自动驾驶场景；Drive AGX Pegasus 平台集成 2 颗 Xavier 芯片和 2 颗 Turing 架构独立的 GPU，算力达 320TOPS，功耗 500W，面向 L4/L5 自动驾驶场景。
- ◆ **Orin 芯片**：采用 7nm 工艺制程，集成 170 亿颗晶体管，AI 算力可达 254TOPS，功耗为 45W。基于 Orin SoC 芯片，英伟达在 2020 年 5 月发布了第 4 代车载计算平台：Drive AGX Orin。Drive AGX Orin 平台可搭载 2 颗 Orin 芯片和 2 颗 Ampere 架构的独立 GPU，最高算力达 2000Tops，功耗为 800W，可以实现 ADAS 解决方案和 L5 级的 Robotaxi。
- ◆ **Thor 芯片**：Thor 采用 4nm 工艺制程，集成 770 亿个晶体管，算力达 2000TOPS@FP8。在架构方面，Thor 芯片集成 Grace CPU 、Ada Lovelace GPU 和 BlueField DPU 等。

芯片名称		Xavier	Orin		Thor
			Orin-N	Orin-X	
量产时间		2020年	2024年	2022年	2025E
典型功耗		30W	——	45W	——
制程		12nm	7nm	7nm	5nm
CPU架构		8* ARM Carmel 64	8* ARM Cortex-A78AE	12*ARM Cortex-A78AE	Grace CPU
GPU	架构	Volta	Ampere	Ampere	Hopper
	CUDA 核心数	512	1024	2048	——
AI 算力		30 TOPS	84 TOPS	254 TOPS	2000 TFLOPS@FP8 4000TOPS@int8
搭载车型		2020款小鹏P7	腾势N7、小米SU7Pilot Pro版	蔚来ET5/ET7、理想 L7/L8/L9 Max版、小鹏 G6/G9/X9/P7i、智己LS7、小米SU7 Pilot Max版等	——

英伟达智驾 SoC 芯片基本情况梳理（信息来源：公司官网及其它公开资料整理）

5.12 德州仪器

1) 公司介绍

德州仪器(TI)的历史可以追溯到 1930 年,当时公司名称为 Geophysical Service Incorporated, 简称为 GSI, 主要业务是专门为地球物理勘探提供反射地震检测方法。1951 年 12 月, 公司更名为: 德州仪器 (Texas Instruments , 简称 TI) , 并于 1954 年正式进军半导体市场。

1950 年代开始, TI 便开始在德州兴建半导体制造工厂。目前, TI 在全球具有 15 个制造基地, 包括多家晶圆制造厂、封装测试厂、凸点加工厂以及晶圆测试厂。

现在, 公司的主要业务是模拟芯片和嵌入式处理器等, 具体产品分类包括放大器、音频、时钟和计时、数据转换器、DLP、接口、MCU 和处理器、电源管理、射频和微波、传感器等, 合计约 8 万个产品组合。按照下游应用分类, 2023 年, TI 的收入占比构成为: 工业占 40%、汽车占 34%、个人电子设备占 15%、通信设备占 5%、企业级系统占 4%、其他占 2%。

2) 产品布局

目前, TI 在 ADAS 领域的产品线主要是 TDA4 系列, 包括 TDA4 VL、TDA4 VM 和 TDA4 VH 不同的版本配置, 以适配不同的市场定位需求。其中 TDA4 VL 主攻前视一体机及入门级泊车控制器市场; TDA4VM 主攻轻量级多芯片 SoC 行泊一体或者单 SoC 分时复用行泊一体市场; TDA4VH 主攻轻量级单 SoC 全时运行行泊一体市场。

芯片	量产时间	工艺制程	主要处理器				搭载车型
			CPU	DSP	GPU	AI加速单元	
TDA4VL	——	16nm	2* Arm Cortex-A72 1.2 GHz	2*C7x 1.0GHz 160GFLOPS、 512GOPS	IMG BXS-4-64 256KB缓存 性能: 50GFLOPS, 4GTexels/s	1*MMA (8TOPS)	——
TDA4VM	2021	16nm	2* Arm Cortex-A72 2 GHz	1*C7x 1.0GHz 性能高达: 80GFLOPS、 256GOPS	3D GPU PowerVR® Rogue 8XE GE8430 性能: 96GFLOPS、6Gpix/s	1*MMA (8TOPS)	奇瑞星途揽月/凌云/星纪元、吉利博越L、领克09 EM-P领航版等
TDA4VH	2023	16nm	8* Arm Cortex-A72 2 GHz 100KDMIPS	4*C7x 1.0GHz 性能高达: 320GFLOPS、 1024GOPS	IMG BXS-4-64 256KB缓存 性能: 50GFLOPS, 4GTexels/s	4*MMA (32TOPS)	宝骏云朵灵犀版、宝骏悦也Plus和奇瑞iCAR03等

TDA4 系列芯片基本情况梳理 (信息来源: TI 官网产品手册)

5.1.3 Mobileye

1) 公司介绍

1999 年，来自以色列希伯来大学的 Amoon Shashua 教授和 Ziv Aviram 创立了 Mobileye。2004 年，Mobileye 发布了第 1 代自研芯片 EyeQ1，并将其视觉算法固化到自家芯片上。在此之前，Mobileye 的主要业务是为客户提供基于视觉算法的软件方案。自此之后，Mobileye 开始逐渐从算法/软件供应商转为提供打包解决方案的系统服务商。

公司发展历程：

- ✓ 1999 年，Mobileye 成立
- ✓ 2004 年，Mobileye 发布第一代芯片 EyeQ1
- ✓ 2007 年，沃尔沃成为首个搭载 Mobileye 芯片的车企
- ✓ 2008 年，Mobileye 发布第二代芯片 EyeQ2
- ✓ 2012 年，EyeQ 系列芯片累计出货突破 100 万片
- ✓ 2014 年，EyeQ3 正式量产；借助 EyeQ3 芯片，业内首次实现基于单目配置的 AEB 功能。
- ✓ 2017 年 3 月，Mobileye 被英特尔以 153 亿美元的价格收购
- ✓ 2018 年，EyeQ4 量产上市，首搭车型是蔚来 ES8
- ✓ 2021 年，EyeQ5 量产上市，首批搭载车型为极氪 001 和宝马 iX。截止到 12 月，Mobileye EyeQ 系列芯片出货量已突破 1 亿片。
- ✓ 2022 年，Mobileye 发布了三款芯片产品：EyeQ6L、EyeQ6H、EyeQ Ultra。
- ✓ 2023 年，EyeQ 系列芯片已经累计出货量突破 1.4 亿片

2) 产品布局

2003~2021 年，Mobileye 发布并量产了 5 代芯片：EyeQ1~EyeQ5；2022 年，在 CES 展上，Mobileye 又发布了三款最新的芯片 EyeQ6L、EyeQ6H 以及 EyeQ Ultra，分别应用于不同级别的智能驾驶。

芯片	EyeQ1	EyeQ2	EyeQ3	EyeQ4	EyeQ5H
量产时间	2007	2010	2014	2018	2021
工艺制程	180nm	90nm	40nm	28nm	7nm FinFET
典型功耗	2.5W	2.5W	2.5W	3W	10W
系统架构	——	——	4*MIPS + 4*VMP	4*MIPSi-class &1*MIPSm-class + 6*VMP + 2*MPC+2PMA	8*MIPS+18*CVP
AI 算力 (TOPS)	0.0044	0.026	0.256	2.5	24
合作客户	宝马、沃尔沃	宝马、通用、欧宝、日产、沃尔沃	奥迪、特斯拉	蔚来、小鹏、理想、广汽、日产、别克	极氪、宝马

EyeQ 系列芯片基本情况梳理 (信息来源: 企业官网及其它公开资料整理)

EyeQ系列芯片	发布时间	量产时间	AI算力 (TOPS)	制程 (nm)	功耗 (W)	适用场景	系统架构
EyeQ6 Light	2022	2023	5	7	3	L1~L2	CPU: MIPS64(2C8T)
EyeQ6 High		2024E	34	7	12.5	L2+/L3	CPU: MIPS64(8C32T) GPU: 64 GFLOPS ISP: 1.2 GPixel/s
EyeQ Ultra		2025E	176	5	<100	L4	CPU: 12个 RISC-V架构 双线程CPU内核 GPU: 256 GFLOPS ISP: 2.4 GPixel/s

EyeQ6 系列芯片基本情况梳理 (信息来源: 企业官网及其它公开资料整理)

5.1.4 安霸半导体

1) 公司介绍

安霸半导体 (Ambarella) 成立于 2004 年, 是一家专注于 AI 视觉感知芯片的半导体公司。安霸的 AI 芯片产品支持超高清图像处理、视频压缩、深度神经网络高效运行, 可从高分辨率视频和雷达信息中提取有价值的数据。安霸在车载领域具有从主流 L2 到大算力域控的全套芯片解决方案, 并高效支持大语言模型等前沿应用。车载领域的产品主要包括 ADAS, 智能座舱 DMS/OMS, 行泊一体域控, 电子后视镜 CMS、行车记录仪、以及高级别无人驾驶等。

公司发展历程:

- 2004 年, 安霸在硅谷成立;
- 2007 年, 安霸中国在上海成立研发中心;
- 2012 年, 安霸在纳斯达克上市;
- 2014 年, 安霸开始进入汽车前装市场;
- 2015 年, 安霸收购意大利汽车自动驾驶算法公司 VisLab;
- 2017 年, 带有自主研发 AI 引擎的 AI 视觉 SoC 芯片 CV1 上市;
- 2018 年, 10nm 工艺制程车规级 CV2 系列芯片上市;
- 2021 年, 安霸收购 4D 毫米波雷达算法公司傲酷;
- 2022 年, 安霸推出 5nm 大算力车载中央域控芯片 CV3-AD;
- 2023 年, 上海车展期间, 安霸推出车规 AI 芯片 CV72AQ, 同年面向量产的 CV3-AD685 顺利点亮并开始提供样片;
- 2024 年, 在 CES 期间, 安霸推出两款 CV3-AD 系列的智驾域控芯片: CV3AD-635 和 CV3AD-655; 另外, 安霸计划推出新一代前视一体机芯片 CV75AQ。

2) 产品布局

依据制程工艺不同, 目前, 安霸 CV 系列车规级 AI SoC 芯片可划分成两大类: 10nm 工艺制程芯片和 5nm 工艺制程芯片。

✓ 10nm 车规芯片系列

CV2x 系列芯片采用 10nm 工艺制程, 符合 AEC-Q100 Grade2 等级要求, 主要产品有: CV2FS、CV22FS、CV2AQ、CV22AQ、CV25AQ、CV28AQ, 并且都已经在乘用车项目上量产应用。另外, CV2 系列车规芯片所使用的 SDK 软件相互兼容, 支持多种算法开发和优化; 同时, 该系列芯片提供磐石信息安全综合解决方案, 支持硬件信息安全; 其中, CV2FS/CV22FS 达到了芯片级别的 ASIL-C 等级, 功能安全岛 ASIL-D 等级。

✓ 5nm 车规芯片系列

A. CV3-AD 系列

2022 年 1 月, 安霸发布了大算力域控 AI SoC 芯片 CV3 的旗舰版本 CV3-AD-High。该系列芯片支持硬件 HSM 以及 ASIL-D 等级的功能安全岛, 整个芯片可以达到 ASIL-B 功能安全等级。2023 年 1 月, 安霸在 CES 上宣布推出 CV3 系列的量产版本 CV3-AD685; 2024 年 1 月, 安霸又陆续发布另外两款 CV3-AD 系列智驾域控芯片: CV3-AD635 和 CV3-AD655, 覆盖不同性能和成本区间, 以满足客户的多样化需求。

安霸对 CV3-AD 系列芯片进行了平台化设计, 可提供完整的高阶智驾域控系列方案, 从 “无图” 高速 NOA (CV3-AD635) 到 “无图” 城区 NOA (CV3-AD655), 最后再到 “无图” L3 及更高阶的自动驾驶解决方案 (CV3-AD685)。



CV3 三款不同算力芯片的 DEMO 效果展示 (信息来源: 安霸)

B. CV72AQ

2023 年 4 月，安霸发布了搭载 CVflow3.0 AI 架构的 AI 视觉芯片 CV72AQ，该芯片内置 2 颗 ARM Cortex-A76 CPU 内核，CPU 算力达 20KDMIPS，AI 等效算力 40eTOPS。

芯片	CV22AQ	CV72AQ	CV3		
			CV3-AD635	CV3-AD655	CV3-AD685
推出时间	2018	2023	2024	2024	2023
工艺制程	10nm	5nm	5nm	5nm	5nm
处理器	4* Arm Cortex-A53	4* Arm Cortex-A76	4 * Arm Cortex-A78AE	8 * Arm Cortex-A78AE	12 * Arm Cortex-A78AE
	CVflow架构	CVflow 3.0 AI 架构	CVflow 3.0 AI 架构		
AI 等效算力 (eTOPS)	4	40	125	250	750
应用情况	量产搭载车型：传祺 ES9、昊铂GT/HT、埃安S MAX、合创 V09等	针对前视一体机和轻量级行泊一体域控市场	主要针对高速NOA场景	主要针对城市NOA场景	主要针对L3、L4级乘用车自动驾驶以及L4级自动驾驶卡车

安霸智驾 SoC 芯片基本情况梳理（信息来源：企业官网及其它公开资料整理）

5.1.5 高通

1) 公司介绍

高通成立于 1985 年，早期以提供卫星系统移动通讯解决方案为主。1999 年，高通开始进行业务转型，将手机业务和无线业务分别出售给了京瓷和爱立信，自身则专注于技术许可（QTL）和半导体芯片（QCT）两大业务。

2002 年开始，高通开始切入到车载领域，它先是向车企提供车载网联解决方案——基于无线通信技术，联合通用汽车推出安吉星车载网联解决方案，致力于为车主提供远程服务。后来，业务逐渐延伸至智能座舱产品及解决方案，现在高通是一家全球领先的半导体和通信技术公司。

2) 产品布局

在智能座舱应用领域，2014 至 2021 年期间，高通先后推出 4 代智能座舱 SoC 芯片，主要包括 602A、820A、SA8155P 和 SA8295P。

- ✓ **602A 芯片：**2014 年 1 月，高通在 CES 上发布了专门用于汽车娱乐系统的第一代智能座舱芯片骁龙 602A。602A 采用 28nm 工艺制程，基于手机芯片骁龙 600 改版而来，能够支持 3 屏同显（1080p60@中控屏 + 720p60@仪表 + 540p60@HUD）。
- ✓ **820A 芯片：**2016 年 1 月，高通在 CES 上发布了第二代智能座舱芯片骁龙 820A。820A 采用 14nm 工艺制程，基于手机芯片骁龙 820 改版而来，最多可支持 8 个摄像头同时输入，最高支持 4K 分辨率以及多个触屏显示。
- ✓ **SA8155P 芯片：**2019 年 1 月，高通在 CES 上发布了第三代智能座舱芯片骁龙 SA8155P。SA8155P 采用 7nm 工艺制程，基于手机芯片骁龙 855 改版而来，最多可支持 8 个摄像头同时输入，最高支持 4 块 2K 屏幕或 3 块 4K 屏幕同时显示。
- ✓ **SA8295P 芯片：**2023 年 5 月，高通推出第四代智能座舱芯片骁龙 SA8295P。SA8295P 采用 5nm 工艺制程，基于手机芯片骁龙 888 改版而来，CPU 算力 200KDIMPS，GPU 算力 3000GFLOPS，AI 算力达 30TOPS，最多可支持 16 路摄像头同时输入，最高支持 11 个屏幕同时显示。

芯片		骁龙602A	骁龙820A	骁龙SA8155P	骁龙SA8295P
发布时间		2014年1月	2016年1月	2019年1月	2021年1月
量产时间		——	2018年	2020年	2023年
工艺制程		28nm	14nm	7nm	5nm
处理器	CPU	4* Krait架构1.5GHz CPU	4*64位Kryo架构CPU	8*64位Kryo435	4*Kryo695+4*Kryo680
	GPU	Adreno	Adreno530	Adreno640	Adreno695
	DSP	Hexagon	Hexagon680	Hexagon690	Hexagon 698
AI 算力 (TOPS)		——	3	8	30
搭载车型		奥迪Q7 (2017款)、本田雅阁、比亚迪唐等	小鹏P7、领克05、理想One、极氪001、奥迪A4等	蔚来ET5/ET7、长城哈弗H6S/魏牌摩卡、极氪001、零跑C11、理想L9、长安深蓝SL03、小鹏G9等	极越01、小鹏X9、极氪001 FR等

高通座舱 SoC 芯片基本情况梳理 (信息来源: 企业官网及其它公开资料整理)

5.2 国内芯片厂商

5.2.1 地平线

1) 公司介绍

2015 年 7 月，地平线成立，秉持着软硬结合的理念，聚焦边缘人工智能芯片方向。其业务布局围绕着以人工智能芯片为核心，为辅助驾驶（ADAS）和高阶自动驾驶（AD）提供包括智能芯片、专用的软件、算法和开放工具链等在内的核心技术和服务。

公司发展历程：

- ✓ 2015 年 7 月，地平线成立，并聚焦边缘 AI 芯片方向。
- ✓ 2016 年 3 月，地平线发布了第一代 BPU 架构——高斯架构。
- ✓ 2017 年 12 月，地平线发布两款嵌入式人工智能视觉芯片征程 1.0 和旭日 1.0。
- ✓ 2019 年 8 月，地平线宣布量产中国首款车规级智能芯片征程 2。
- ✓ 2020 年 1 月，地平线在 CES2020 上发布了搭载征程 2 的自动驾驶计算平台 Matrix2。
- ✓ 2020 年 9 月，地平线正式推出车规级芯片征程 3；12 月，征程 2 累计出货量突破 16 万片。
- ✓ 2021 年 7 月，地平线发布大算力芯片征程 5；12 月，征程系列芯片累计出货量突破 100 万片。
- ✓ 2022 年 9 月，地平线征程 5 芯片在理想 L8Pro 版上量产应用；11 月，征程系列芯片累计出货量突破 200 万片。
- ✓ 2023 年 4 月，地平线推出自研的基于软硬结合的智能驾驶专用计算架构 BPU®纳什；当月，征程系列芯片累计出货量突破 300 万片。
- ✓ 2023 年 11 月，地平线在广州车展期间对外透露，地平已与 30 家自主与合资品牌车企达成前装量产合作，征程系列芯片前装量产出货已达 400 万片，量产上市车型超过 50 款。
- ✓ 2024 年 4 月，地平线征程系列芯片前装量产出货已达 500 万片。

2) 产品布局

目前，地平线已经量产上车的芯片有：征程 2、征程 3 和征程 5。另外，新一代大算力芯片征程 6 计划在 2024 年 4 月对外发布。

- ✓ **J2 芯片**:2019 年 8 月,地平线发布了征程 2 芯片。征程 2 采用 28nm 制程工艺,AI 算力达 4TOPS, 典型功耗为 2W, 17*17mm BGA 封装工艺。
- ✓ **J3 芯片**: 2020 年 9 月, 地平线正式推出征程 3 芯片。征程 3 采用 16nm 制程工艺, AI 算力可达 5TOPS, 典型功耗为 2.5W, 支持对 H.264 和 H.265 视频格式的高效编码。
- ✓ **J5 芯片**:2021 年 7 月,地平线推出征程 5 芯片。征程 5 采用 16nm 制程工艺, AI 算力可达 128TOPS, 典型功耗为 30W; 外部接口丰富, 可支持接入超过 16 路高清视频输入; 支持 H.265/JPEG 实时编解码。
- ✓ **J6 芯片**: 征程 6 系列芯片将于 2024 年 4 月正式发布, 并于 2024 年第四季度完成首批量产车型交付。征程 6 采用 7nm 制程工艺, AI 算力最高可达 560TOPS, CPU 算力可达 350+KDMIPS。

芯片名称	J2	J3	J5	J6P
发布时间	2019年	2020年	2021年	2024年
典型功耗	2W	2.5W	30W	——
工艺制程	28nm	16nm	16nm	7nm
CPU	2*ARM Cortex A53	4*ARM Cortex A53	8*ARM Cortex A55	——
BPU	2* BPU (伯努利架构1.0)	2* BPU (伯努利架构2.0)	2* BPU (贝叶斯架构1.0)	纳什架构1.0 BPU
AI 算力 (TOPS)	4	5	128	560

地平线征程系列芯片基本情况梳理（信息来源：企业官网及其它公开资料整理）

5.2.2 黑芝麻

1) 公司介绍

黑芝麻智能成立于 2016 年，定位于车规级计算芯片及基于芯片的解决方案供应商。公司可提供自研的 IP 核、算法以及芯片，为客户提供全栈式的自动驾驶技术和服务。

公司发展历程：

- ✓ 2016 年 7 月，黑芝麻成立
- ✓ 2019 年 8 月，黑芝麻发布华山一号 A500，单 SOC 可提供 5-10TOPS 的算力
- ✓ 2020 年 6 月，黑芝麻发布华山二号系列芯片：A1000 和 A1000L
- ✓ 2021 年 4 月，黑芝麻发布华山二号系列芯片：A1000pro，同年 7 月，流片成功
- ✓ 2022 年 9 月，黑芝麻与吉咖智能开展深度合作，并规划在吉利汽车上搭载 A1000 芯片。同年 12 月，宣布与东风集团合作，并在其纯电动轿车及 SUV 车型上搭载 A1000 芯片。
- ✓ 2023 年 4 月，黑芝麻发布武当系列跨域芯片 C1200；同年 5 月，宣布与一汽集团联合合作，在红旗车型上部署华山 A1000L 芯片。

2) 产品布局

目前，黑芝麻系列芯片产品主要包括：华山 A1000 系列和武当 C1200 系列。

芯片名称		华山A1000系列			武当C1200系列	
		A1000	A1000L	A1000Pro	C1236	C1296
发布时间		2020年6月	2020年6月	2021年4月	2024年1月	
量产时间		2022年	2022年	2023年	——	
工艺制程		16nm	16nm	16nm	7nm	
典型功耗		18W	15W	25W	——	
CPU	内核	8核Cortex A55 (1.5GHz)	6核Cortex A55 (1.2GHz)	16核 Cortex A55 (1.5GHz)	A78E	
	算力	32K DMIPS	——	——	——	
DSP		5核DSP	3核DSP	10核DSP	——	
AI 算力 (TOPS)		58 (INT8) 116 (INT4)	16 (INT8)	106 (INT8) 196 (INT4)	——	
合作客户		一汽集团、东风集团、吉利集团、江汽集团等，量产车型包括领克08、合创V09等			——	

黑芝麻系列芯片基本情况梳理（信息来源：企业官网及其它公开资料整理）

5.2.3 芯驰科技

1) 公司介绍

2018 年 6 月，芯驰科技成立，致力为未来智慧出行提供高性能、高可靠的车规芯片产品和解决方案。芯片产品覆盖智能座舱、智能驾驶、中央网关和高性能 MCU 四大领域。

在车规认证方面，芯驰先后获得了德国莱茵 ISO 26262 ASIL D 功能安全流程认证、AEC-Q100 Grade 1/Grade 2 可靠性认证、德国莱茵 ISO 26262 ASIL B 功能安全产品认证以及工商总局、国家密码管理局国密信息安全双认证，成为四证合一的车规芯片企业。

目前，芯驰已完成 4 个系列芯片的流片、最高规格车规认证及大规模量产上车，服务超过 260 家客户，拥有近 200 个定点项目，覆盖了中国 90% 以上车企，以及部分国际主流车企，包括上汽、奇瑞、长安、东风、一汽、理想、日产、本田、大众等。

公司发展历程：

- ✓ 2018 年 6 月，芯驰科技成立
- ✓ 2019 年 10 月，完成 16nm 车规级芯片流片
- ✓ 2020 年 5 月，同时发布舱之芯 X9、驾之芯 V9、网之芯 G9 的首款产品
- ✓ 2021 年 12 月，网之芯获得国密信息安全认证，并且单月量产出货达 10 万片
- ✓ 2022 年 4 月，控之芯 MCU 正式发布
- ✓ 2023 年 4 月，舱之芯 X9 和驾之芯 V9 芯片同时进行全新换代升级，推出智能座舱芯片 X9SP 和智能驾驶芯片 V9P。
- ✓ 2024 年 3 月，芯驰发布全新升级的座舱芯片 X9H 2.0G，定点车型最早将于 2024 年底量产上市。

2) 产品布局

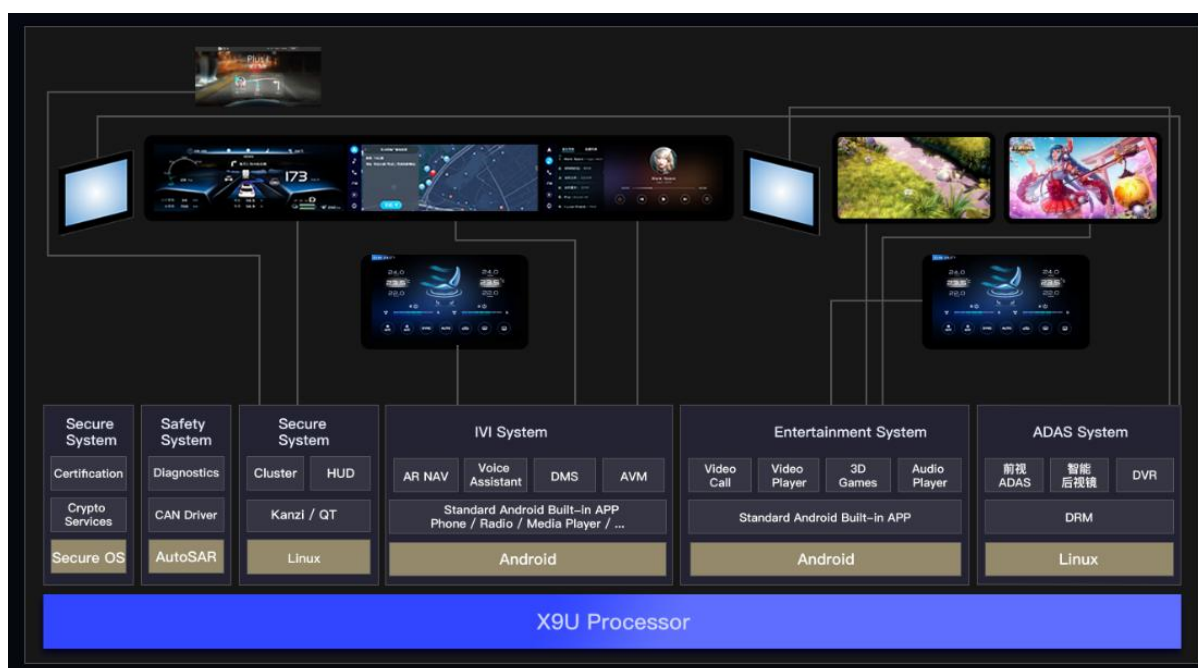
在智能座舱应用领域，芯驰科技“舱之芯”X9 系列芯片包括 X9E、X9M、X9H、X9HP、X9U 和 X9SP 等。这些芯片采用平台化的方案设计，集成了 CPU、GPU、AI 加速器、视频编解码处理器以及其它加速单元。另外，X9 系列芯片集成丰富的接口和总线协议，比如 PCIe3.0、USB3.0、千兆以太网、CAN-FD，便于以较低成本无缝衔接应用在车载系统上。

芯片	X9 E/M	X9H	X9HP	X9U	X9SP
发布时间	2020	2020	2021	2021	2022
工艺制程	28nm	16nm	16nm	16nm	16nm
CPU算力 (KDMIPS)	10~50	36	50	100	100
GPU算力 (GFLOPS)	——	140	140	300	220
AI 算力 (TOPS)	——	——	0.4	1.2	8
适用场景	入门级座舱解决方案	主流座舱解决方案		旗舰级座舱解决方案	

芯驰座舱 SoC 芯片基本情况梳理 (信息来源: 企业官网及其它公开资料整理)

X9 系列芯片可以提供不同级别的智能座舱解决方案: 入门级座舱解决方案、主流座舱解决方案和旗舰版座舱解决方案。

- ✓ **入门级座舱解决方案:** 基于 X9E/X9M 芯片, 芯驰科技的参考设计采用硬隔离的方案, 在单芯片上运行 FreeRTOS/QNX/Android 双操作系统, 实现了全虚拟仪表和中控显示的整合。
- ✓ **主流座舱解决方案:** 基于 X9H/X9HP 芯片, 芯驰科技的参考设计针对用户常见的车载应用场景, 在 360°环视系统、语音唤醒等典型工作场景, 利用芯驰内置的硬件加速单元实现快速启动、快速唤醒等功能。同时通过 Slim AI Engine 对轻量级的 AI 运算进行优化, 支持安卓系统的 AI 加速, 可支持人脸识别及手势互动等应用。
- ✓ **旗舰级智能座舱解决方案:** 基于 X9U、X9SP 等芯片, 提供支持高达 6-10 个屏幕的全功能座舱解决方案。通过硬件虚拟化支持技术, 可以在单个处理器上运行多个操作系统, 同时通过硬件安全管理模块共享访问 CPU/GPU 等多种外设, 实现高效、安全的系统管理。



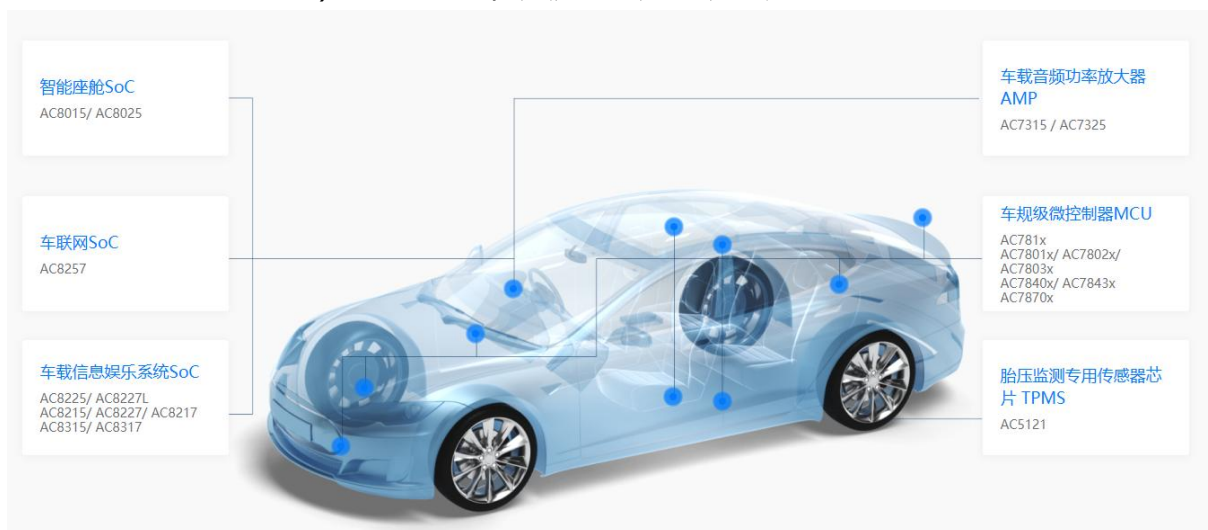
旗舰级座舱解决方案 (图片来源: 企业官网)

5.2.4 杰发科技

1) 公司介绍

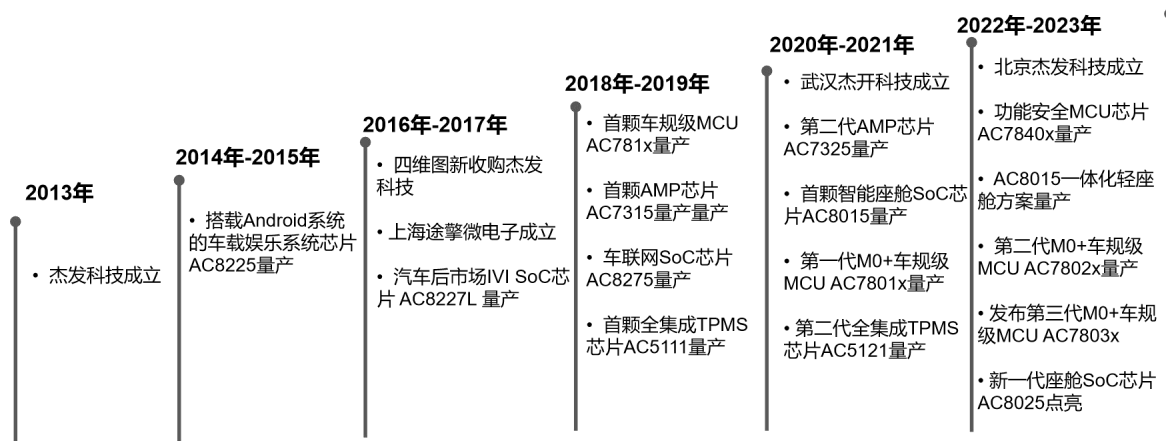
杰发科技 (AutoChips) 成立于 2013 年, 专注于汽车电子芯片及相关系统的研发与设计。2017 年 3 月, 杰发科技被四维图新收购, 并成为其全资子公司, 主要负责四维图新汽车智能化战略布局中的“智芯”板块业务, 为整体业务架构提供底层硬件支持。目前, 杰发科技在合肥、深圳、上海、武汉、北京和荷兰设立有研发及市场销售中心。

杰发科技自主研发的芯片主要涵盖智能座舱 SoC、车联网 SoC、车载信息娱乐系统 SoC、车规级微控制器 MCU、胎压监测专用传感器芯片 TPMS、车载音频功率放大器 AMP 等, 并且四大产品线 (SoC/MCU/AMP/TPMS) 全部通过车规级认证并成功量产。



通过车规认证的 4 大产品线: SoC、MCU、AMP、TPMS (图片来源: 企业官网)

公司发展历程:



杰发科技发展历程 (信息来源: 企业官网)

2) 产品布局

在智能座舱领域，杰发科技的芯片产品主要包括：AC8015 系列和 AC8025 系列。

AC8015 芯片已经在 2021 年开始量产应用，搭载车型多达几十款。截止到目前，AC8015 芯片出货量已经突破百万颗。并且，该芯片支持 1080P 双高清异显，最大支持 1920×1200@60Hz 显示分辨率，具有车载以太网、PCIe、USB3.1 等多种高速通讯接口，符合 AEC-Q100 车规认证。

AC8025 采用 16nm 工艺制程，将高度复用 AC8015 的软件架构，自带 SDK API 并向前完全兼容。AC8025 内置 NPU，可提供 AI 应用解决方案，基于智能座舱域可扩展融合面部识别 (Face ID)、驾驶员监测系统 (DMS)、乘客监测系统 (OMS)、姿态和手势识别等应用。目前，AC8025E 和 AC8025H 芯片即将进入量产阶段。

芯片		AC8015系列			AC8025系列	
		AC8015 I	AC8015 H	AC8015 M	AC8025E	AC8025H
时间		2021年3月量产			预计2024年量产	
工艺制程		——			16nm	
处理器	CPU	最高：4*A53+2*R5F 17KDMIPS			6*A55+2*R5F 30KDMIPS	2*A76+6*A55 60K+DMIPS
	GPU	最高：2*ARM Mail T820 MP2 30GFlops			3D GPU 60+GFlops	3D GPU 120+GFlops
适用场景		入门级智能座舱： 支持隔离方案	全功能中控IVI产品： 支持导航、娱乐、AVM、手机互联等车展应用	DA方案：支持蓝牙、WIFI、手机互联 虚拟仪表方案：支持 KANZI/QT/QD Plus/ CGI HMI工具	中阶智能座舱：3D液晶仪表+IV中控+360环视	中高阶智能座舱：3D液晶仪表+IV中控+360环视+空调屏+附加屏

杰发科技座舱 SoC 芯片基础信息梳理（信息来源：企业官网及其它公开材料整理）

5.2.5 芯擎科技

1) 公司介绍

芯擎科技成立于 2018 年，专注于高性能车规级芯片及解决方案的研发和提供。目前，芯擎科技在武汉、北京、上海、深圳、沈阳和重庆设有研发和销售分支机构，以“让每个人都能享受驾驶的乐趣”为发展使命，致力于成为世界领先的汽车电子芯片整体方案提供商。

2) 产品布局

- **智能座舱：**2021 年 12 月，芯擎科技发布了其首颗 7nm 智能座舱芯片“龙鹰一号”，并于 2023 年 3 月 30 日宣布正式量产。2023 年 9 月，领克 08 正式上市，为龙鹰一号首款落地车型，其智能座舱全系标配 2 颗龙鹰一号芯片。目前，座舱 SoC 芯片“龙鹰一号”已量产应用在领克 06、领克 07、领克 08 和睿蓝 7。截止 2023 年年底，该芯片的出货量已突破 20 万片。
- **智能驾驶：**2024 年 3 月，芯擎科技发布了其智驾 SoC 芯片——AD1000。AD1000 采用 7nm 工艺制程，符合 AEC-Q100 标准，CPU 算力达 250+ KDMIPS，NPU 稠密算力高达 256 TOPS，通过多芯片协同可实现最高 1024 TOPS 算力。另外，AD1000 集成高性能 VPA 与 ISP，内置 ASIL-D 功能安全岛，拥有丰富接口，可全面满足 L2 至 L4 级智能驾驶需求。据了解，芯擎科技的高阶智驾芯片-AD1000 将在 2024 年内向市场交付。

芯片	发布时间	工艺制程	CPU	GPU	NPU	量产车型
龙鹰一号	202112	7nm	4*A76+4*A55 100KDMIPS	900GFLOPS	8	领克 06/07/08 ， 睿蓝 7
AD1000	202403	7nm	250+KDMIPS	——	256TOPS (稠密算力)	——

芯擎科技车载 SoC 芯片基础信息梳理（信息来源：企业官网及其它公开材料整理）

5.2.6 爱芯元智

1) 公司介绍

爱芯元智半导体有限公司成立于 2019 年 5 月，公司专注于高性能、低功耗的边缘侧、端侧人工智能处理器芯片开发，已在行业大规模出货。

爱芯元速是爱芯元智车载品牌，2023 年 6 月正式对外宣布入局车载行业，定位于 Tier2，目前已实现规模化上车量产。两大自研核心技术——爱芯智眸 AI-ISP 和爱芯通元混合精度 NPU，为车载前视一体机、行泊一体域控制器、CMS、DMS/OMS 等提供全系列智能驾驶参考解决方案，同时拥有高效易用的工具链、丰富的软件开发平台、满足客户多样化的需求。

爱芯元智自研两大核心 IP——爱芯智眸 AI-ISP 和爱芯通元混合精度 NPU。其中，爱芯智眸 AI-ISP 利用像素级的 AI 处理技术，能够在各种复杂应用场景中，全面提升成像效果，为后期智能处理提供高质量的图像、视频素材。爱芯通元混合精度 NPU 采用多线程异构多核设计，实现了算子、网络微结构、数据流和内存访问优化，高效支持混合精度算法设计，支持 Transformer 网络结构，为大模型在边缘侧、端侧的应用提供了良好的基础。

2) 产品布局

在车载领域，爱芯元智根据客户需求，制定了完善的产品路线图，覆盖高中低端市场，以满足客户不同场景的产品需求。

其中，首款车规级芯片 M55H 已前装量产上车，主要适用于前视一体机 ADAS 方案以及 CMS/DMS；第二款 M76H 芯片，2023 年初已回片，已经通过车规认证，计划在 2024 年实现规模化量产应用。该芯片能够支持 BEV+Transformer，适用于单芯片全时行泊一体方案，且支持实现高速 NOA 功能。

芯片	工艺制程	CPU	NPU	ISP	适用方案	量产情况
M55H	12nm	Quad A7 @1.0GHz; 7.6 KDMIPS	第二代爱芯通 元 NPU; 8TOPS	AI-HDR, AI-3DNR, AI-RLTM	CMS/DMS 前视一体机	零跑 C01/ 零跑 C11
M76H	12nm	Octa A55@1.6GHz; 35KDMIPS	第三代爱芯通 元 NPU; 60TOPS	4x8MP@30fps; AI-HDR/3DNR/RL TM; 动态补偿	单芯片全时行泊一 体&高速 NOA	通过车规认 证

爱芯元智智驾 SoC 芯片基础信息梳理（数据来源：企业官网）

5.2.7 联发科

1) 公司介绍

联发科技股份有限公司成立于 1997 年 5 月，总部设于台湾省新竹，于 2001 年 7 月在台湾证券交易所挂牌上市，是全球前十的半导体设计公司。公司的主要业务是为移动终端、智能家居、无线连接技术、汽车电子等多个领域提供系统芯片整合解决方案。

2016 年,联发科开始研发车载芯片,并于 2018 年，推出了针对智能座舱的 MT2712 芯片。2023 年 4 月，联发科发布了全新汽车解决方案 Dimensity Auto 天玑汽车平台，包括 Dimensity Auto 座舱平台、Dimensity Auto 联接平台、Dimensity Auto 驾驶平台和 Dimensity Auto 关键组件四个部分。

2) 产品布局

在智能座舱领域，2018 年，联发科推出智能座舱 SoC 芯片 MT2712，对标高通 820A 芯片。2019 年，联发科发布智能座舱 SoC 芯片 MT8666，对标高通 SA8155P 芯片，支持以 VOS 虚拟机的形式实现仪表、中控和副驾的三屏显示，并且拥有 3 路 4 Lane MIPI CSI，即最大支持 12 颗 100 万像素摄像头输入。

2022 年，联发科推出智能座舱 SoC 芯片 8675，对标高通 SA8295 芯片，最多可支持 6 屏异显和 4 触摸屏操作。并且，内置 4G/5G 通信模组，可直接在单芯片上实现 T-Box 功能。据相关业内人士透露，目前联发科正在主推 MT8666 和 MT8675 这两款座舱 SoC 芯片。

芯片	推出时间	工艺制程	CPU		GPU		搭载车型
			架构	算力	架构	算力	
MT2712	2018	28nm	2*ARM Cortex-A72+4*ARM Cortex-A35	23KMIPS	ARM Mali-T880 MP	133 GFLOPS	大众、现代、奥迪等
MT8666	2019	12nm	4*Cortex-A73+4*Cortex-A53	56.8KMIPS	3*Mail- G72	113 GFLOPS	宝骏云朵、长安逸达、吉利星越S等
MT8675	2022	7nm	4*ARM Cortex-A76+4*ARM Cortex-A55	——	——	——	,哪吒AYA

联发科座舱 SoC 芯片基础信息梳理（信息来源：公开资料）

免责声明

1. 免责声明

- ◆ 本报告中的信息主要来源于公开资料整理和调研访谈，焉知汽车对这些信息的准确性和完整性不作任何保证。如有重大失误、失实，敬请读者批评指正。
- ◆ 本报告遵循合规、客观、专业、审慎的制作原则，报告中的内容、观点及预测仅反映焉知汽车于发布本报告当日的判断，不保证所包含的内容和意见不发生变化。
- ◆ 本报告涉及部分图表、数据或其它内容来源于互联网或公开资料，版权归属原作者、原出处所有。如果您发现报告上有侵犯您的知识产权的作品，请与我们联系，我们会及时处理。任何涉及商业盈利目的均不得使用，否则产生的一切后果将由您自己承担。
- ◆ 本报告中的信息或所表述的意见仅供参考，并不构成对所述企业及行业的投资决策和合作依据。在任何情况下，本报告中的信息或所表述的意见均不构成对任何企业、机构和个人的建议。本公司不对任何人因使用本报告中的任何内容所致的任何损失负任何责任。
- ◆ 本报告中所涉及的公司名称、产品名称、技术名称等有可能是商标或者注册商标的，仅作标识解释之用。

2. 特别说明

- ◆ 对【免责声明】的解释权、修改权及更新权均归焉知汽车所有。

特别鸣谢

- 在报告撰写过程中，为了了解车载 SoC 行业现状及未来应用趋势，进行了大量的行业专家访谈。在此感谢参与调研访谈的企业和行业专家们对本报告给予的支持和关注，为报告撰写输出了宝贵的专业观点与建议。

在此特别感谢：

- 安霸半导体
- 爱芯元智
- 地平线
- 黑芝麻
- 后摩智能
- 辉羲智能
- 芯驰科技
- 芯擎科技
- 奕行智能

注：以上按照参与调研企业拼音首字母进行排序