

2ASK调制信号FPGA产生与分析

1.实验目的

- 1、掌握 2ASK 调制的原理及实现方法。
- 2、掌握通过 FPGA 实现 2ASK 调制的方法。
- 3、掌握通过 Modelsim 仿真波形及示波器实测波形的方法。

2.实验仪器

- 1、PC 一台
- 2、Quartus II 11.0
- 3、双踪示波器
- 4、XSRP 软件无线电平台
- 5、FPGA 下载器 1 个

3.实验原理

1. 2ASK 是用基带信号“0”和“1”与载波相乘得到的信号，其公式的表达式如下：

$$e_{2ASK}(t) = s(t)\cos\omega_c t$$

其中 $s(t)$ 的取值只能取0或1，而产生这样的信号可以用相乘法或键控法来实现。

相乘法是将载波和基带信号相乘来得到 2ASK 调制信号。

键控法是利用一个开关，基带信号控制开关来得到 2ASK 调制信号。

2. FPGA 模块设计

首先使用一个分频模块得到想要的频率 ==> 在设计载波产生模块，包含一个 ROM 和一个计数器，其中 ROM 中存储着一个载波周期的样点值，计数器调控一个载波周期包含的样点数，得到载波。 ==> 之后得到基带信号，采用 m 序列，这个序列可以得到除全零以外的所有序列。 ==> 之后两者通过键控开关得到所需的序列 ==> 最后通过DAC完成2ASK调制 波形的输出。

4.实验步骤

1、功能验证

1.1 硬件环境准备

1.1.1 将 XSRP 软件无线电创新平台连接电源线、USB 转串口线或方口 USB 线（在机箱的背部）和网线（确保连接的电脑是千兆网卡）。

1.1.2 将 USB-Blaster 下载器一端接电脑，另一端接平台后板的“JTAG1”端口。

1.1.3 如果配备了示波器，则软件无线电平台的三根 BNC 线对应连接到示波器的 CH1、CH2 和 EXT（请注意一一对应）。

1.2 软件环境准备

1.2.1 安装好 quartus 以及 USB Blaster 驱动

1.3 打开“FPGA 实验资料”中的“实验程序”文件夹下学生下载的 sof 文件，将其中的 ask.sof 文件夹拷贝到自己新建的文件夹中。（FPGA 下载操作参考附件“FPGA 基本开发流程”第六章“程序下载方法”）

1.4 开启 XSRP 硬件平台和示波器，下载该 sof 文件到硬件中。

1.5 下载完成后，按下示波器的“Autoset”按钮，观察 CH1（ASK 已调信号）和 EXT（M 序列）的波形并记录。

2、ASK 调制功能设计

2.1 将“FPGA 实验资料”中的“实验程序”文件夹下“ASK_kf”文件复制到 1.3 步中自己新建的文件夹中，在 Quartus II 中打开该工程，点击顶层文件“twoask”，出现图 1-16 所示学生实验框架，学生在该框架下完成后续设计步骤。

2.1 完成分频模块设计

2.1.1 按原理 2.1 节设计分频器 a（4 分频、6 分频、10 分频等）将系统时钟 sys_clk 分频，作为载波产生模块的时钟，则载波频率为 $\text{sys_clk}/(\text{分频值 } a \times \text{一个载波周期的存储点数 } n)(\text{Hz})$ 。（ $\text{sys_clk}=26\text{MHz}$ ）

2.1.2 按原理 2.1 节设计分频器 b（分频值应设置为上步中 an 的整数倍）将系统时钟分频，作为 m 序列产生模块的时钟，则基带码元速率为 $\text{sys_clk}/b(\text{bit/s})$ 。

2.1.3 设计 textbench 文件，在 modelsim 验证分频模块的功能，记录分频模块的输入输出波形。

（textbench 文件设计及 modelsim 仿真方法参考附件“FPGA 基本开发流程”第五章“modelsim 仿真”）

2.2 完成载波产生模块设计

2.2.1 将一个载波周期用 8 个样点均匀抽样（要取不同样点数，将下步中计数器改为相应进制计数器即可），将抽样值存储在 ROM 中。

2.2.2 设计 8 进制计数器，将计数器的输出作为上步中 ROM 的读地址，将步骤 2.1 中分频器 a 的输出时钟作为计数器的计数时钟，计数器计数使 ROM 循环输出载波周期。

2.2.3 设计 textbench 文件，在 modelsim 验证载波产生模块的功能，记录载波产生模块的输入输出波形。

2.3 完成 m 序列产生模的设计

2.3.1 按原理 2.3 节设计 m 序列产生模块，要求产生不同长度的 m 序列。

2.3.2 设计 textbench 文件，在 modelsim 验证 m 序列产生模块的功能，记录 m 序列产生模块的输入输出波形。

2.4 完成键控开关模块设计

2.4.1 编写 verilog 代码实现键控开关的功能。

2.5 将上述模块按图 1-3 连接构成 2ASK 调制系统，设计 textbench 文件在 modelsim 仿真实现 2ASK 调制，观测记录各模块输出波形。

2.7 下载程序，用示波器观测 2ASK 信号与基带码元时域波形，分析 2ASK 信号的频谱并记录。

m 序列

m 序列是一种伪随机序列，目的是来产生随机的 0-1 序列(不包含全 0 序列)，是通过移位寄存器来移除最后一位，之后通过

异或运算填充一位寄存器。其 Verilog 代码如下：

```
module m_seq_gen(
    clk,
    rst_n,
    out
);

parameter N = 8;
parameter INIT = 8'b1111_1111; // 不能为0，为0就产生全0序列。

input clk;
input rst_n;
output out;

//
reg [N-1:0] q;

// out
assign out = q[N-1];

// shift
always @(posedge clk or negedge rst_n)
begin
    if(!rst_n)
        q <= INIT;
    else
        begin
            //Fibonacci LFSR
            q[N-1:1] <= q[N-2:0]; // 在这里产生位移。
            q[0] <= q[1] ^ q[2] ^ q[3] ^ q[7]; //空出的位置由这个得到值，不断循环产生伪随机序列。

        end
    end
endmodule
```