

逻辑分析仪使用总结

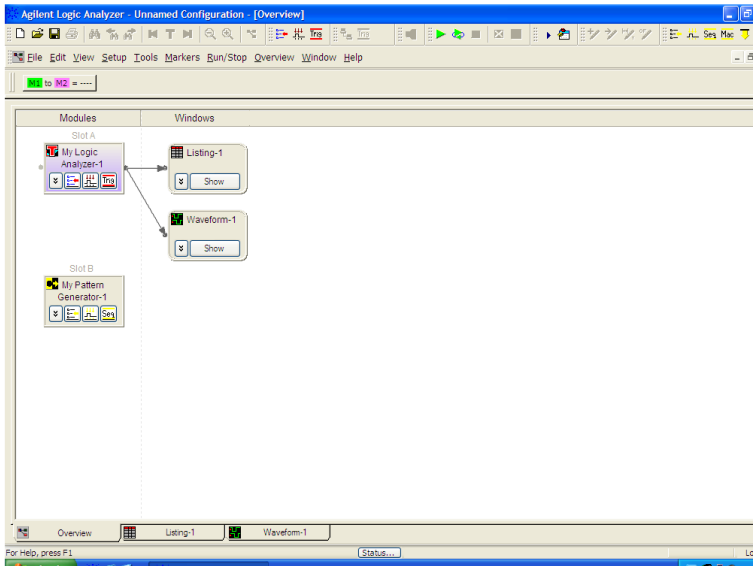
李帅


2018 年 2 月 13 日

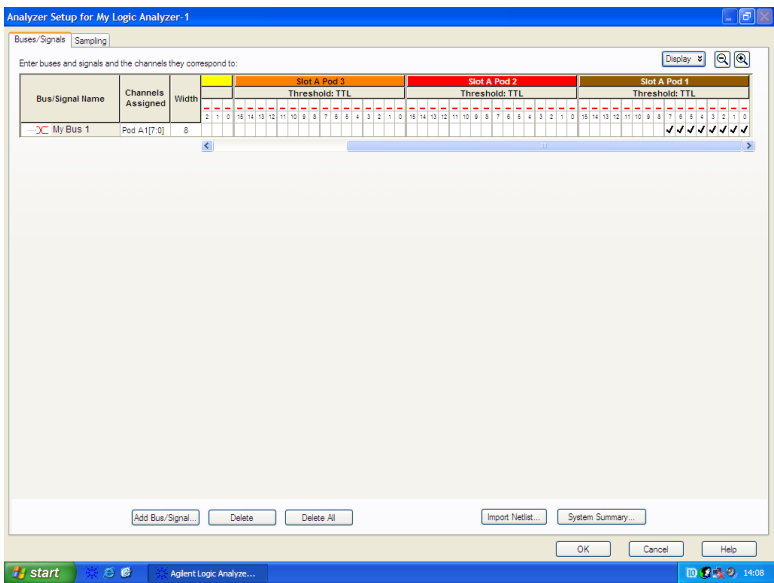
1 Logic Analyzer

1.1 基本设置

在桌面上找到逻辑分析仪软件图标，双击打开后主界面如图。



在采样 ADC 数字码之前需要先设置各位数字码对应的数据通道，单击 打开设置界面如图



在设置界面由两个选项卡，第一个选项卡设置每一位数字码对应的数据通道。如图所示，第一列为总线/信号名称，右击通道名可添加或删除总线/信号。第二列是每个通道的标号，图中“POD A1[7:0]”即对应图中“Slot A Pod 1”中有 \checkmark 的通道，单击相应通道可以选择或取消相应通道，根据实际情况选择通道。一个设置示例如下图：其中数字

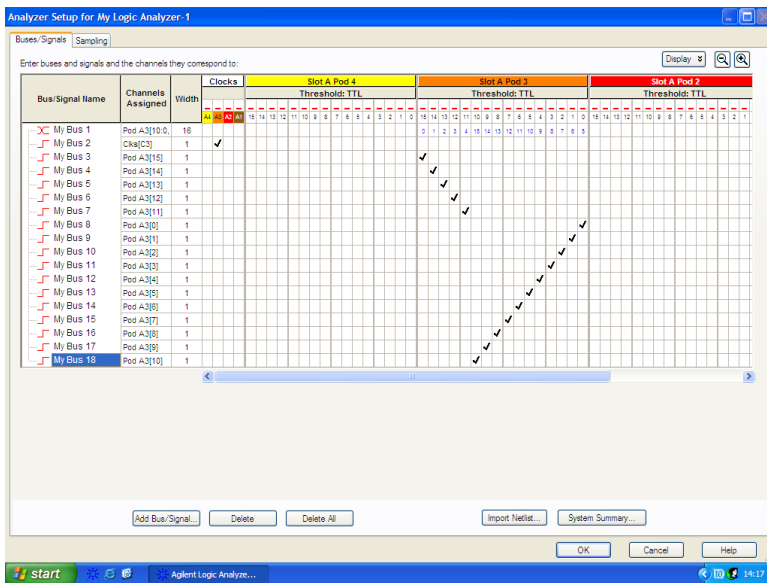
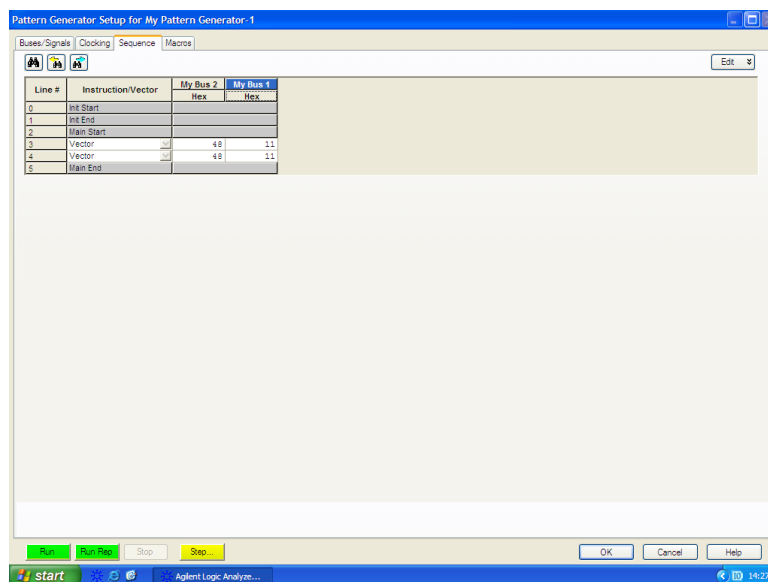


图 1: this is a demo

序号与 \checkmark 一样也是选中通道，只是同时也为通道排序，对于 ADC 的测试来说，每一位对应的权重是不同的，因而此处应该用这种方式选择通道，0 代表最高位，其他位按序号权重递减，由于后面采样到数据后还需要用 Matlab 处理，为了符合处理程序读取数据的格式，此处为每一位数据均分配了一个信号位，每个信号对应的通道用 \checkmark 选中，对于信号位来说只有一位，因而选择一位通道即可。以上的设置中一定要注意通道排序与实际 ADC 输出位序的对应关系。逻辑分析仪可以观察采样数据的二进制权重相加后的波形图，第一行设置为总线信号即是为了观察波形图，另外还要注意的，如果要观察输出时钟信号，则可以添加一个信号位并分配相应的时钟通道。这里要注意时钟通道与数据通道的对应关系。图示里由于使用 POD 3 采样信号及时钟，因而时钟选择 A3，数据位均为 POD 3 上的通道位。

下面选择 sampling 选项卡设置采样选项。



Acquisition 里面可以选择同步采样和异步采样，Timing 是异步采样，State 是同步采样。如果要观看输出时钟应选择异步采样，否则一般选择同步采样，另外对于芯片没有输出时钟则必须选择异步采样。对于同步采样应在最下面的方框内选择时钟及触发沿。对于异步采样，应在 Timing Options 里面选择逻辑分析仪采样输出信号的频率。Acquisition Depth 是采样数据的长度。