**中山大学数据科学与计算机学院本科生实验报告**

**（2019学年秋季学期）**

课程名称：**计算机组成原理实验**  任课教师： 郭雪梅 助教：丁文、汪庭葳

|  |  |  |  |
| --- | --- | --- | --- |
| 年级&班级 | **2019级04班** | 专业(方向) | **计算机科学与技术（超算方向）** |
| 学号 | **19335112** | 姓名 | **李钰** |
| 电话 | **19847352856** | Email | **1643589912@qq.com** |
| 开始日期 | **2020. 9.18** | 完成日期 | **2020.9.23** |

1. **实验题目**

基于vivado设计8位的加减法器

1. **实验目的**

1.进一步学习了解Verilog HDL 的设计方法；

2.通过设计加减法器，加深理解补码表示解决加减电路一体化的设计原理

**三、实验内容**

**实现8位带进位、溢出、判零功能的加减法运算。**

1. 实验步骤

设计文件 仿真 添加约束文件 烧到板上实物模拟

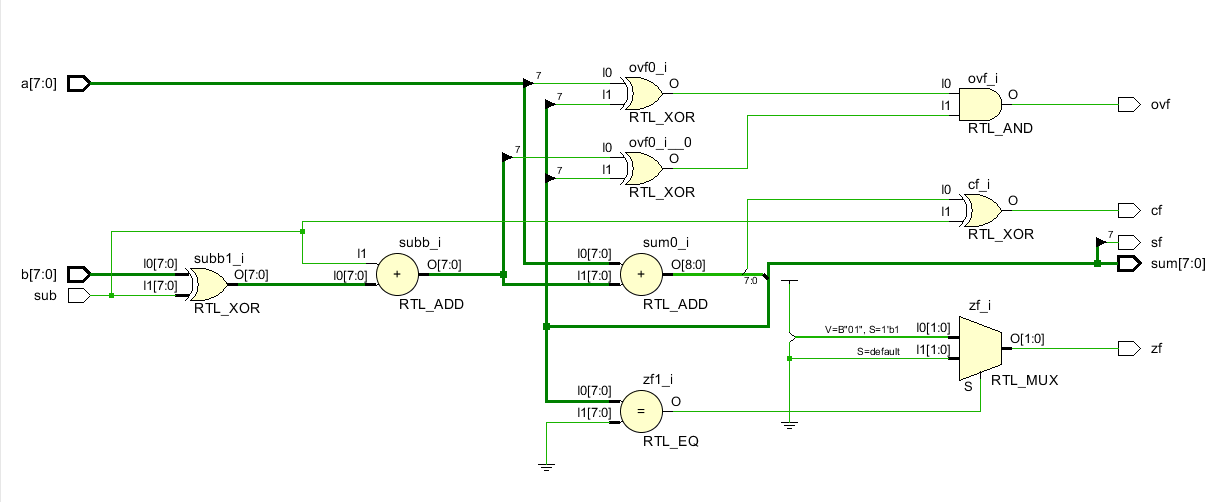
**2.** 实验原理

①基本原理遵循二进制数加减法原理，做减法运算时，采用加上减数补码的方式，转换计算方式，从而更高效简洁。

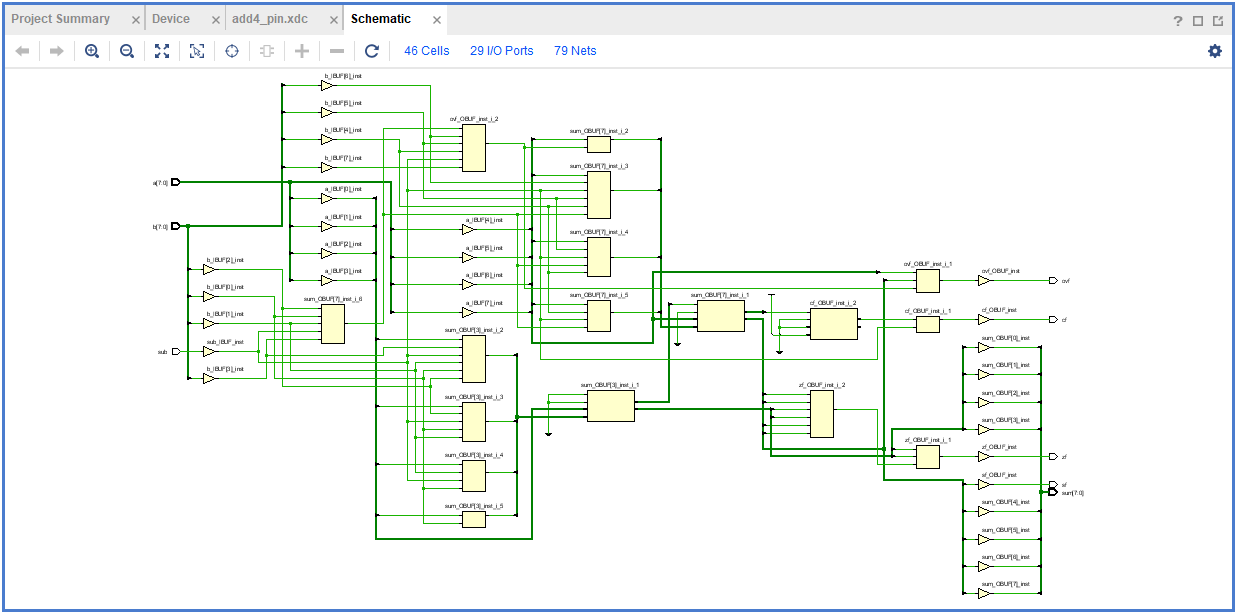
②进行运算时，可能遇到有进位、溢出等情况，这时另设标志位来显示

**四、实验结果**

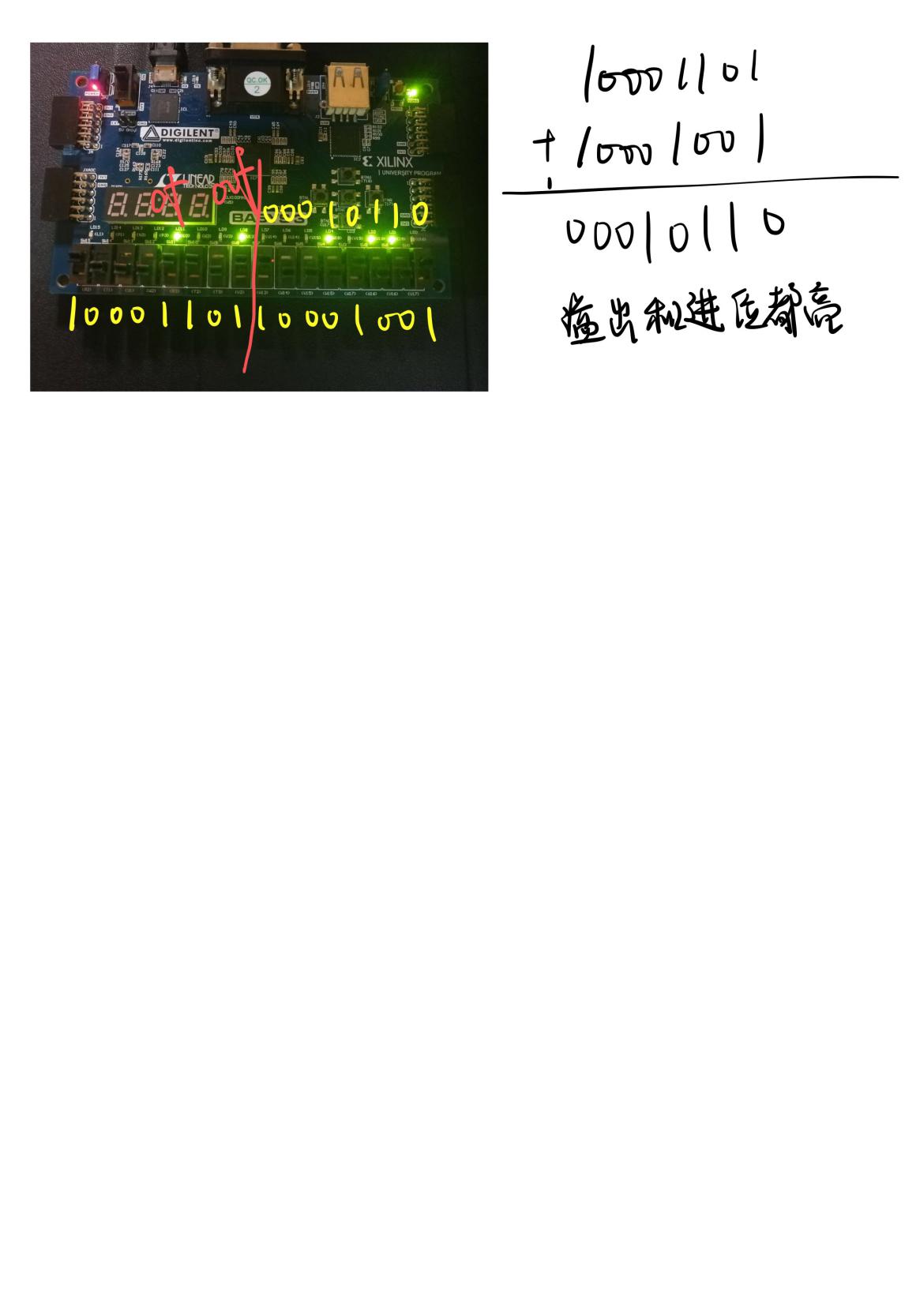
**1.RTL分析生成的原理图**



**2.综合后生成的原理图**



3.实物模拟





1. **实验感想**

**本次实验让我更加熟悉了使用vivado的操作，以及verilog语言。明白了程序源代码、仿真文件以及约束文件之间的相互关系，以及引脚、LED灯与接口之间的对应设计，板上实物模拟成功后成就感蛮大的。**

**附录（流程图，注释过的代码）：**

**设计文件：**

**module addsub**

**#(parameter WIDTH=8) //指定数据宽度参数，缺省值是8**

**(**

**input [(WIDTH-1):0] a, // 缺省位数由参数WIDTH决定**

**input [(WIDTH-1):0] b,**

**input sub, // =1为减法**

**output [(WIDTH-1):0] sum,**

**output cf, // 进位标志**

**output ovf, // 溢出标志**

**output sf, // 符号标志**

**output zf // 为0标志**

**);**

**wire [(WIDTH-1):0] subb,subb1;**

**wire cf2; // 进位**

**assign subb1 = b ^ {WIDTH{sub}}; // 对于减法是取反**

**assign subb = subb1 + sub; // 对于减法是加1，sub=1（减法）sub=0（加法）**

**assign {cf2,sum} = a + subb;**

**assign sf = sum[WIDTH-1];**

**assign zf = ( sum == 0 )?1:0;**

**assign cf = cf2 ^ sub;**

**assign ovf = (a[WIDTH-1]^sum[WIDTH-1])&(subb[WIDTH-1]^sum[WIDTH-1]);**

**//添加代码标志位**

**endmodule**

**仿真文件：**

**module addsub\_sim( );**

**// input**

**reg [7:0] a = 8'h16;**

**reg [7:0] b = 8'h12;**

**reg sub = 0;**

**//output**

**wire [7:0] sum;**

**wire cf;**

**wire ovf;**

**wire sf;**

**wire zf;**

**// initial**

**addsub U (a,b,sub,sum,cf,ovf,sf,zf);**

**initial begin**

**#200 sub = 1;**

**#200 begin a = 8'h7f; b = 8'h2; sub = 0; end**

**#200 begin a = 8'hff; b = 8'h2; sub = 0; end**

**#200 begin a = 8'h16; b = 8'h17; sub = 1; end**

**#200 begin a = 8'hfe; b = 8'hff; sub = 1; end**

**end**

**Endmodule**

**约束文件：**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[7]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[6]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[5]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[4]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[3]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[2]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[1]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {a[0]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[7]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[6]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[5]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[4]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[3]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[2]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[1]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {b[0]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[7]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[6]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[5]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[4]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[3]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[2]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[1]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports {sum[0]}]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports cf]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports ovf]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports sf]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports sub]**

**set\_property IOSTANDARD LVCMOS33 [get\_ports zf]**

**set\_property PACKAGE\_PIN W13 [get\_ports {a[7]}]**

**set\_property PACKAGE\_PIN W14 [get\_ports {a[6]}]**

**set\_property PACKAGE\_PIN V15 [get\_ports {a[5]}]**

**set\_property PACKAGE\_PIN W15 [get\_ports {a[4]}]**

**set\_property PACKAGE\_PIN W17 [get\_ports {a[3]}]**

**set\_property PACKAGE\_PIN W16 [get\_ports {a[2]}]**

**set\_property PACKAGE\_PIN V16 [get\_ports {a[1]}]**

**set\_property PACKAGE\_PIN V17 [get\_ports {a[0]}]**

**set\_property PACKAGE\_PIN R2 [get\_ports {b[7]}]**

**set\_property PACKAGE\_PIN T1 [get\_ports {b[6]}]**

**set\_property PACKAGE\_PIN U1 [get\_ports {b[5]}]**

**set\_property PACKAGE\_PIN W2 [get\_ports {b[4]}]**

**set\_property PACKAGE\_PIN R3 [get\_ports {b[3]}]**

**set\_property PACKAGE\_PIN T2 [get\_ports {b[2]}]**

**set\_property PACKAGE\_PIN T3 [get\_ports {b[1]}]**

**set\_property PACKAGE\_PIN V2 [get\_ports {b[0]}]**

**set\_property PACKAGE\_PIN V14 [get\_ports {sum[7]}]**

**set\_property PACKAGE\_PIN U14 [get\_ports {sum[6]}]**

**set\_property PACKAGE\_PIN U15 [get\_ports {sum[5]}]**

**set\_property PACKAGE\_PIN W18 [get\_ports {sum[4]}]**

**set\_property PACKAGE\_PIN V19 [get\_ports {sum[3]}]**

**set\_property PACKAGE\_PIN U19 [get\_ports {sum[2]}]**

**set\_property PACKAGE\_PIN E19 [get\_ports {sum[1]}]**

**set\_property PACKAGE\_PIN U16 [get\_ports {sum[0]}]**

**set\_property PACKAGE\_PIN V13 [get\_ports ovf]**

**set\_property PACKAGE\_PIN V3 [get\_ports sf]**

**set\_property PACKAGE\_PIN W3 [get\_ports zf]**

**set\_property PACKAGE\_PIN U17 [get\_ports sub]**

**set\_property PACKAGE\_PIN U3 [get\_ports cf]**