**中山大学数据科学与计算机学院本科生实验报告**

**（2019学年秋季学期）**

课程名称：**计算机组成原理实验**  任课教师： 郭雪梅 助教：丁文、汪庭葳

|  |  |  |  |
| --- | --- | --- | --- |
| 年级&班级 | **2019级04班** | 专业(方向) | **计算机科学与技术（超算方向）** |
| 学号 | **19335112** | 姓名 | **李钰** |
| 电话 | **19847352856** | Email | **1643589912@qq.com** |
| 开始日期 | **2020.9.11** | 完成日期 | **2020.9.18** |

**一、实验题目**

**跑马灯模块化设计**

1. **实验目的**
2. **对Verilog HDL的模块化设计做初步了解；**
3. **体会主流设计“自顶向下”设计思想**

**三、实验内容**

**1.实验步骤**

**建立工程 编写子模块代码 编写主模块把3个模块组装起来**

**子模块分别为：分频器、8进制计数器、3-8译码器**

**之后进行仿真综合，最终连到板上观察实验结果**

**2.实验原理**

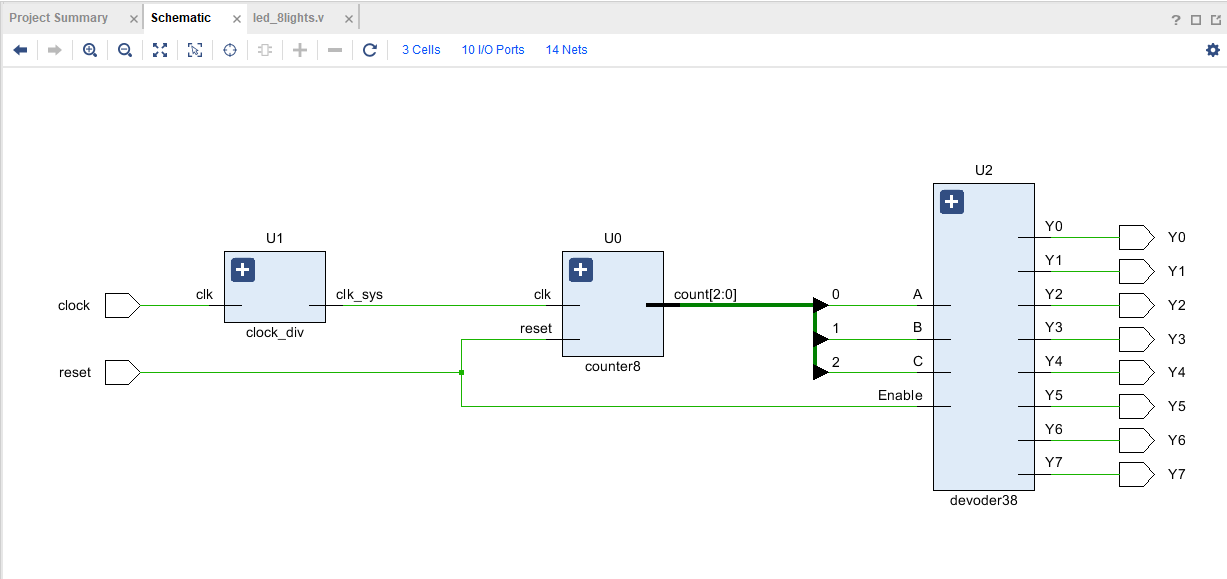
**时钟信号经分频处理后**

1. **实验结果**

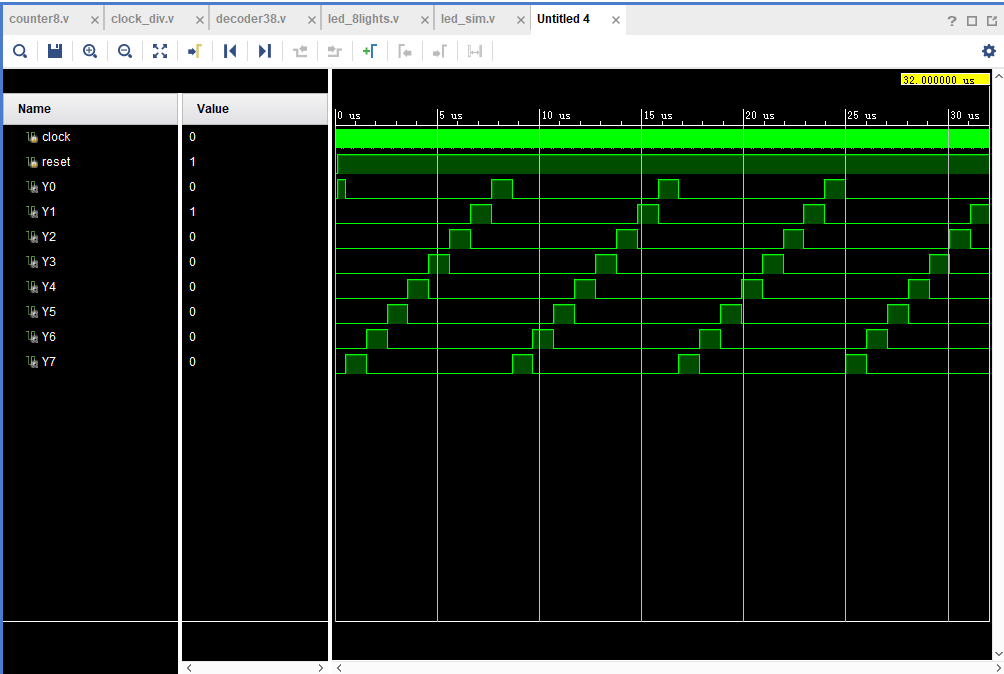
**生成原理图如下：**

**时钟信号经过分频、计数操作后传入译码器输出八种不同的状态**

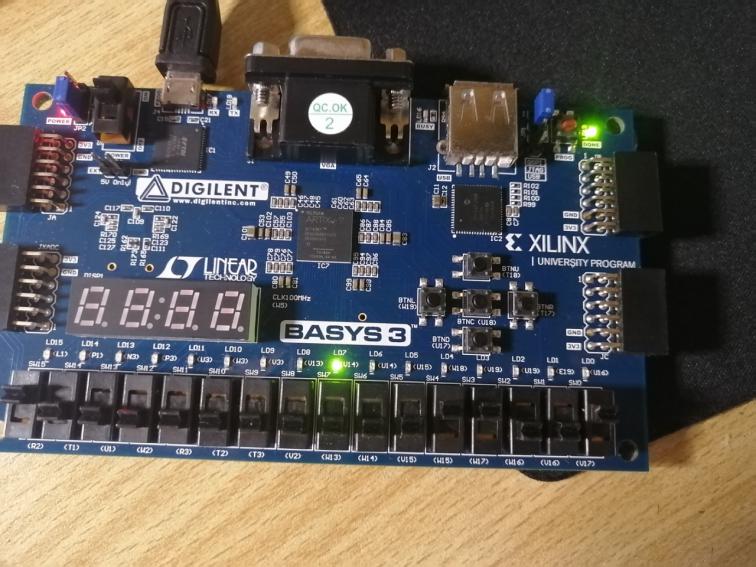
**Reset负责归零重置**

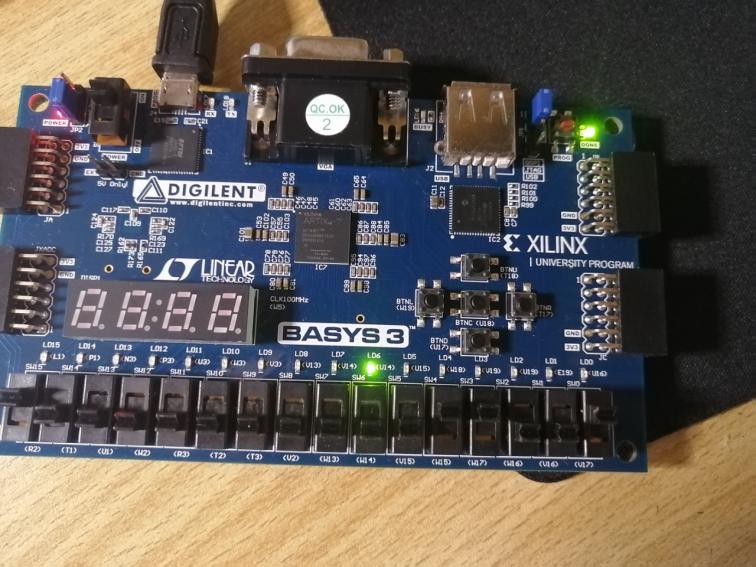


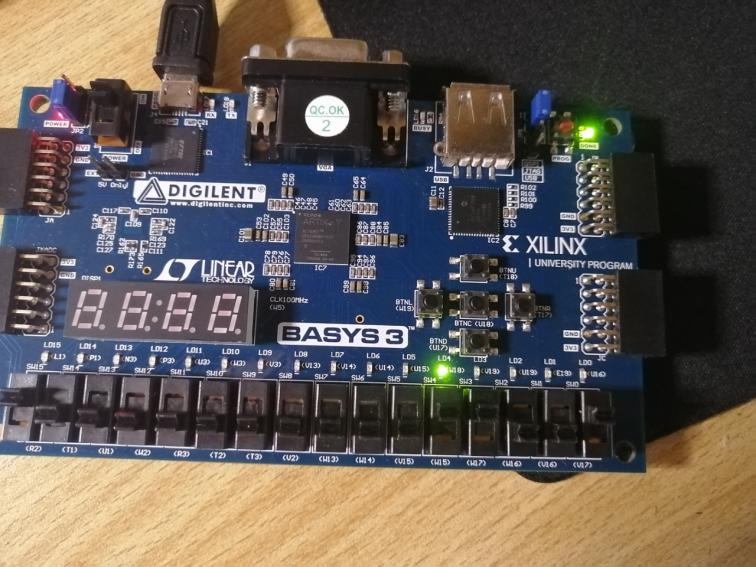
**仿真结果：由图可见，从Y0~Y7八个灯随时钟信号的进行依次亮起**



**烧到板上之后8个指示灯依次亮起(不一一列举了)**







1. **实验感想**

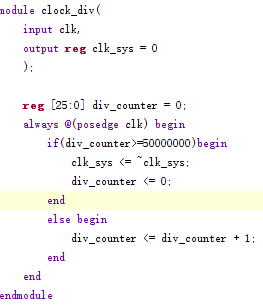
**本次实验使我对verilog语言有了初步了解，并且理解了自顶向下的设计思想，掌握了模块化设计的一些初步要领。**

**附录：**

**代码**

**①时钟信号实现分频操作**

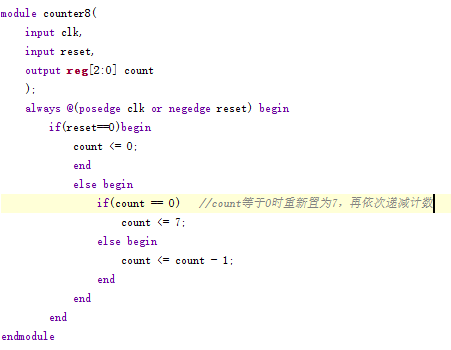
**Basys3 板上提供了一个 100MHz 的时钟，但我们的跑马灯是 1 秒变换一次，因此需要一个分频器， 将 100MHz 降到 1Hz。**



**②计数器**

**这段程序实现了一个 8进制计数器，每次时钟（1HZ）上升沿到来，**

**计数器减 1，减到 0 后重新开始计数。reset 为低电平时复位。**



**③译码处理**

