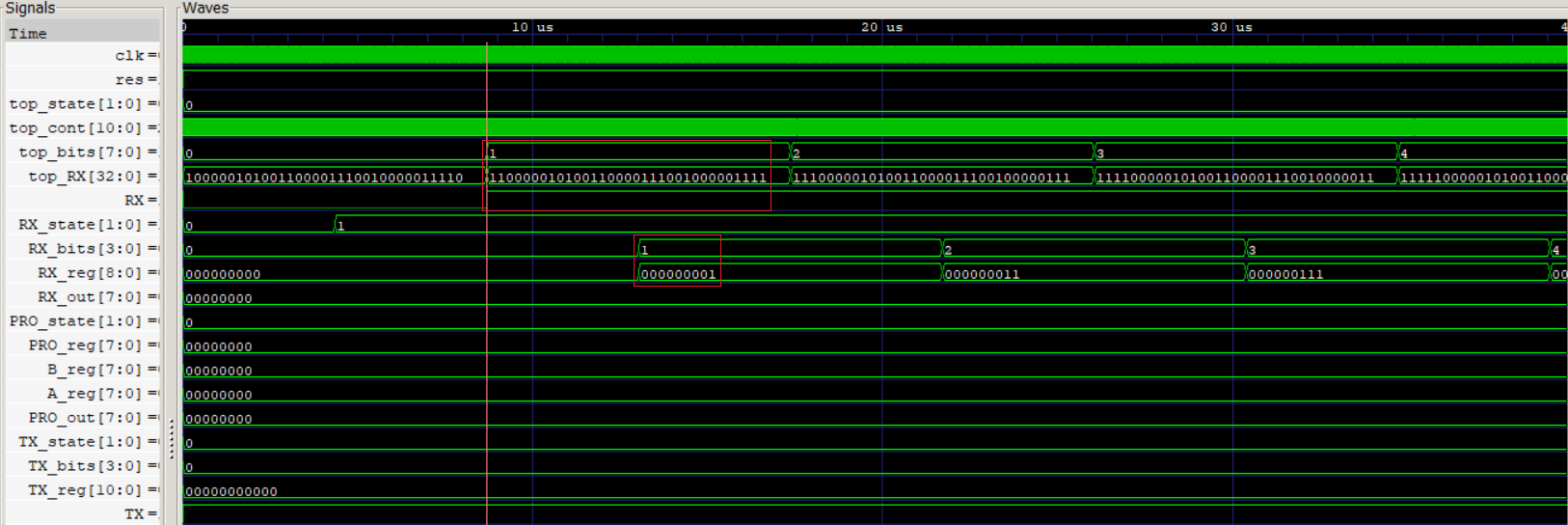
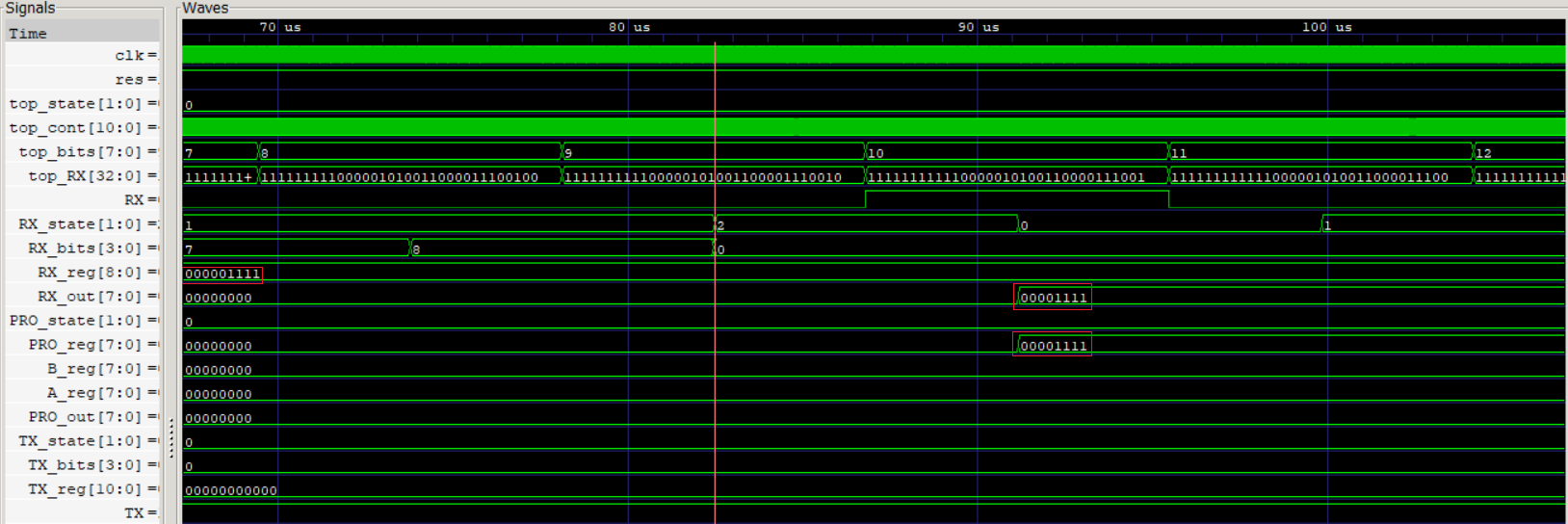


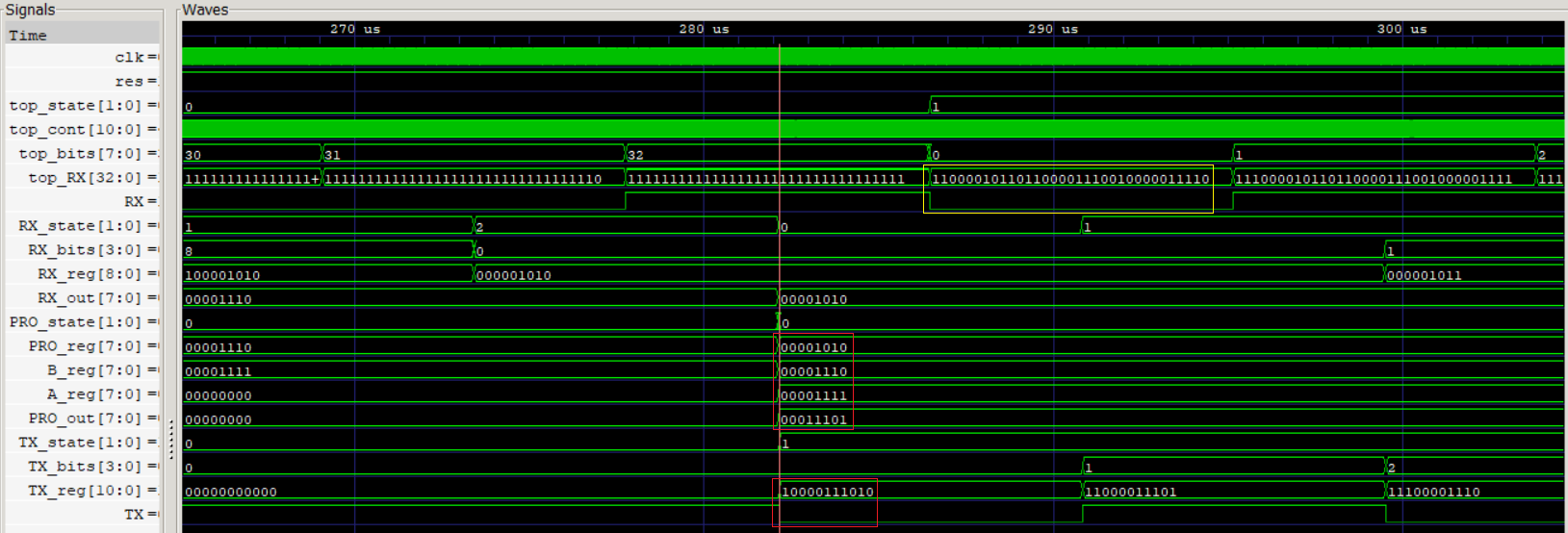
如上图，在复位(res)失效后的第一个时钟的上升沿，时钟周期计数器开始计数，待接收的数据(top\_RX)为{1'b1,1'b0,8'h0a,1'b0,1'b1,1'b1,8'h0e,1'b0,1'b1,1'b0,8'h0f,1'b0}，待执行的操作(8'h0a)为ADD。



如上图，当top模块的位数计数器(top\_bits)为1时，待接收的数据(top\_RX)向右移动一位，同时输入数据(RX)变为1。在top\_bits为1的中间时刻，RX存入数据接收寄存器(RX\_reg)的第0位。此后随着top\_RX向右移位，RX依次存入RX\_reg的相应位置。

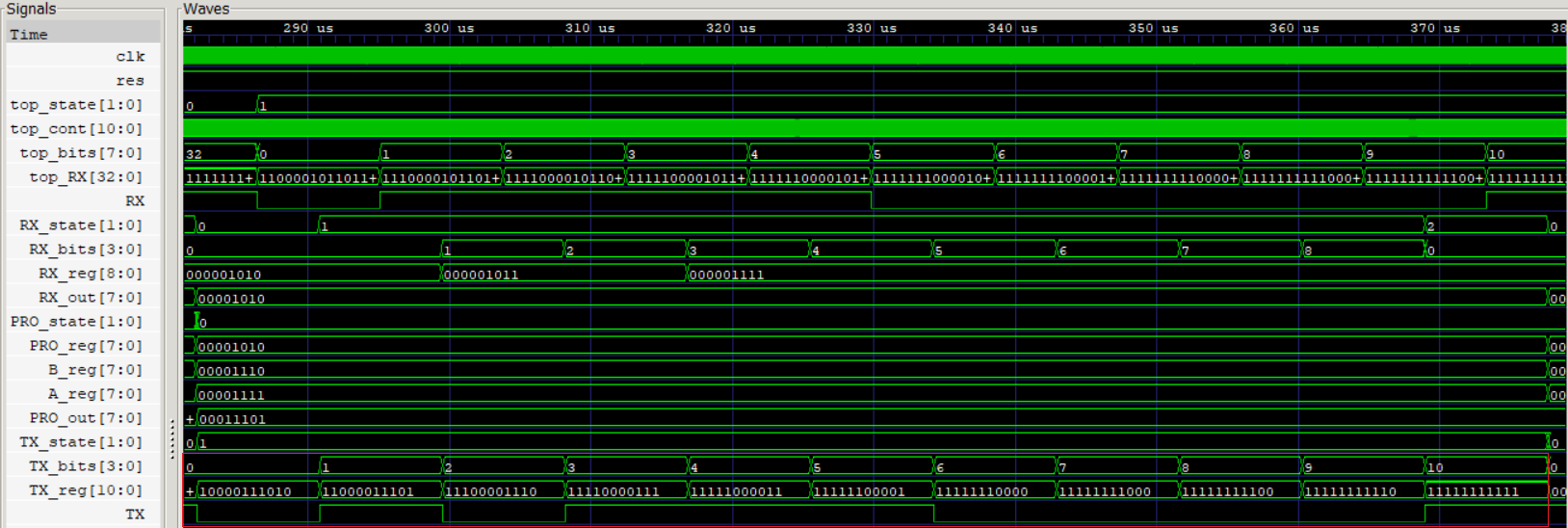
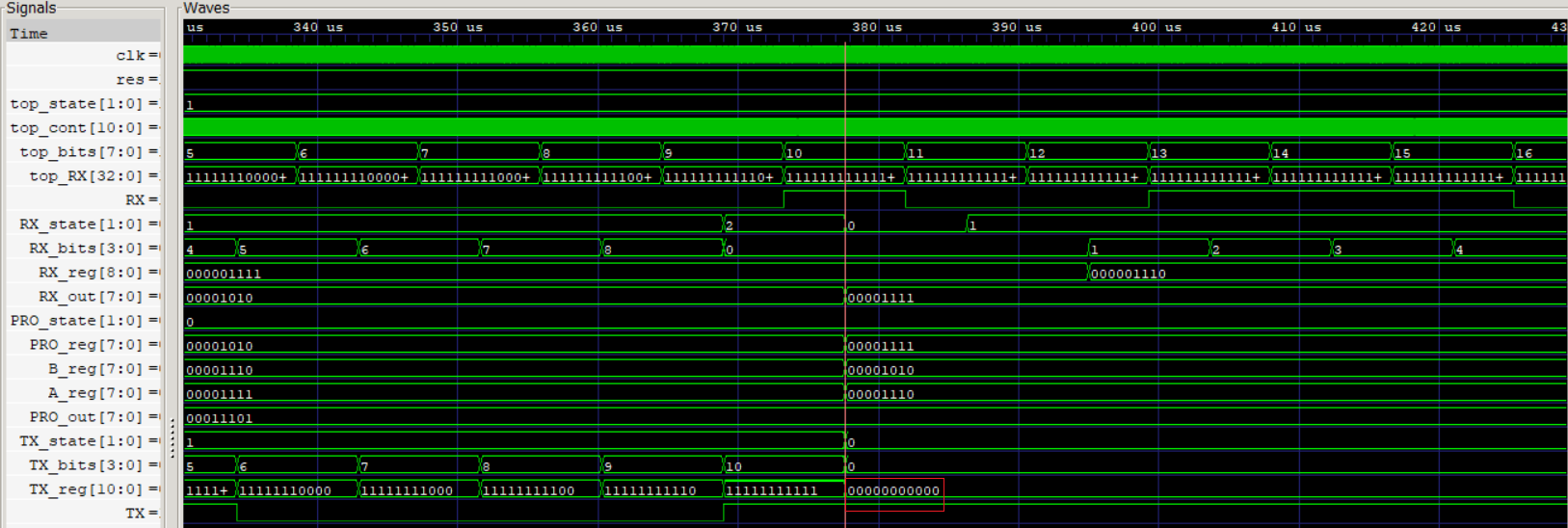


如上图，当RX接收状态(RX\_state=1)结束时，8'h0f已经存入到数据接收寄存器(RX\_reg)中，并在发送状态(RX\_state=2)结束时将数据加载到发送端口(RX\_out)，处理器(PROer)的指令寄存器(PRO\_reg)存入了该数据。

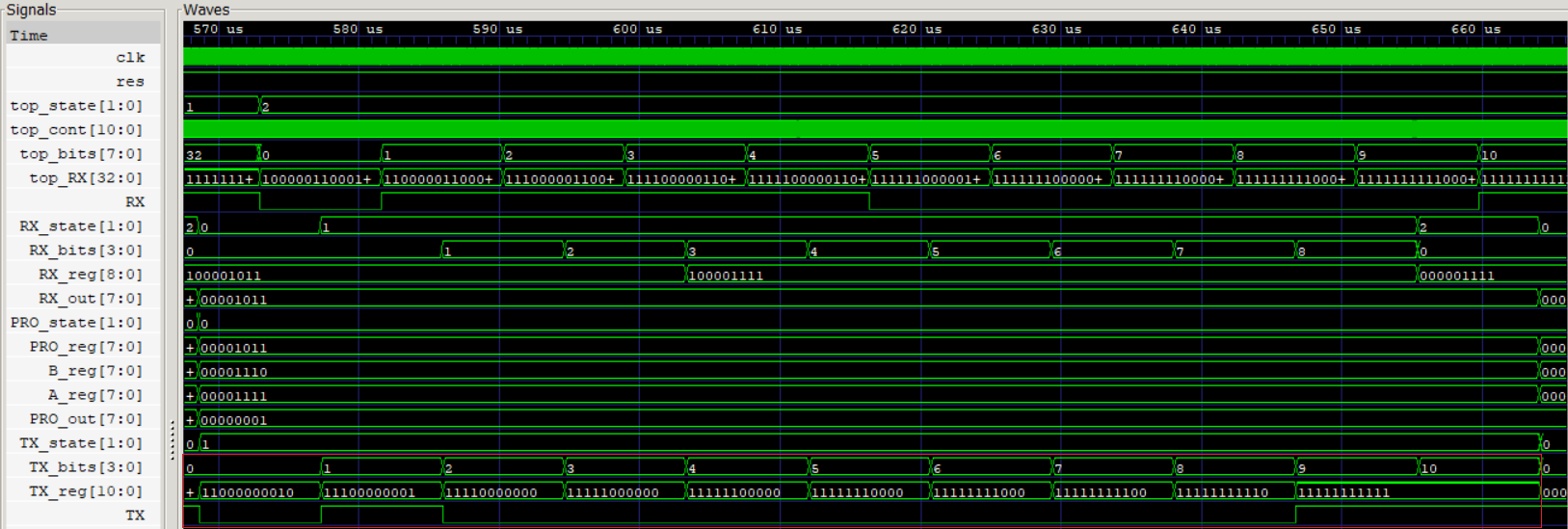
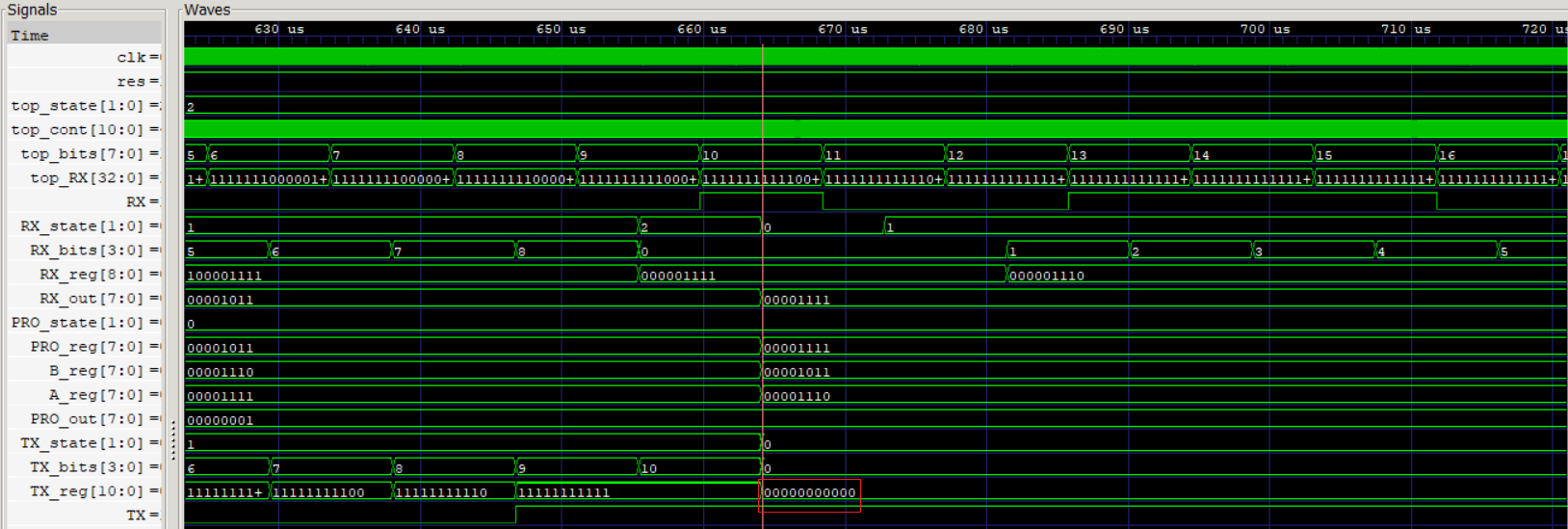
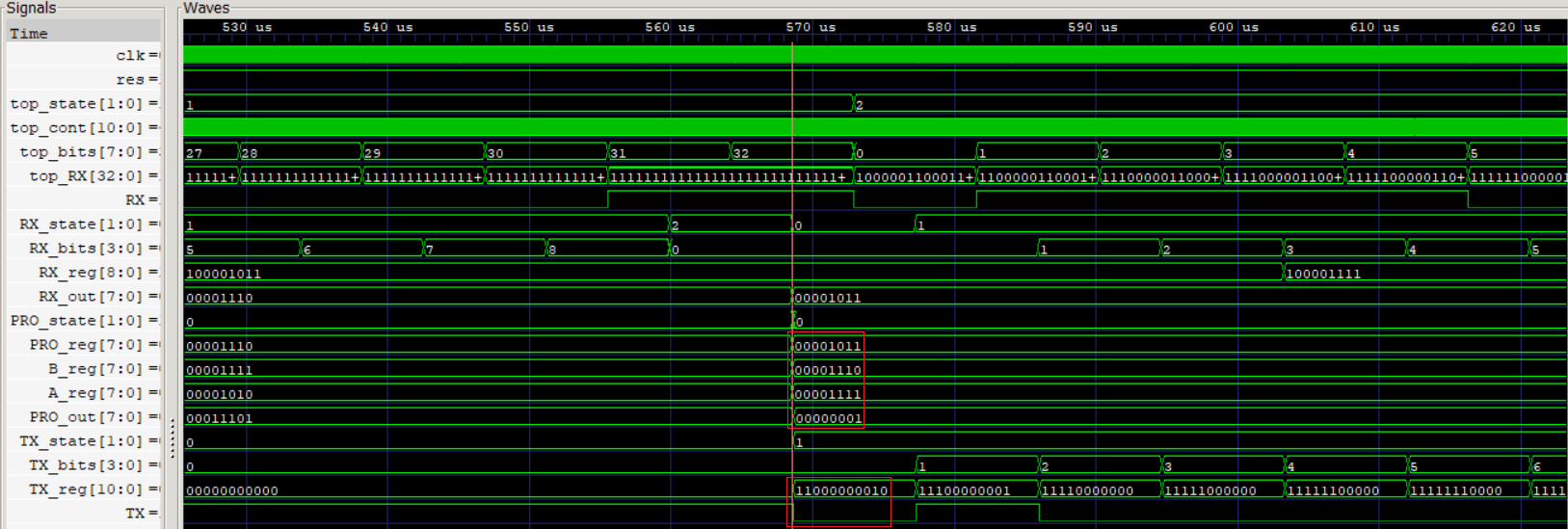


如上图，此后经过2次循环，待接收的数据(top\_RX)中的有效数值8'h0f、8'h0e、8'h0a分别存入处理器(PROer)的寄存器A\_reg、B\_reg、PRO\_reg中，并通过ADD运算得到8'h0f与8'h0e相加之后的数值加载到数据输出端口(PRO\_out)。UART发送器(TXer)的数据发送寄存器(TX\_reg)存入该数据，并在数据前后加入终止位(1)、偶校验位(0)和起始位(1)得到新的发送数据，TXer发送端口开始发送数据。

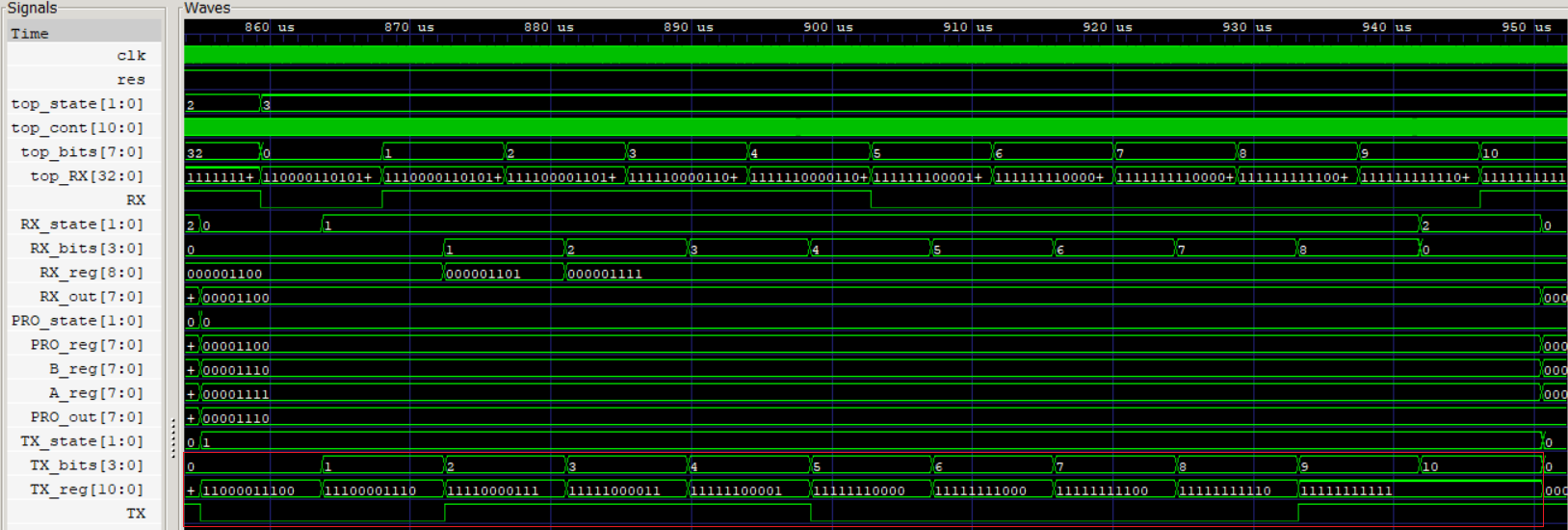
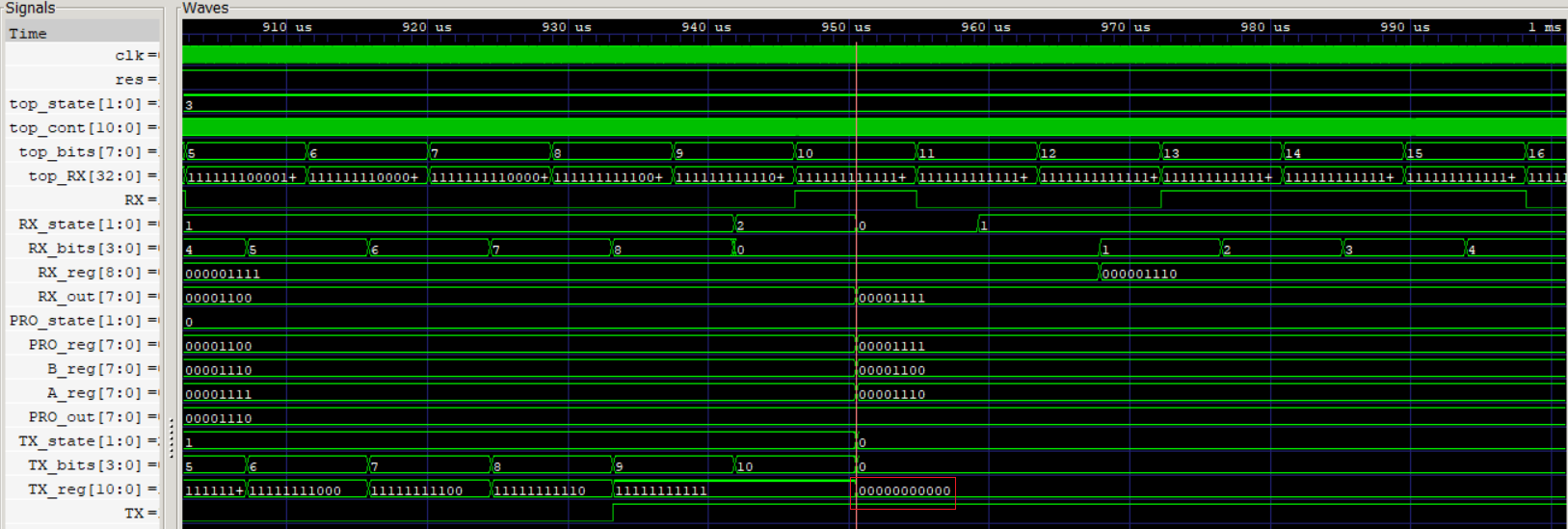
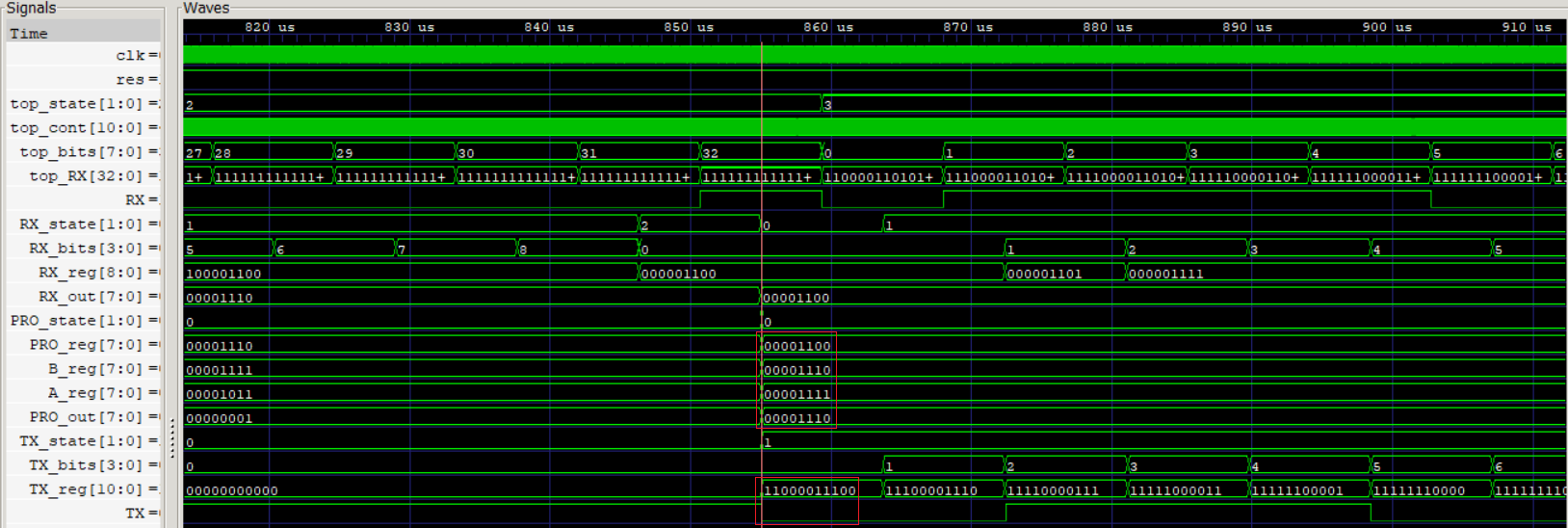
随着top模块进入状态1，新的待接收数据(top\_RX) {1'b1,1'b1,8'h0b,1'b0,1'b1,1'b1,8'h0e,1'b0,1'b1,1'b0,8'h0f,1'b0}加载到UART接收器(RXer)的输入端口RX，新的数据接收开始。



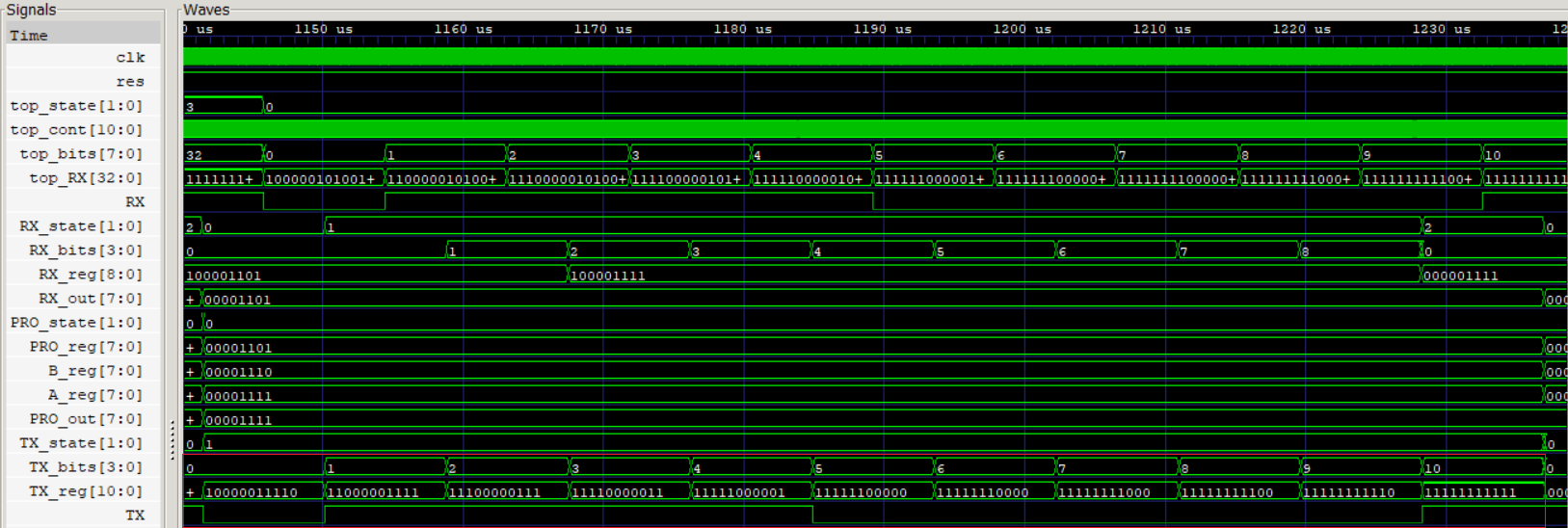
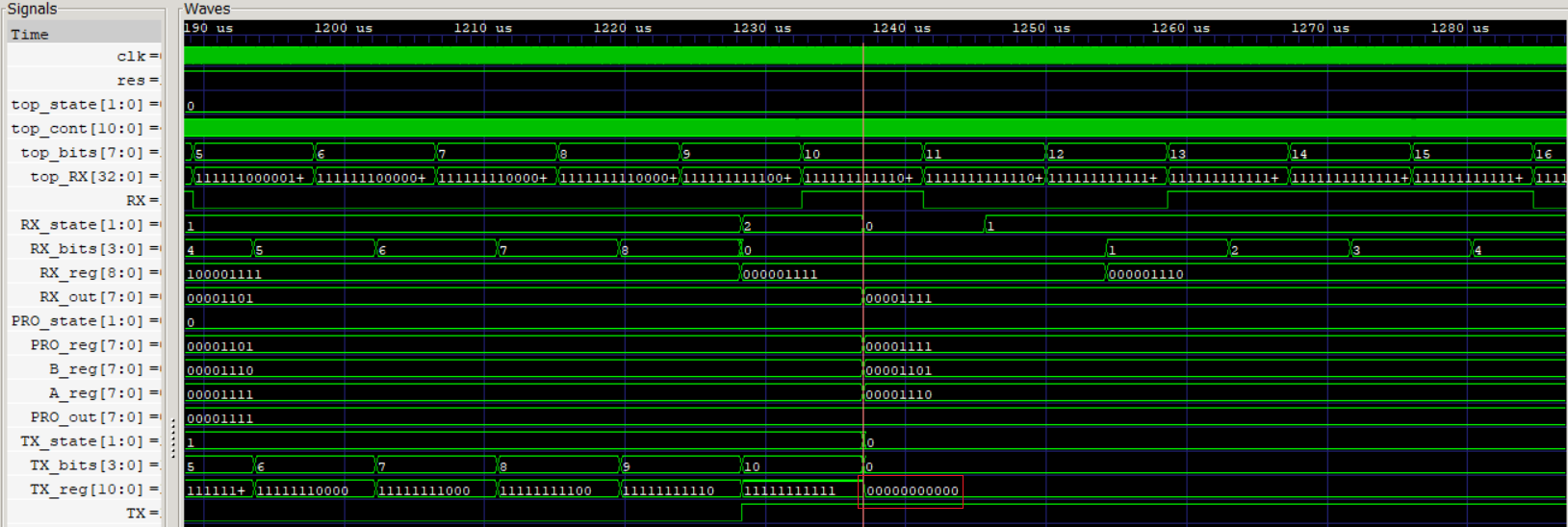
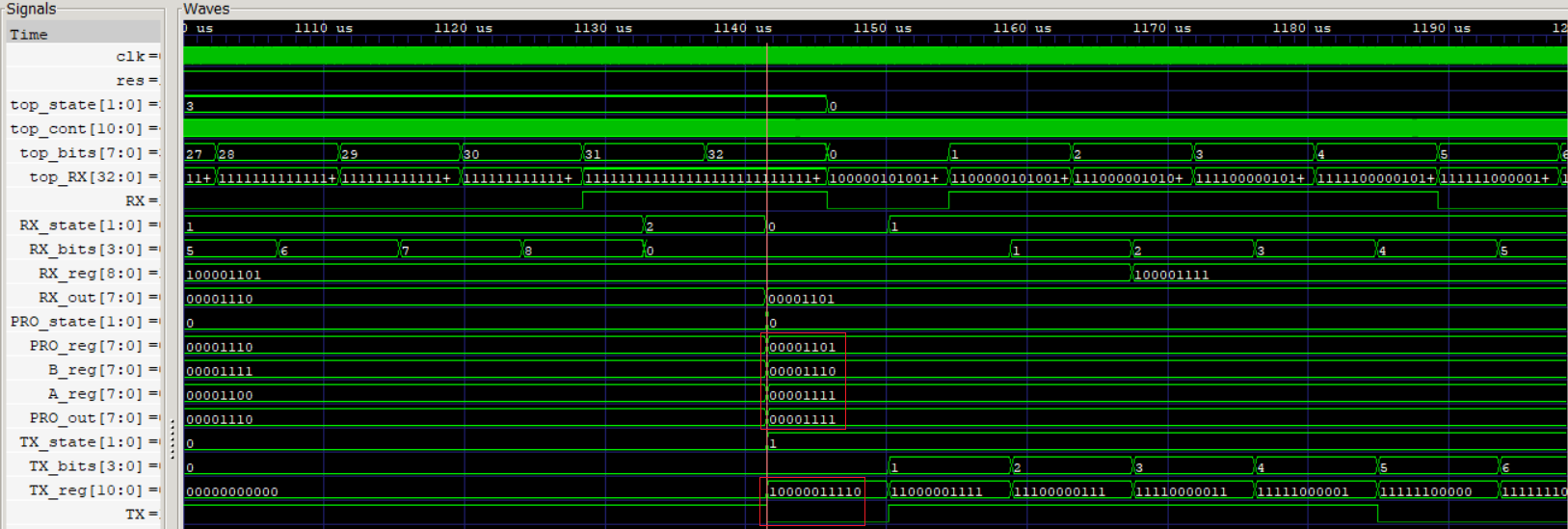
如上两图，随着UART发送器(TXer)的数据发送寄存器(TX\_reg)的10次向右移位，TX\_reg中的数据通过输出端口TX发送完成。



如上三图，SUB操作阶段数据接收、处理、发送结果正确。



如上三图，AND操作阶段数据接收、处理、发送结果正确。



如上三图，OR操作阶段数据接收、处理、发送结果正确。