



SALEAGLE® DNA 模块使用指南

1 术语/缩略词

TD : Tang Dynasty

上海安路软件集成开发环境

2 关于本手册

为了更好的保护用户代码的安全，安路所有的 FPGA 器件均具有唯一的 DNA 序列，可以使用该序列对用户设计进行保护，以保证用户设计的安全。

3 DNA 模块使用指南

EAGLE FPGA 在生产过程中为每块芯片提供一个唯一的 64 位 DNA 数据，这个数据不能被修改和擦除，用户可以利用 DNA 进行用户设计保护。TD 软件将提供 IP 接口，使用户读出 DNA 数据。如图 1 和图 2 所示。usr_dna_in 为移位数据输入，用于接口测试使用。dna_clk 时钟频率范围 0~20MHz，dna_shift 建议采用时钟下降沿送出，保证时序要求。如图 2 所示，用户可以使用自定义位宽和数值移入该模块，该模块会自动移出 64bit 的 DNA 的数值，D0~D63 为移出的 DNA 数值，UD0~UD3 为用户自定义移入该模块的数值。

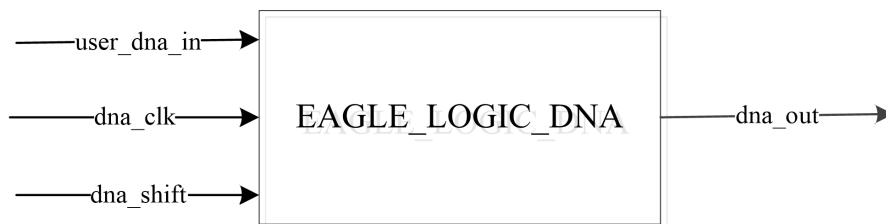


图 1 EAGLE DNA IP

表 1 端口描述

名称	输入/输出	位宽/bit	描述
dna_clk	input	1	dna_clk 时钟
dna_shift	input	1	dna 数据移入移出使能，高有效
user_dna_in	input	1	用户数据移入
dna_out	output	1	dna 模块数据移出

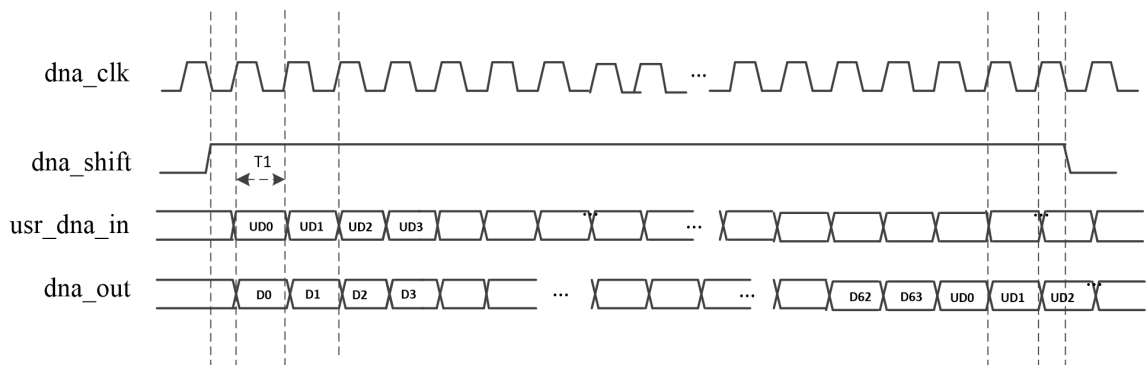


图 2 EAGLE DNA SHIFT TIMING

版本信息

日期	版本	修订记录
2018/7/15	1.0	初版建立
2018/9/13	1.1	文档格式调整
2019/8/5	1.2	文档页眉页脚更新

版权所有©2021 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。