



# HDMI 发送显示

APUG001 (v1.0) 2020 年 09 月

**Confidential**

# 目 录

<b>1 概要.....</b>	<b>2</b>
<b>2 功能描述.....</b>	<b>2</b>
2.1 HDMI 接口与协议.....	2
2.2 HDMI 链路操作模式.....	3
2.3 HDMI 发送显示功能框架.....	3
2.3.1 顶层接口说明.....	3
2.3.2 HDMI 链路编码.....	4
2.3.3 视频数据编码.....	5
2.3.4 显示测试信号发生器.....	6
<b>3 资源消耗与时序 Fmax.....</b>	<b>8</b>
<b>4 参考设计与仿真.....</b>	<b>8</b>
4.1 仿真.....	8
<b>5 移植与注意事项.....</b>	<b>9</b>
<b>6 文件参考.....</b>	<b>10</b>
<b>9 版本信息.....</b>	<b>11</b>
<b>免责声明.....</b>	<b>11</b>

# 1 概要

本文档主要功能是编写 VESA 标准时序，通过 HDMI 协议进行编码，使用 LVDS 电平通过 AC 耦合方式，传输到 HDMI 发送接口，实现显示。

# 2 功能描述

示例工程中，实现的 1280X1024 的分辨率，模式为 RGB444 时序，显示 Pattern 为红绿蓝以及各种灰阶画面。通过 HDMI 物理接口（1 对时钟+3 对数据），将相应的 8 位数据做编码，编码成 10bit 数据位流，编码的同时考虑 DC 平衡，数据与时钟比为 1:10，送到 HDMI 接口，实现视频的 HDMI 显示。

本方案中，HDMI 显示目前只支持视频 RGB444 编码，暂不支持音频和 CEC 等其他功能。

## 2.1 HDMI 接口与协议

HDMI 接口，采用 TMDS 电平进行传输。

HDMI 链路包括三个 TMDS 数据通道和一个 TMDS 时钟通道。TMDS 时钟通道，始终以与传输视频的像素速率成比例的速率运行。在 TMDS 时钟通道的每个周期内，三个 TMDS 数据通道中的每一个都发送一个 10 位字符。使用几种不同的编码技术之一对该 10 位字进行编码。

源编码逻辑的输入流，将包含视频像素、数据包和控制数据。分组数据包括音频和辅助数据以及相关的纠错码。

这些数据项以多种方式处理，并以每个 TMDS 通道 2 位控制数据，4 位分组数据或 8 位视频数据的形式呈现给 TMDS 编码器。

HDMI 编解码框架如图 2-1 所示：

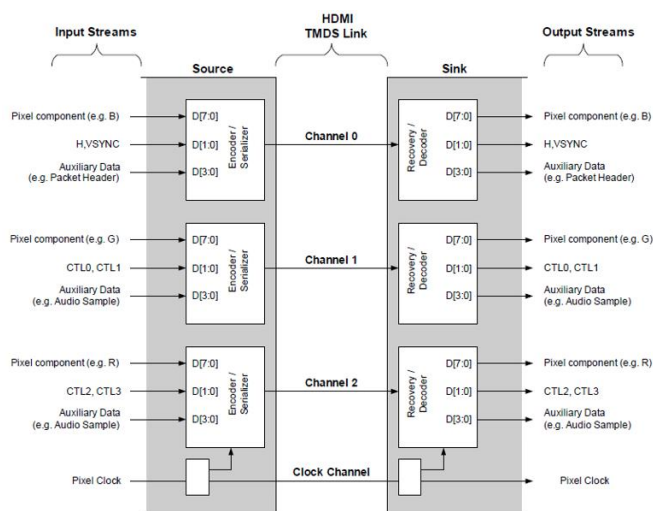


图 2-1 HDMI 编解码框架

## 2.2 HDMI 链路操作模式

HDMI 链接使用下面三种模式之一进行操作：视频数据周期、数据岛周期和控制周期。在视频数据周期期间，传输活动视频线的活动像素。在“数据岛”期间，使用一系列数据包传输音频和辅助数据。当不需要传输视频，音频或辅助数据时，将使用控制周期。

数据链路模式的组成，如图 2-2 所示。

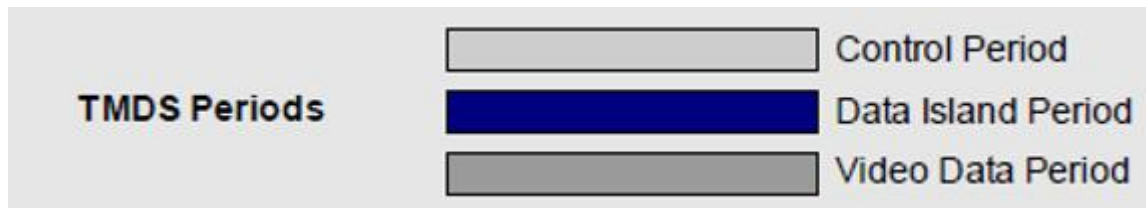


图 2-2 TMDS 传输链路操作模式

## 2.3 HDMI 发送显示功能框架

### 2.3.1 顶层接口说明

方案中，编写的 VESA 时序，传输给发送模块，接口采用标准的 Hsync、Vsync、Den、RGB 数据信号。物理接口上采用 1:10 的速度传输，因此整个实现，需要两路时钟来完成处理。一路并行时钟，一路并行时钟的五倍速率时钟。

接口信号如表 2-1 所示。

表 2-1 功能顶层接口信号

信号	方向	功能说明
PXLCLK_I	In	控制器并行时钟
PXLCLK_5X_I	In	控制器串行时钟
LOCKED_I	In	PLL 锁定信号
RST	In	复位，高有效
用户层接口信号		
VGA_HS	In	行信号
VGA_VS	In	场信号
VGA_DE	In	像素使能信号
VGA_RGB[23:0]	In	图像数据

HDMI 接口信号		
HDMI_CLK_P	Out	HDMI 时钟信号
HDMI_D2_P	Out	HDMI D2 链路数据
HDMI_D1_P	Out	HDMI D1 链路数据
HDMI_D0_P	Out	HDMI D0 链路数据

### 2.3.2 HDMI 链路编码

视频数据周期使用最小化过渡的编码来编码每个通道 8 位，或每个像素总共 24 位。

数据岛周期使用最小化转换编码 TMD5 减少错误编码（TERC4）进行编码，该编码每通道传输 4 位，或每个 TMD5 时钟周期总共传输 12 位。

在控制周期内，每个 TMD5 时钟使用过渡最大化编码对每个通道 2 位或总共 6 位进行编码。这 6 位是 HSYNC、VSYNC、CTL0、CTL1、CTL2 和 CTL3。

表 2-2 显示了每种操作模式下使用的编码类型和传输的数据。

表 2-2 TMD5 编码类型于传输的数据

Period	Data Transmitted	Encoding Type
Video Data	Video Pixels	Video Data Coding (8 bits converted to 10 bits)
	(Guard Band)	(Fixed 10 bit pattern)
Data Island	Packet Data - Audio Samples - InfoFrames HSYNC, VSYNC	TERC4 Coding (4 bits converted to 10 bits)
	(Guard Band)	(Fixed 10 bit pattern)
Control	Control - Preamble - HSYNC, VSYNC	Control Period Coding (2 bits converted to 10 bits)

每个视频链路中，控制周期尤为重要，当不发视频或者音频数据时，此时需要先发控制信号，每个 TMD5 通道都有两个控制信号，在控制周期内将其编码为 10 位。对于这三个通道中的每一个，这些信

号的编码如表 2-3 所示。

表 2-3 TMD5 Channel I 控制信号分配

TMD5 Channel	D0	D1
0	HSYNC	VSYNC
1	CTL0	CTL1
2	CTL2	CTL3

### 2.3.3 视频数据编码

在视频数据中，每个 10 位字符代表 8 位像素数据，编码后的字符可提供近似的 DC 平衡并减少数据流中的过渡次数。活动数据周期的编码过程可以分为两个阶段。

第一阶段从输入的 8 位中产生最小转换的 9 位代码字。第二阶段产生一个 10 位代码字，即完成的 TMD5 字符，它将管理所传输字符流的总体 DC 平衡。

编码算法如图 2-3 所示。

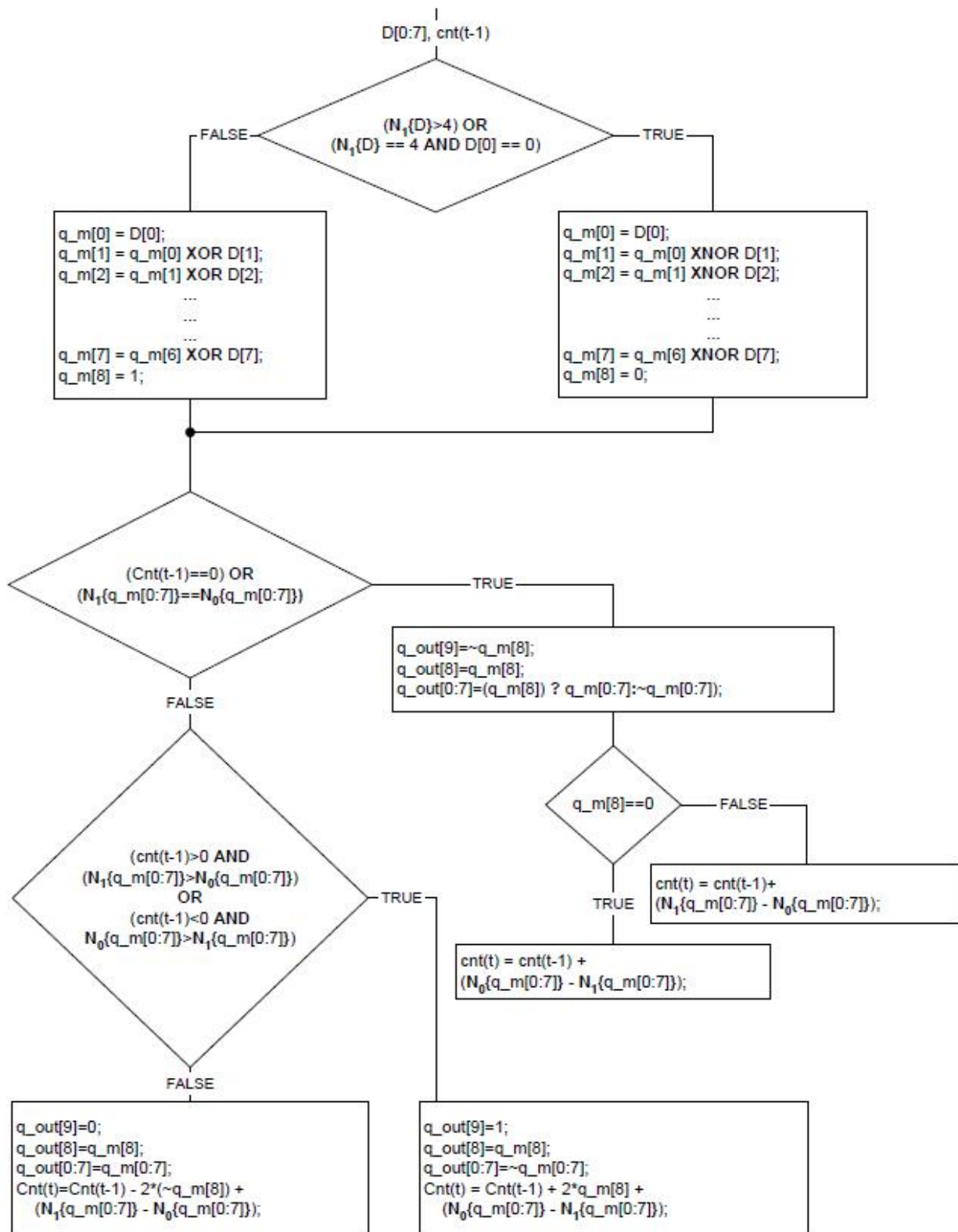


图 2-3 视频数据编码算法

### 2.3.4 显示测试信号发生器

为了快速验证 HDMI 显示是否正常，需要给 HDMI 发送提供视频源，本方案中的源为标准的 VESA 时序，模块中分辨率以及帧率可配，更改代码中的行场参数即可。

代码模块在 video\_tpg 模块，用户可按如下更改。

```
43 parameter Hor_Total_Time = 1840; //2720; //1688; //1344;
44 parameter Ver_Total_Time = 1080; //1646; //1066; //806;
45
46 parameter Hor_Sync_Time = 32; //32; //112; //136;
47 parameter H_Back_Porch = 80; //80; //248; //160;
48 parameter H_Left_Border = 0;
49 parameter H_Right_Border = 0;
50 parameter H_Front_Porch = 48; //48; //48; //24;
51
52 parameter Ver_Sync_Time = 6; //6; //3; //6;
53 parameter V_Back_Porch = 21; //37; //38; //29;
54 parameter V_Top_Border = 0;
55 parameter V_Bottom_Border = 0;
56 parameter V_Front_Porch = 3; //3; //1; //3;
```

图 2-4 显示 Pattern 对应的不同分辨率参数

提供相应的不同画面测试 Pattern，也可在代码中，每隔 1S 传入不同的 Pattern 值，做各种不同 Pattern 的动态切换显示。TPG 信号发生器的显示 Pattern 编码如表 2-4 所示。

表 2-5 显示测试信号发生器编码

命令编码 (binnay)	功能	说明
0001	red	255 灰 红色
0010	green	255 灰 绿色
0111	blue	255 灰 蓝色
0100	while	255 灰 白色
0101	Gray red	灰度渐变红色
0110	Gray green	灰度渐变绿色
0111	Gray blue	灰度渐变蓝色
1000	Gray white	灰度渐变白色
1001	mosaic	黑白马赛克
1010	Diagonal gray scan	单线动态斜扫
1011	Grid scan	单线动态方格

测试信号发生器的工作频率与设置的分辨率像素时钟同频。



### 3 资源消耗与时序 Fmax

使用 TD 软件版本 TD5.0.1(20999), 在 EG4S Video Demo 板上进行验证, 消耗的资源 and 时

序结果如表 3-1 所示:

表 3-1 资源与时序结果统计

资源	类型	数值
最大频率 (Mhz)	PXLCLK_I	154.3
	PXLCLK_5X_I	592
使用资源	LUT	727
	REG	364
	PLL	1
	IO	6
	BRAM	N/A
	DSP	N/A
	SERDES	N/A
适用器件	EF2/3、AL3、EG4、PH1	

### 4 参考设计与仿真

本应用方案提供参考设计, 可在参考硬件上进行相关功能验证。

#### 4.1 仿真

提供相应的 test bench 仿真文件, 用户可进行仿真, 仿真时需要包含如下相关文件, 因没有相关的 HDMI Model, 所以接口部分需要自行产生数据进行验证 (验证时钟与数据的关系即可)。

```
vlog -work work +define+SIMULATION ../prj/al_ip/*.v
```

```
vlog -work work +define+SIMULATION ../source_code/tb/*.v
```

```
vcom -2008 ../source_code/rtl/*.vhd
```

```
vcom -2008 ../source_code/rtl/ enc_file/*.vhd
```

```
vlog -work work +define+SIMULATION ../source_code/rtl/*.v
```

本工程可在相关器件系列的 DEMO 板上进行调试，使用者只需更改管脚 ADC 文件和对应的时钟即可。

工程中有如下关键代码文件，如表 4-1 所示。

表 4-1 工程文件

参数	说明
Developers	xuguo
Reference Design	Yes
RTL Language	Verilog/VHDL
Test bench	Yes
Test bench Format	Verilog
Simulation	Modelsim
C	N/A
IP Model	Yes
Project Platform	PH1 676 Demo

## 5 移植与注意事项

接口逻辑中，使用了 ODDR 源语，使用其他系列芯片时，更改对应的器件接口源语即可。更改分辨率，请严格按照 VESA 时序的行场参数进行更改。

当前工程，支持 EF2、EF3、AL3、EG4、PH1 系列，用户移植时，传递相应的宏参数即可。如图 5-1 所示。

```
hdmi_tx #(.FAMILY("EG4")) //EF2、EF3、EG4、AL3、PH1
```

图 5-1 器件型号选择

## 6 文件参考

[AN\\_EG4\\_DataSheet\\_DS300](#)

[AN\\_PH1\\_Datasheet\\_DS700](#)

## 7 版本信息

日期	版本	修订记录
2020.5.11	1.0	首次发布中文版

**版权所有©2020 上海安路信息科技有限公司**

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。