



## SALEAGLE®4 IO 用户指南

### 1 术语/缩略词

EAGLE	: 上海安路信息科技有限公司 EAGLE 系列芯片	
IOL	: Input & Output Logic	输入输出逻辑单元
IOB	: Input & Output Buffer	输入输出缓冲器

### 2 关于本手册

本手册主要介绍了上海安路信息科技有限公司 EAGLE 系列芯片的 IO 的使用方法。

### 3 输入输出逻辑单元 (IOL)

EAGLE 器件的 IOL 逻辑支持多种工作模式。本章节主要介绍如何配置 IOL 资源支持多种工作模式。

#### 3.1 输入寄存器逻辑

输入输出逻辑 (IOL) 中的输入寄存器用来处理高速接口, 将其降低为内部核心逻辑可以处理的频率。输入寄存器中均包含可配置延时单元作为数据采样处理辅助。在此基本功能基础上增强了对通用双边沿数据 (GDDR) 的支持。

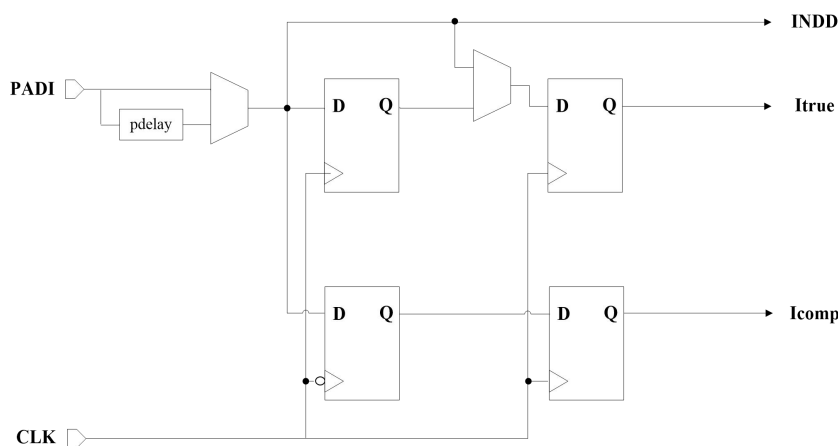


图 3-1-1 输入寄存器框图

#### a) 普通输入模式

普通模式下的 IO 逻辑如图 3-1-2 所示, 此模式下信号直接进入 FPGA 内部逻辑。

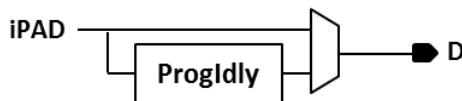


图 3-1-2 普通输入模式框图

#### b) SDR 输入模式

相比普通模式, 如图 3-1-3, SDR 模式使用了 IOL 寄存器, 可以有效地改善 IO 的时序性能。

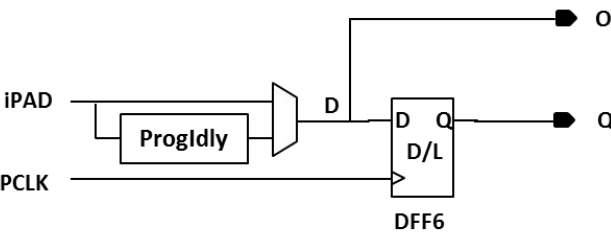


图 3-1-3 SDR 输入模式框图

c) DDR 输入模式

EAGLE 器件 IOL 中有专用的寄存器用以支持 iDDRx1 和 iDDRx2 模式。

■ iDDRx1 同沿输入模式

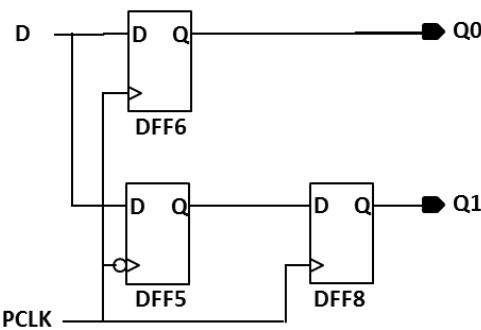


图 2-6-1

图 3-1-4 lgddr 同沿输入模式框图

在 iDDRx1 同沿模式，DFF5 和 DFF6 分别在下降沿和上升沿采样输入数据，DFF8 把 Q1 数据同步到时钟上升沿。由于 DFF8 的引入 Q1 数据相对于 Q0 要晚一个时钟周期，时序如图 3-1-5 所示。

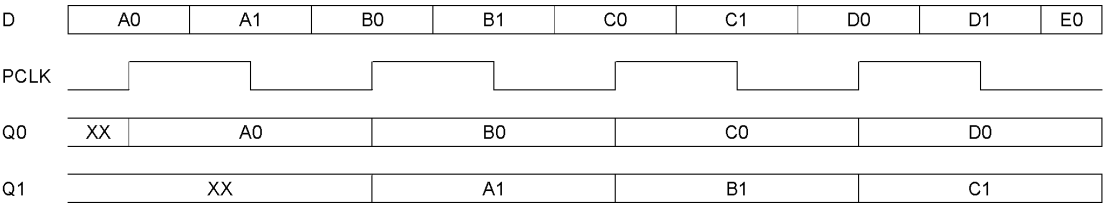


图 3-1-5 lgddr 同沿输入模式

■ iDDRx1 同沿 Pipelined 输入模式

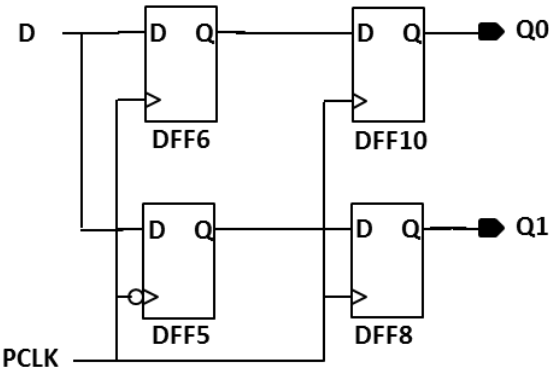


图 3-1-6 lgddr 同沿 Pipelined 输入模式框图

在 iDDR<sub>x</sub>1 同沿模式中 Q1 相对于 Q0 要晚一个时钟周期，为补偿该延时，引入 DFF10，如图 3-1-6 所示。时序如图 3-1-7 所示。

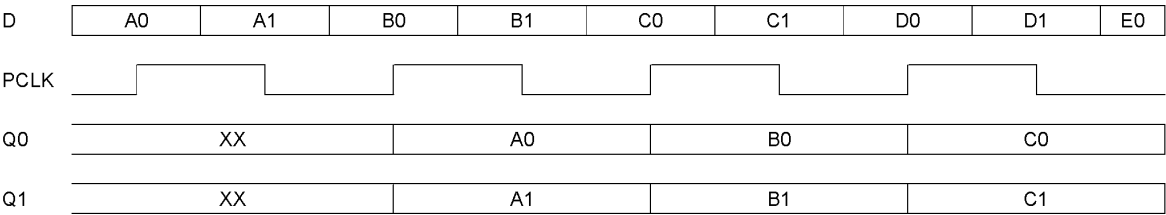


图 3-1-7 lgddr 同沿 Pipelined 输入模式

■ iDDR<sub>x</sub>2 输入模式

iDDR<sub>x</sub>2 模式下，可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一级采样 DFF 由 SCLK 触发，实现高速数据的采样和 1:2 的分离。第二级分离 DFF 由 FPGA 系统时钟 PCLK 触发，实现数据与内核逻辑的同频。PCLK 为 SCLK 速度的一半。

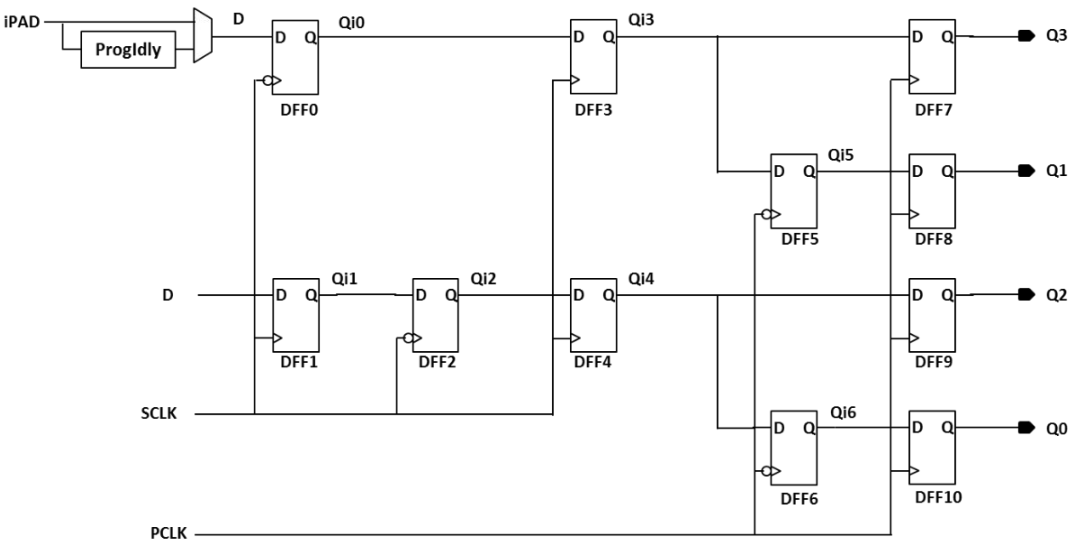


图 3-1-8 iDDR<sub>x</sub>2 输入模式

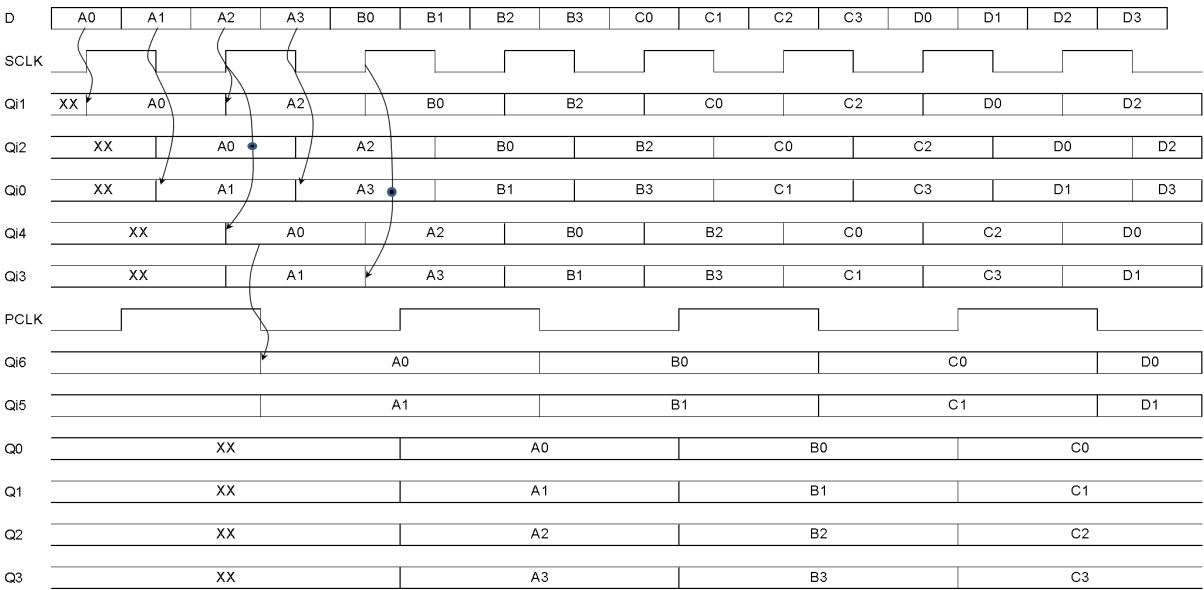


图 3-1-9 iDDR<sub>x</sub>2 输入模式时序

d) 输入延时单元

每一个 IO 逻辑单元内都包含一个可编程输入延时单元，支持 32 级调节，最大延时 3.8ns。支持静态控制延迟的方式。

3.2 输出寄存器

输入输出逻辑（IO 逻辑）中的输出寄存器用来处理内部核心逻辑到高速 I/O 接口的时序。图 3-2-1 错误!未找到引用源。给出了输出寄存器框图。

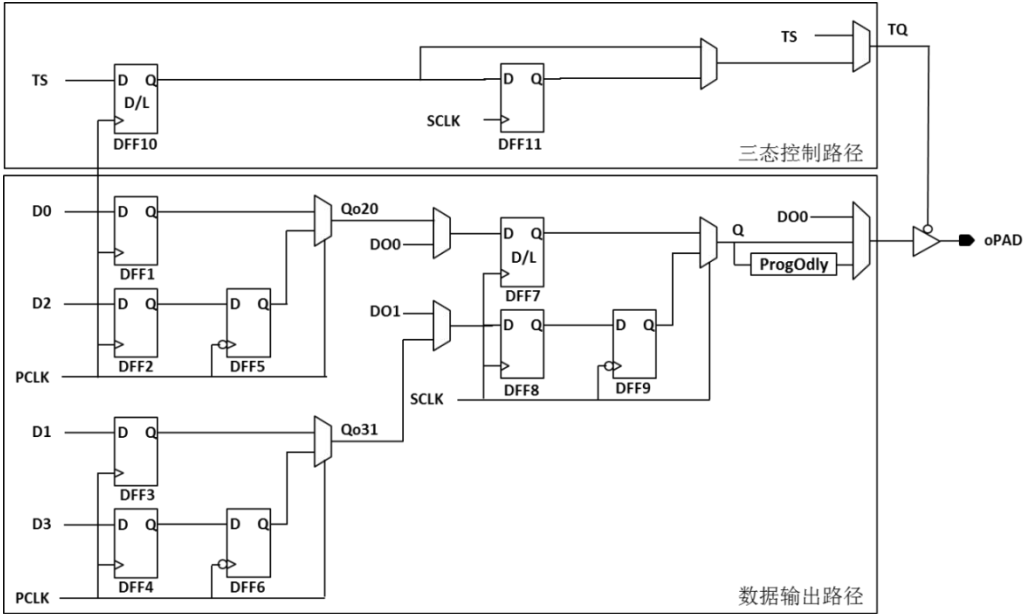


图 3-2-1 输出寄存器框图

a) 普通输出模式

普通输出模式下的 IO 逻辑如图 3-2-2 所示，此模式下信号直接从 FPGA 内部逻辑输出到 PAD。

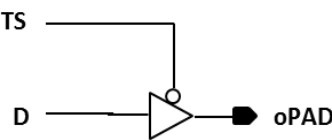


图 3-2-2 普通输出模式框图

b) SDR 输出模式

相比普通模式，如图 3-2-3，SDR 模式使用了 IO 逻辑寄存器，可以有效地改善 IO 的时序性能。

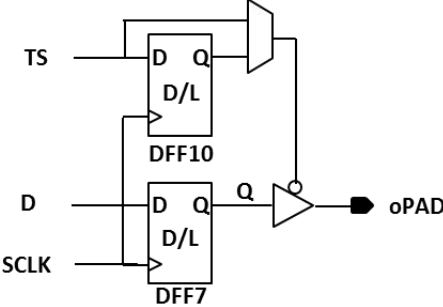


图 3-2-3 SDR 输出模式框图

### c) DDR 输出模式

EAGLE 器件 IOL 中有专用的寄存器用以支持 oDDRx1 和 oDDRx2 模式。

### ■ oDDRx1 输出模式

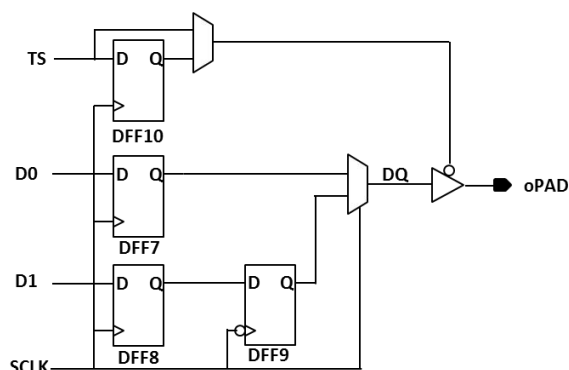


图 3-2-4 oDDR<sub>x1</sub> 输出模式框图

在 oDDRx1 模式，数据 D00 和 D01 被 SCLK 同沿采样进 DFF7 和 DFF8，并分别在上升沿和下降沿输出到 Opad，时序如图 3-2-5 所示。

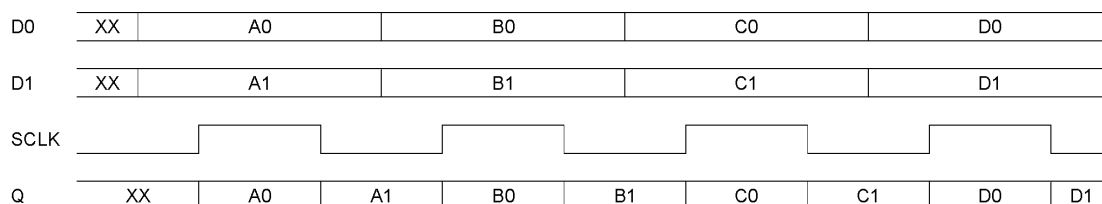


图 3-2-5 0gddr 输出模式

## ■ oDDRx2 输出模式

oDDRx2 模式下, 可以支持更高的 IO 速度。PAD 与 FPGA 内部逻辑速率比为 4:1。该模式下第一部分 DFF 由 FPGA 系统时钟 PCLK 触发, 实现数据的采样和 2:1 并串转换。第二部分 DFF 由高速 SCLK 触发, 实现数据高速串行输出。PCLK 为 SCLK 速度的一半。

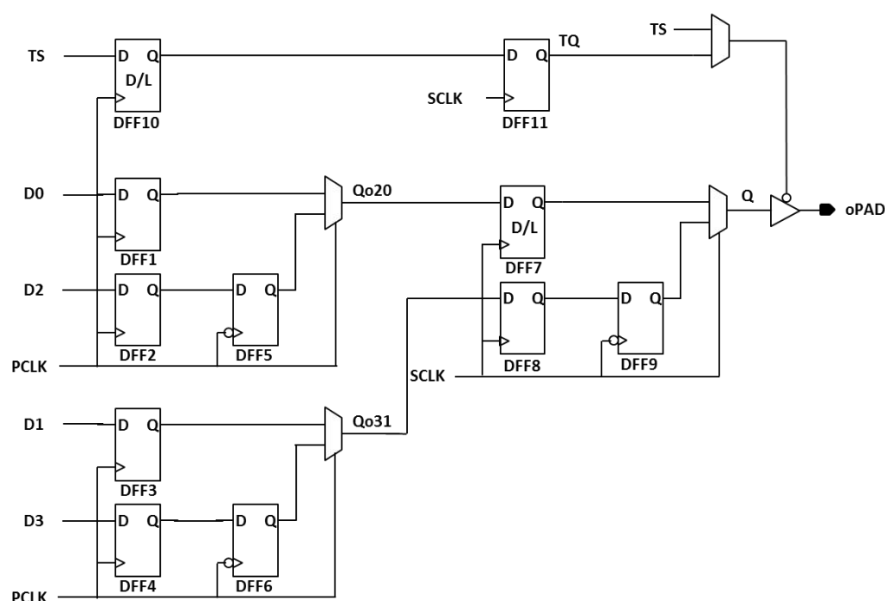


图 3-2-6 oDDR<sub>x2</sub> 输出模式

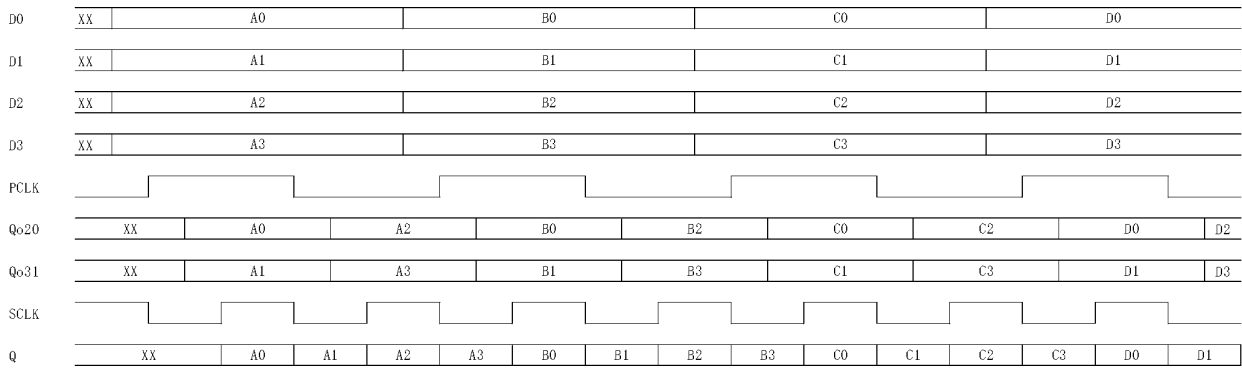


图 3-2-7 oDDRx2 输出模式时序

■ oDDRx2L 输出模式

与 oDDRx2 相比，oDDRx2L 模式直接使用内部 SCLK 的 2 分频作为 PCLK，节省 1 个 CLK。数据输出比 oDDRx2 模式晚一个 SCLK 时钟周期。

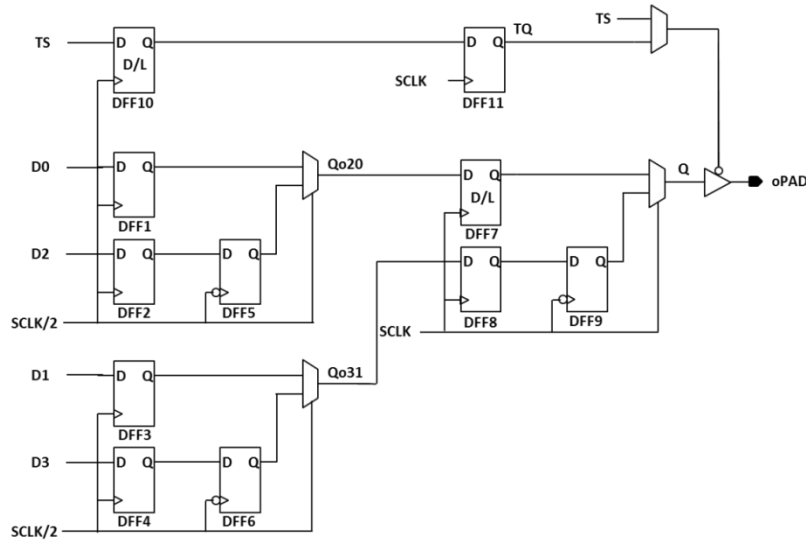


图 3-2-8 oDDRx2L 输出模式

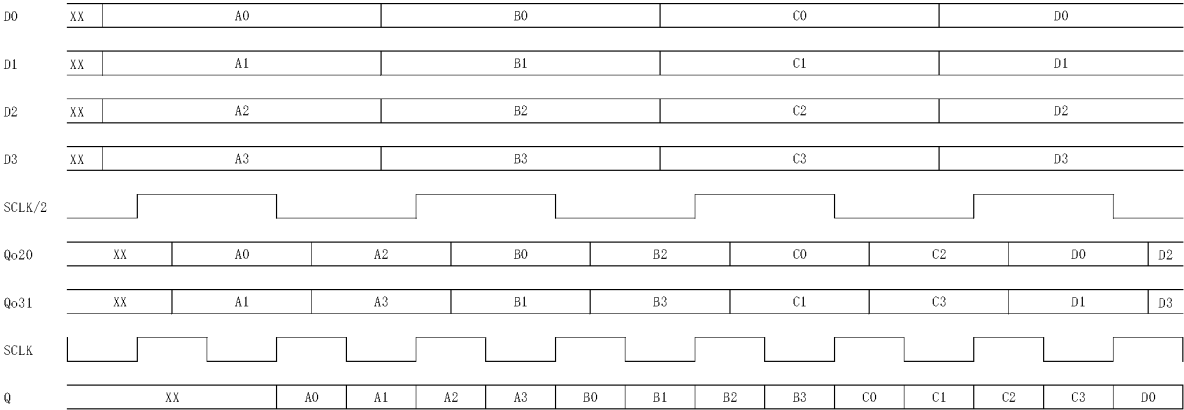


图 3-2-9 oDDRx2L 输出模式时序

d) 输出延时单元

每一个 IOL 逻辑单元内都包含一个可编程输出延时单元，总共支持 4 级调节，每级延时 100ps。支持静态控制延迟的方式。

## 4 输入输出缓冲器 (IOB)

### 4.1 IOB 简介

EAGLE 具有可配置高性能 I/O 驱动器和接收器，可支持种类繁多的标准接口。强大的功能集包括输出强度和斜率的可编程控制。

每个 IOB 包含输入、输出和三态驱动器。这些驱动器可以按照各种 I/O 标准配置。差分 I/O 使用在一个模块中的两个 IOB。

- 单端 I/O 标准 (LVCMOS、LVTTL、PCI)
- 差分 I/O 标准 (LVDS、LVPECL、BLVDS)

IOB 支持上述电平标准的同时，IOB 支持以下配置项：

- 输出驱动能力调节
- 输出 Slew Rate 调节
- 弱上拉/下拉电阻选择配置
- PCI Clamp 使能
- Bus Hold 功能使能

图 4-1-1 所示为基本 IOB 及其与内部逻辑和器件焊盘的连接。

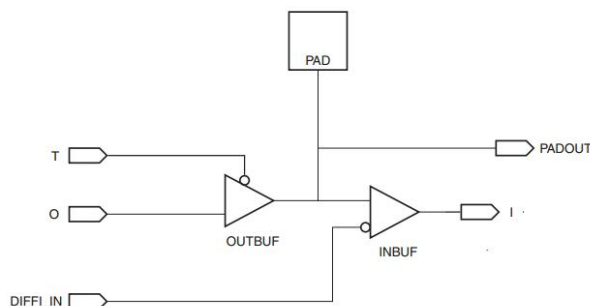


图 4-1-1 基本 IOB 框图

各 IOB 直接连接 IOL 组成输入输出逻辑对，该逻辑对包含输入和输出逻辑资源，可用于数据和 IOB 的三态控制。

4.2 高速 LVDS 接口

EAGLE 器件支持的差分标准见表 4-2-1

表 4-2-1 EAGLE 支持的差分标准

差分标准	I/O Location	接收		发送	
		支持	外部电阻	支持	外部电阻
LVDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3 电阻
RSDS	左/右	Yes	No	Yes	No
	上/下/左/右	Yes	Yes	Yes	3 电阻
BLVDS	上/下/左/右	Yes	Yes	Yes	Yes
LVPECL	左/右	Yes	No	-	-
	上/下/左/右	Yes	Yes	Yes	3 电阻

True LVDS 与 Emulated LVDS 均可作为 LVDS25 标准输入，最大输入频率 400 MHz (800Mbps)。直流耦合推荐电路如下图 4-2-1 所示。

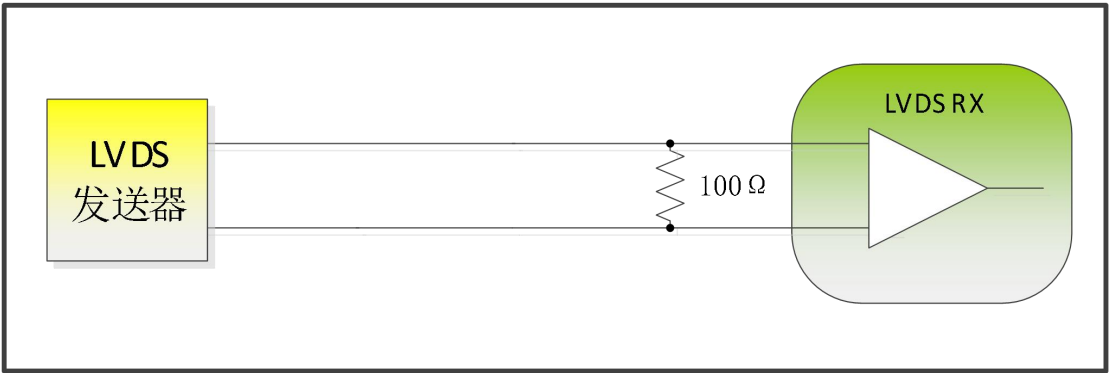


图 4-2-1 直流耦合电路

交流耦合推荐电路如下图 4-2-2 所示。

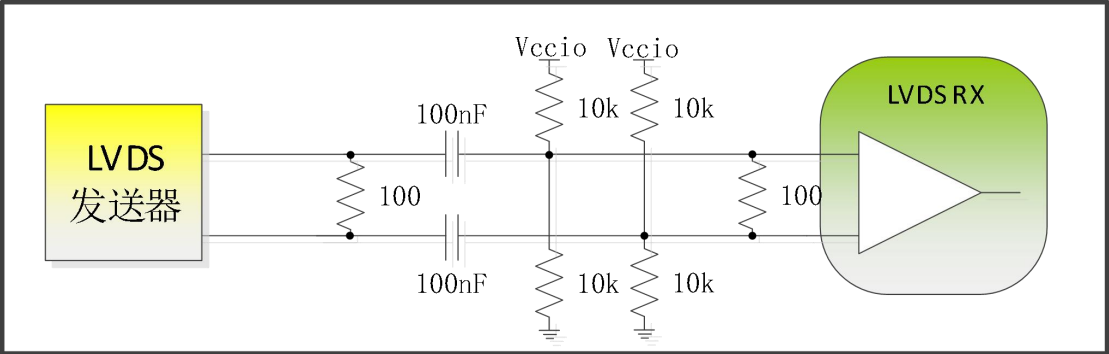


图 4-2-2 交流耦合推荐电路

注 1：如果接收端 PAD 上的差分摆幅大于 500mV，只能使用片外 100 欧差分匹配电阻

注 2：交流耦合时，若发送器内部没有 100 欧匹配电阻，需要在片外接 100 欧匹配电阻。

作为输出时，True LVDS 采用 LVDS25 标准直接输出 LVDS 电平标准，无需外部匹配电阻，如图 4-2-3 所示，最大输出频率是 400MHz (800Mbps)。



Emulated LVDS 作为输出时采用 LVDS25E 标准，最大输出频率 166MHz，且要外接 3R 电阻网络对输出电压摆幅进行衰减以满足 LVDS 标准，如图 4-2-4 所示。可以通过改变电阻网络值来降低功耗或者改善噪声容限。

表 4-2-2 给出了 Emulated LVDS 推荐电阻值和信号幅值。

表 4-2-2 Emulated LVDS 推荐电阻值

电 阻（欧姆）		信号幅值（毫伏）	
$R_s$	$R_p$	LVDSE25	LVDSE33
300	118	195	256
210	127	270	355
150	140	365	483
115	160	460	610

注 1：数据基于驱动能力设定为 8mA，接收器的 100 欧端接电阻可以是片上电阻也可以是片外电阻。当接收端信号幅值大于 500mv 时必须采用片外电阻。



图 4-2-3 True LVDS 输出

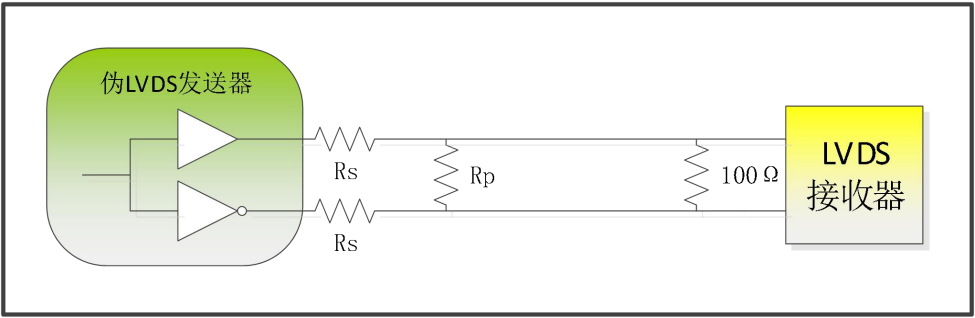


图 4-2-4 Emulated LVDS 输出 3R 电阻网络

### 4.3 LVPECL

EG4 的 IOB 支持 LVPECL33 输入，如果对端器件是 2.5v，可以直接输入；如果对端器件是 3.3v，共模电压要往下拉 2v，建议使用外接匹配电阻网络，不要使用内部的电阻；IOB 管脚不支持 True LVPECL33 输出，只支持 LVPECL33\_E 输出；

LVPECL 输入建议外接如下电路：

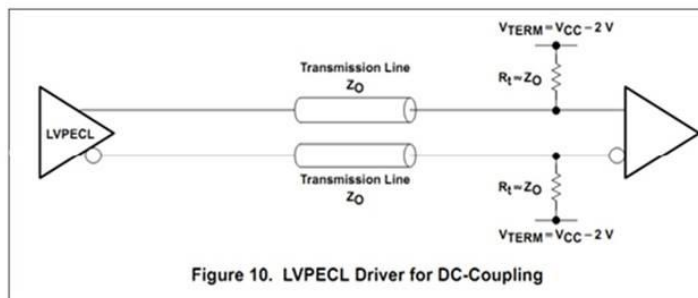


图 4-3-1 直流耦合

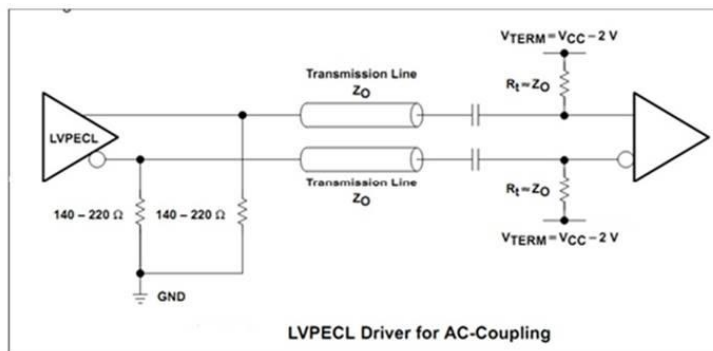


图 4-3-2 交流耦合

1. 在布线时要注意差分等长和阻抗匹配。

### 4.3 I/O 分组

EAGLE 器件有 8 个 I/O 组：每个边有两个用户 I/O 组。组 1 位于靠近配置逻辑（config）的下方，包含专用/共享配置接口。

每一个 I/O 组包含两个参考电压输入。每一个 I/O 组由对应的 VCCIO 供电。

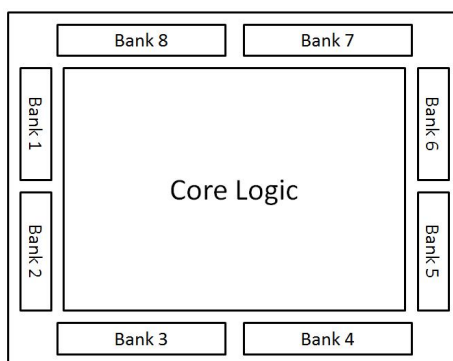


图 4-3-1 I/O 组示意图

4.4 兼容 5V 输入

EAGLE I/O 可以工作在 1.8-3.3V 电压范围，不能直接接收 5V 输入。如果 5V 电压信号驱动到 Eagle 器件的输入，需要外部串接电阻，同时在软件中打开 Eagle I/O 内部的 PCI 箝位二极管把输入端口接收到的电压降到器件安全范围内。

电阻 R 值依赖于 PCI 箝位二极管的电流特性，二极管的电压电流特性见表 4-4-1。

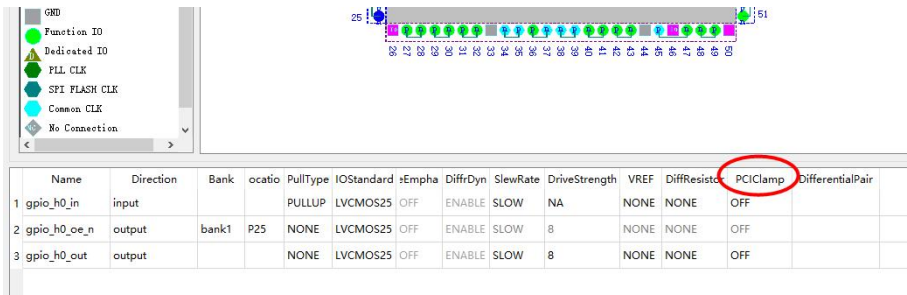


图 4-4-1 箝位二极管开关设置

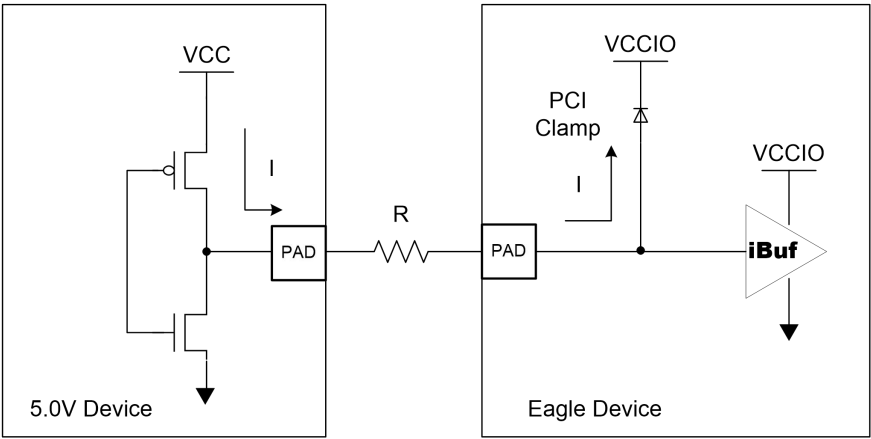


图 4-4-2 5V 输入驱动 Eagle 器件

表 4-4-1 PCI 箝位二极管的电流特性

$V_o$ (V)	$I_{max}$	Unit
0.0	0.92	uA
0.1	9.2	uA
0.2	20	uA
0.3	30.4	uA
0.4	43.3	uA
0.5	76.5	uA
0.6	0.15	mA
0.7	0.36	mA
0.8	2.85	mA
0.9	9.42	mA

为支持 5V 输入，建议 VCCIO 电压工作在 2.5-3.0V 范围，否则 IO 电压会超过安全电压，长期使用会降低器件寿命。

I/O 器件最大容限绝对电压为  $V_{IMAX}=3.7V$ ，设置  $V_{CCIO}=2.5V$ ，取分压后 IO 输入端接收到的电压  $V_I=3.3V$ ，则二极管上的压降为  $V_{DIO} = V_I - V_{CCIO} = 3.3 - 2.5 = 0.8V$ 。 $IDIO @ 0.8V = 2.85mA$ ， $R = (5 - 3.3)V / 2.85 mA = 596\Omega$ 。

在输入端箝位通路分别串接不同阻值电阻，在 EAGLE 接收端测量波形。串接电阻  $R=330\Omega$ ，上升时间为  $7.8ns$ ，下降时间为  $12ns$ ，见图 4-4-3。

串接电阻  $R=600\Omega$ ，上升时间为  $12ns$ ，下降时间为  $21ns$ ，见图 4-4-4

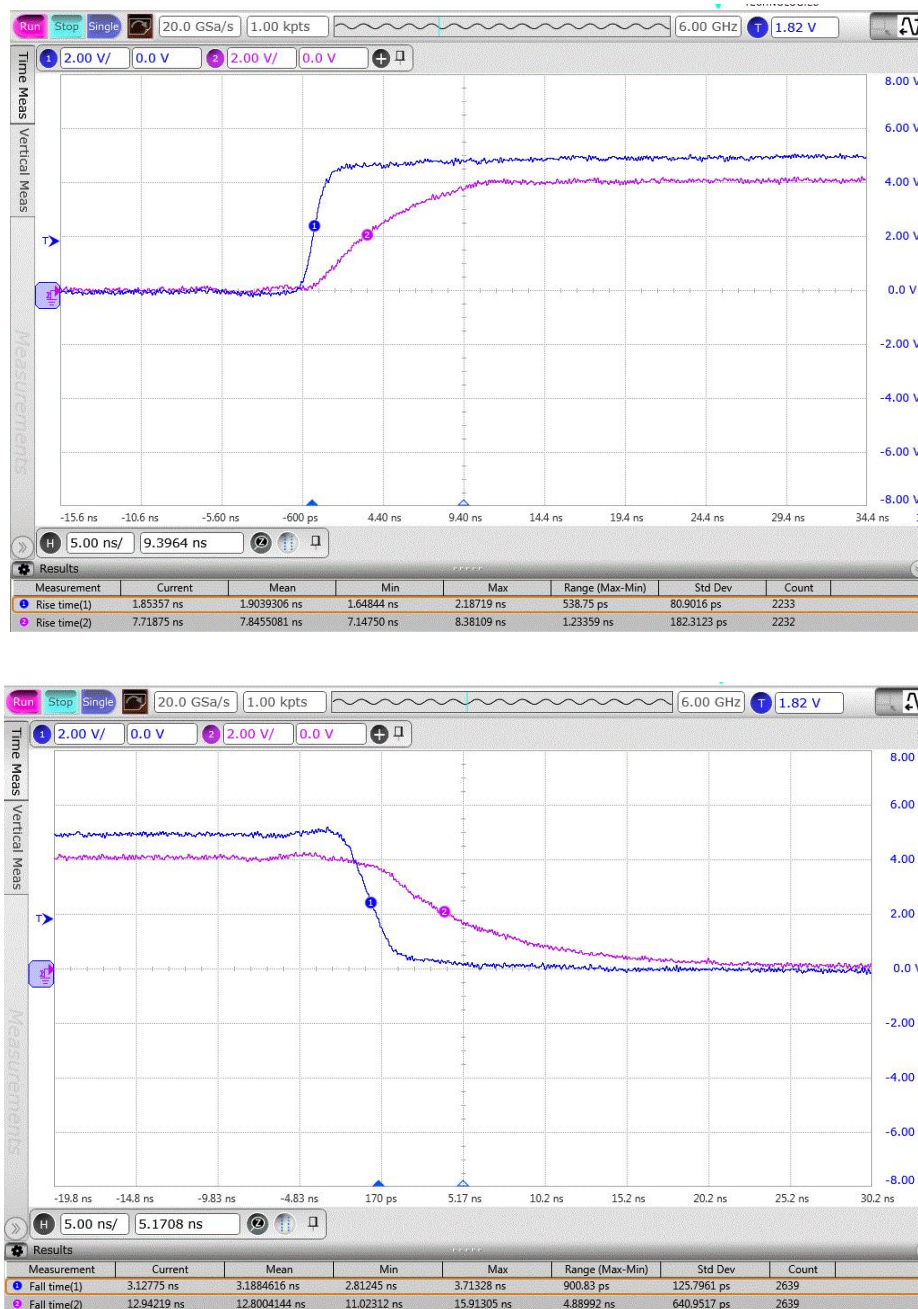


图 4-4-3 5V 输入驱动 EAGLE 器件接收端波形 @ $R=330\Omega$

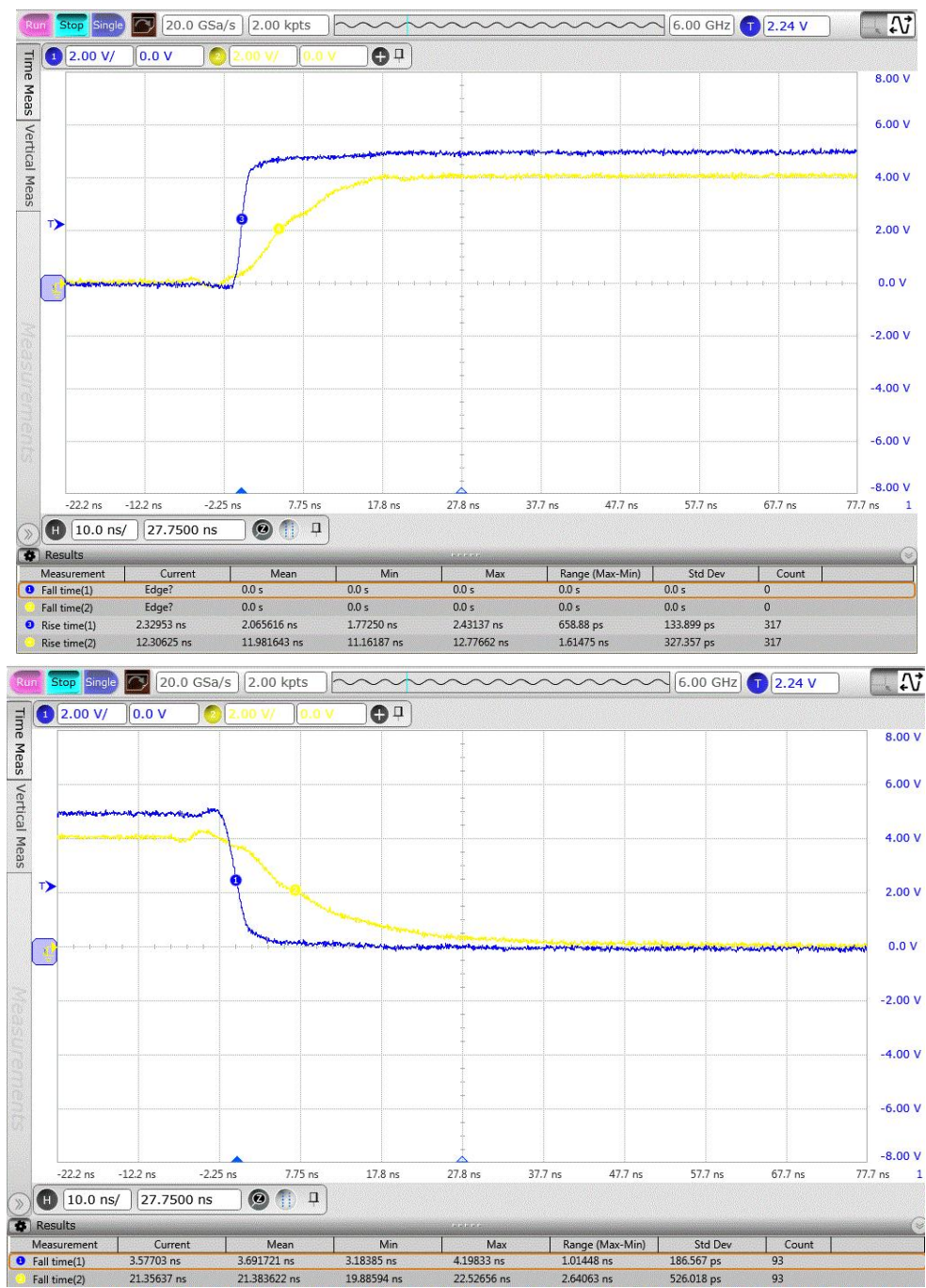


图 4-4-4 5V 输入驱动 EAGLE 器件上升/下降沿 @R=600 Ohm

## 5 Vpad 不等于 VCCIO 应用场景下的 I/O 属性设置

Vpad 是指 pad 的电压，VCCIO 是指 Bank I/O 电压。表 5-1 给出了电压不匹配时推荐的 I/O 属性设置。

表 5-1 不同应用场景下 I/O property 设置说明

Property	应用场景				
	输入			输出	
	兼容 5V	3.63>Vpad>VCCIO	Vpad<VCCIO	3.63>Vpad>VCCIO	Vpad<VCCIO
PCI Clamp	开启+电阻分压	关闭	关闭	关闭	关闭
Pull Up	关闭	关闭	关闭	关闭	关闭
NA	NA	NA	NA	assign opad=oen?odata:1' bz	assign opad=oen?odata :1'bz

注 1: 输入电平判决遵守数据手册中关于 I/O 直流电学特性描述。

注 2: 兼容 5V 模式场景下，内部 PCI Clamp 只有在芯片启动后才打开，如果在芯片启动前即有 5V 输入则需要在外增加一个二极管。



## 版本信息

日期	版本	修订记录
2018/8/6	1.0	初版建立
2018/9/14	1.1	文档格式调整
2018/6/20	1.2	增加不同应用场景下 IO property 设置说明
2019/06/27	1.3	增加 Vpad 电压和 VCCI0 电压的说明
2019/08/30	1.4	增加 LVDS 直流耦合/交流耦合推荐电路
2022/10/13	1.5	更新文档免责声明，修订文档格式

版权所有©2022 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

## 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。