



SALEAGLE® PLL 用户指南

1 术语/缩略词

EAGLE : 上海安路信息科技有限公司 EAGLE 系列 FPGA 芯片

PLL : Phase Locked Loop 锁相环

2 关于本手册

本手册主要介绍了上海安路信息科技有限公司 EAGLE 系列芯片的 PLL 的使用方法。

3 EAGLE PLL 简介

EG_PHY_PLL 是 FPGA 内部的时钟锁相环硬核 IP 模块，Eagle 系列 FPGA 内嵌 4 个多功能锁相环（PLL0~PLL3），分布在器件四角，可实现高性能时钟管理功能。每个 PLL 都能实现时钟分频/倍频/输入和反馈时钟对准/多相位时钟输出功能，支持动态相位调整和 PLL 动态参数配置。

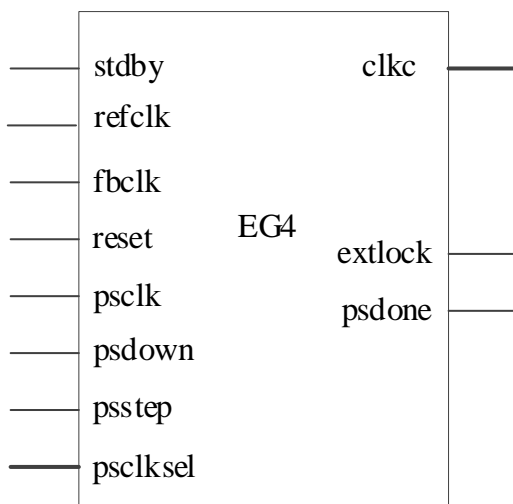


图 3- 1 EG_PHY_PLL

表 3- 1 端口描述

名称	输入/输出	位宽/bit	描述
clk	OUT	7	PLL 时钟输出
extlock	OUT	1	PLL 锁定输出，高有效
stdby	IN	1	standby 使能，只有在 STDBY_ENABLE = "ENABLE"时才有效，1 = 暂停，0 = 不暂停
refclk	IN	1	PLL 参考时钟输出
fbclk	IN	1	反馈时钟输出
reset	IN	1	复位，高有效
psdone	OUT	1	动态相位移位完成
pscclk	IN	1	动态相位移位时钟
psdown	IN	1	动态相移方式，增加或者减少
psstep	IN	1	动态相移脉冲数
pscclkssel	IN	3	动态相位移位选择某一路输出进行相移

EAGLE 系列 FPGA 最多内嵌有 4 个多功能锁相环，可实现高性能时钟管理功能。可以实现时钟分频、倍频、输入和反馈时钟对准、多相位时钟输出等功能。

PLL 参考时钟输入有：GCLK PIN，时钟网络 BUFG，互连 PIB 和内部振荡器 OSC。

PLL 反馈时钟输入有：时钟网络 BUFG、互连 PIB、PLL 内部反馈时钟以及分频时钟 C0~C4。

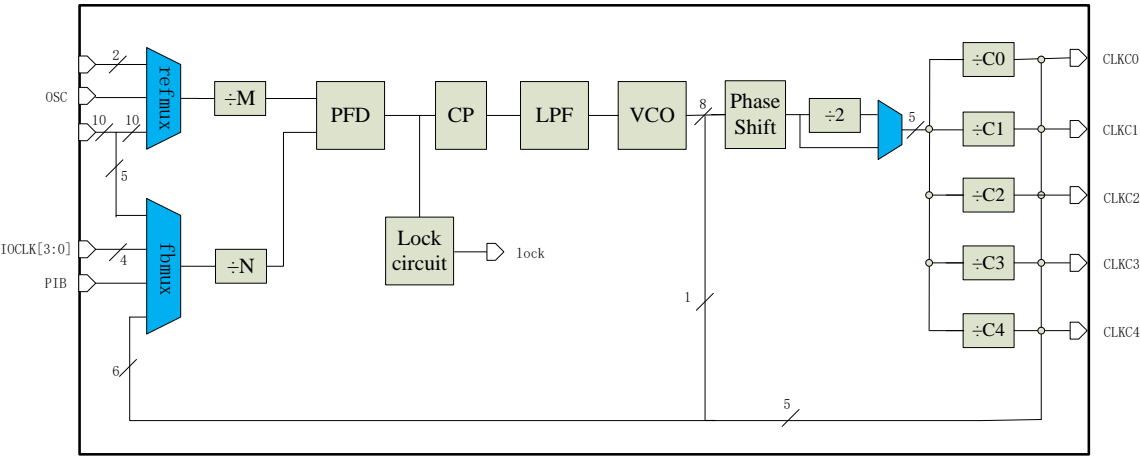


图 3- 2 ELF2 PLL 架构图

PLL 有专门的输出驱动芯片的专用时钟输出管脚，已获得更好的抖动性能，如图 3- 3。

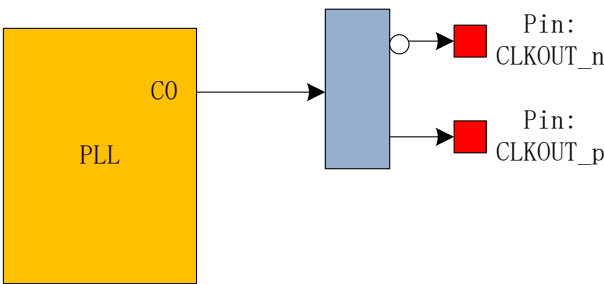


图 3- 3 PLL C0 直接输出到时钟输出 IO 管脚（差分模式）

表 3- 2 EAGLE PLL 特性表

Feature	EAGLE PLL
输入时钟频率范围	10~500 Mhz
VCO 频率范围	300~1200 Mhz
输出端口数	5（各端口相位独立可选）
参考时钟分频系数(M)	1 to 128
反馈时钟分频系数(N)	1 to 128
输出时钟分频系数(C0~4)	1 to 128
相移分辨率	45°/N（相对 VCO）
用户动态相移控制	支持
锁定状态输出	Lock
专用时钟输出管脚	支持

4 时钟反馈模式

EAGLE 系列 PLL 支持 4 种反馈模式，每种模式都支持时钟分频/倍频和相移。

a) 源同步模式 (Source Synchronous Mode)

源同步模式通过相移功能，调节时钟相位保证数据端口到 IOB 输入寄存器的延迟和时钟输入端口到 IOB 寄存器的延迟相等（数据和时钟输入端口模式相同情况下）。

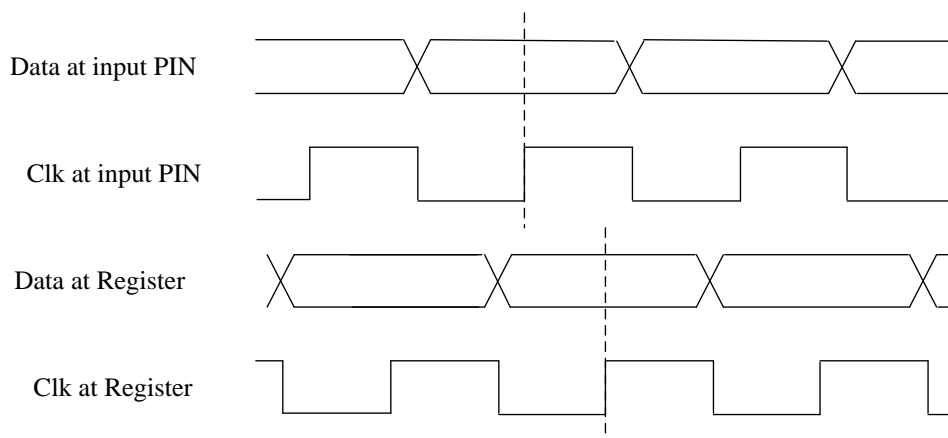


图 4- 1 源同步模式

b) 无补偿模式 (No Compensation Mode)

在无补偿模式，PLL 不对时钟网络延迟进行补偿，PLL 采用内部自反馈，这会降低 PLL 的输出抖动。PLL 输出的内部时钟之间相位是对齐的。PLL 时钟输出能够超前或滞后于 PLL 输入时钟。

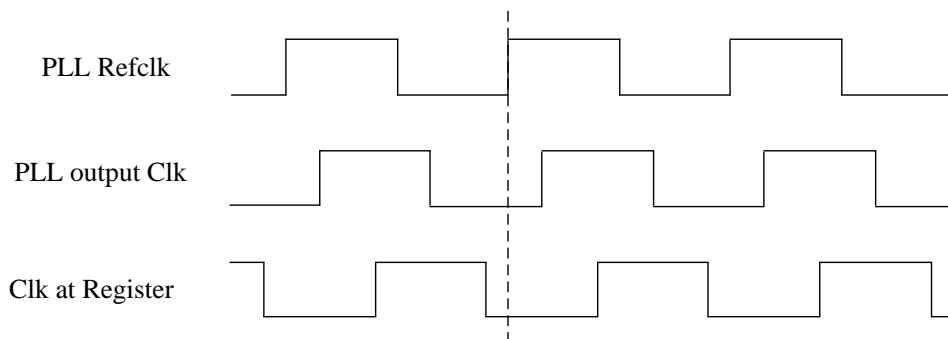


图 4- 2 无补偿模式

c) 普通模式 (Normal Mode)

普通模式中，PLL 会补偿 GCLK 网络延迟，保证内部寄存器输入时钟相位和时钟管脚相位一致。

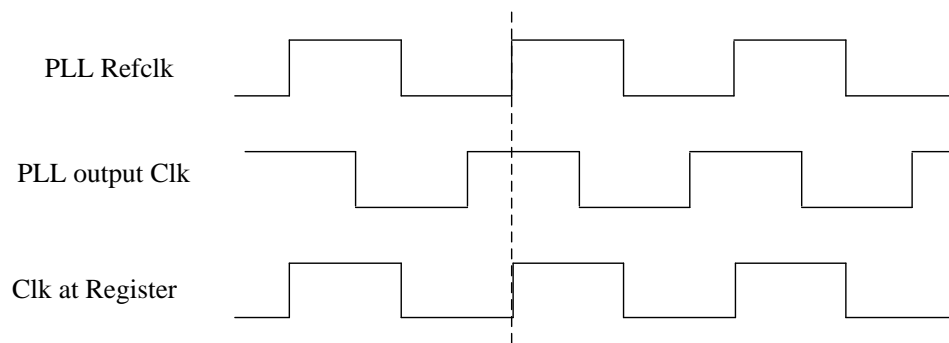


图 4- 3 普通模式

d) 零延迟缓冲模式 (Zero Delay Buffer Mode)

零延迟缓冲模式，时钟输出管脚相位和 PLL 参考时钟输入管脚相位对齐。当使用该模式时，需要在普通模式的前提下，输入时钟与输出时钟上使用同一 I/O 标准，以保证输入与输出管脚上的时钟对齐。

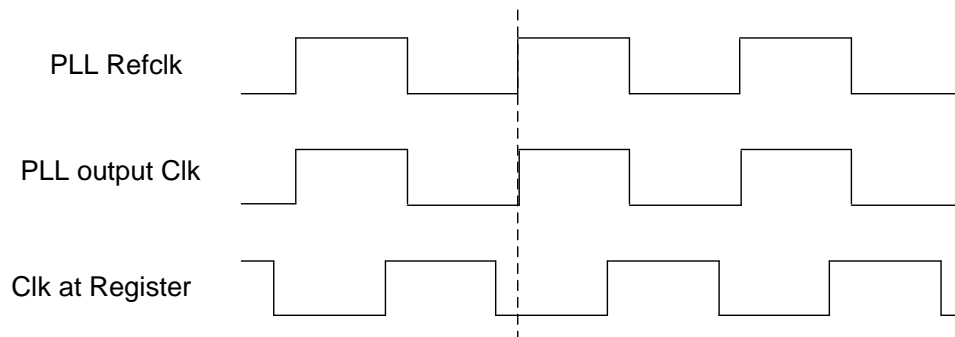


图 4- 4 零延迟缓冲模式

5 动态相移

EAGLE 系列 PLL 支持静态配置，即由用户通过软件设置生成码流，上电下载后不能更改。此外，EAGLE 系列 FPGA 支持动态相移功能。

静态配置参数包括：

- 1、参考/反馈时钟输入/输出选择
- 2、参考时钟分频系数(M)
- 3、反馈时钟分频系数(N)
- 4、输出时钟分频系数(C0-C4)

动态相移特性允许对锁相环的每个独立输出相位进行动态调整，通过对给定的计数器递增或递减实时改变输出时钟相。每次移动相位为 $1/8VC0$ 周期。表 5- 1 列出了用于动态相移的控制信号。

表 5- 1 动态相移控制信号

信号名称	描述	信号来源	信号目的地
PSCLKSEL	要进行动态移相的时钟选择信号，从 C0-C4 中选出一路或者同时进行动态相位移动。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSDOWN	动态相移方向选择，1=向上，0=向下，PSCLK 的上升沿采样。	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSSTEP	PSSTEP=1，使能动态相移	PIB 或者 IO 引脚	PLL reconfiguration 电路
PSCLK	动态相移时钟	GCLK 或者 IO 引脚	PLL reconfiguration 电路
PSDONE	信号为高电平时，表明相位调整结束，PSCLK 的上升沿采样。	PLL reconfiguration 电路	PIB 或者 IO 引脚

对于动态相移，每次能对一路输出进行相位调整或者对 C0-C4 五路时钟同时调整，由 PIB 的接口 PSCLKSEL[2:0] 来选择 C[4:0] 中的一路或全部输出执行动态相移，如下表所示。

表 5- 2 动态相移输出选择

PSCLKSEL[2:0]	PLL 输出选择
000 (default)	C[0]
001	C[1]
010	C[2]
011	C[3]
100	C[4]
101	保留

执行一次动态相移调整，必须遵循以下步骤：

- (1) 根据需要设置 PSDOWN 和 PSCLKSEL。
- (2) 打开相位调整，相位调整 PSSTEP 至少需要四个 PSCLK 周期，每一个 PSSTEP 脉冲进行一次相位移动。
- (3) 关闭相位调整。
- (4) 等待 PSDONE 变为高电平。
- (5) 重复上述步骤 1-4，可以进行多次动态相位调整。

PSCLKSEL[2:0], PSSTEP, PSDOWN 和 PSCLK 同步，必须由 PSCLK 同步过后送给 PLL。

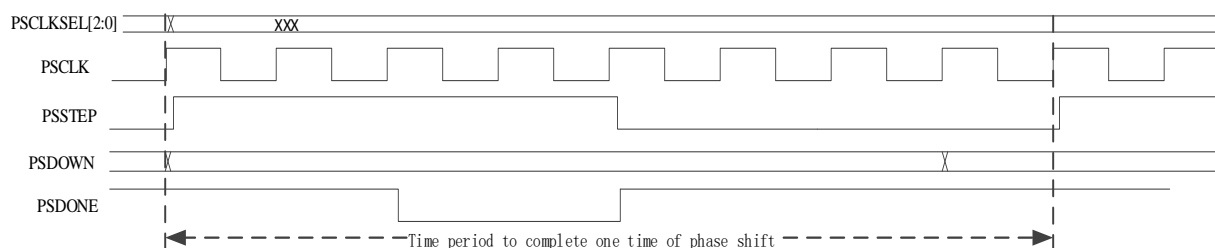


图 5- 1PLL 动态相移

PSSTEP 信号在 PSCLK 的上升沿被锁存，如图 5- 1 所示，PSSTEP 必须在至少四个 PSCLK 周期内保持高电平。在 PSCLK 采样到 PSSTEP 后再经过 2 个 PSCLK 的周期，PSDONE 信号变为低电平并保持 2 个 PSCLK 时钟周期。然后 PSDONE 由低变为高电平，必须再经过四个 PSCLK 周期以上才可以执行另一个动态相移操作。

每一次动态相移，动态相移使能信号 PSSTEP 必须维持至少四个 PSCLK 周期，同时 PSDONE 信号为高电平也至少维持 4 个 PSCLK 时钟周期，也就是完成一次动态相移至少需要 8 个 PSCLK 周期。

注意：在动态相移过程中被调节时钟可能会产生 glitch。

6 锁相环的使用

用户可通过如下步骤进行使用 EAGLE 中的锁相环。

1、在 TD 界面下点击 Tools->IP Generator->Creat a new IP core, IP core 界面下选择 PLL, 如图 6- 1。

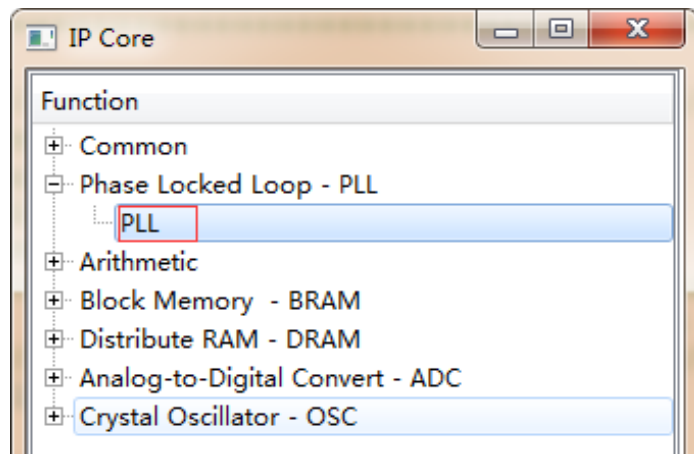


图 6- 1 IP 选择

2、进入到 PLL 配置界面, 用户需要根据实际情况配置输入时钟频率、反馈模式、输入设置及动态设置等, 参见图 6- 2;

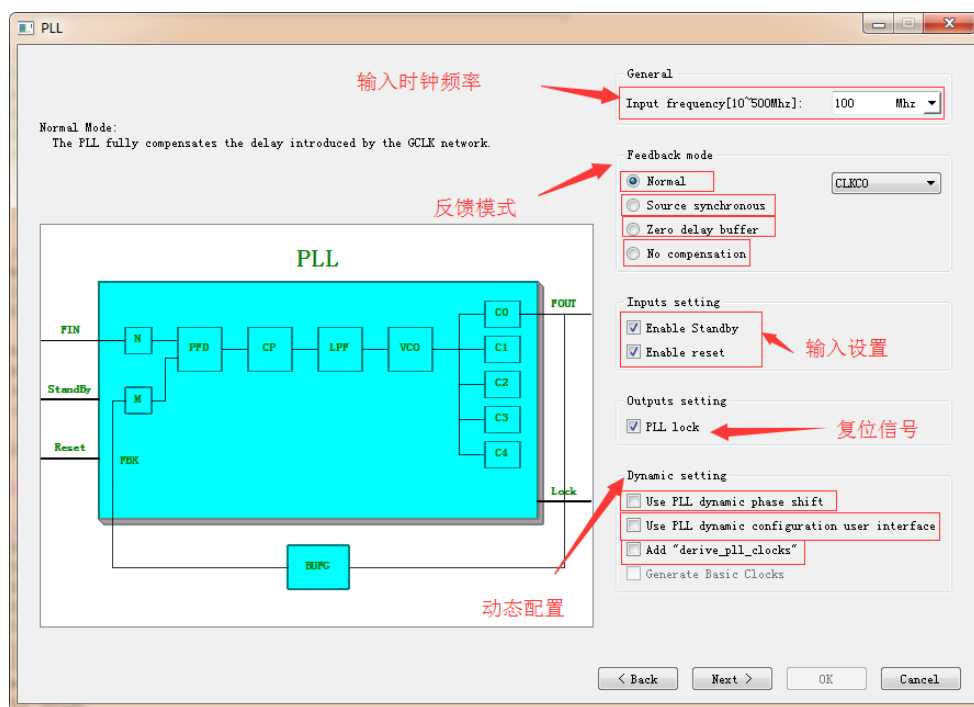


图 6- 2 PLL 设置 (a)

3、PLL 带宽选择, 用户可根据需求选择需要带宽设置, 建议使用默认选项, 如图 6- 3;

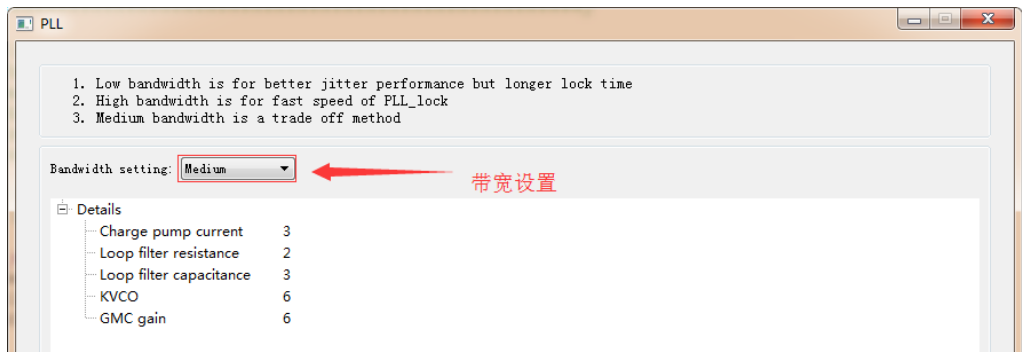


图 6- 3 PLL 设置 (b)

4、用户可根据需求选择 PLL 输出管脚的个数、频率和偏移相位

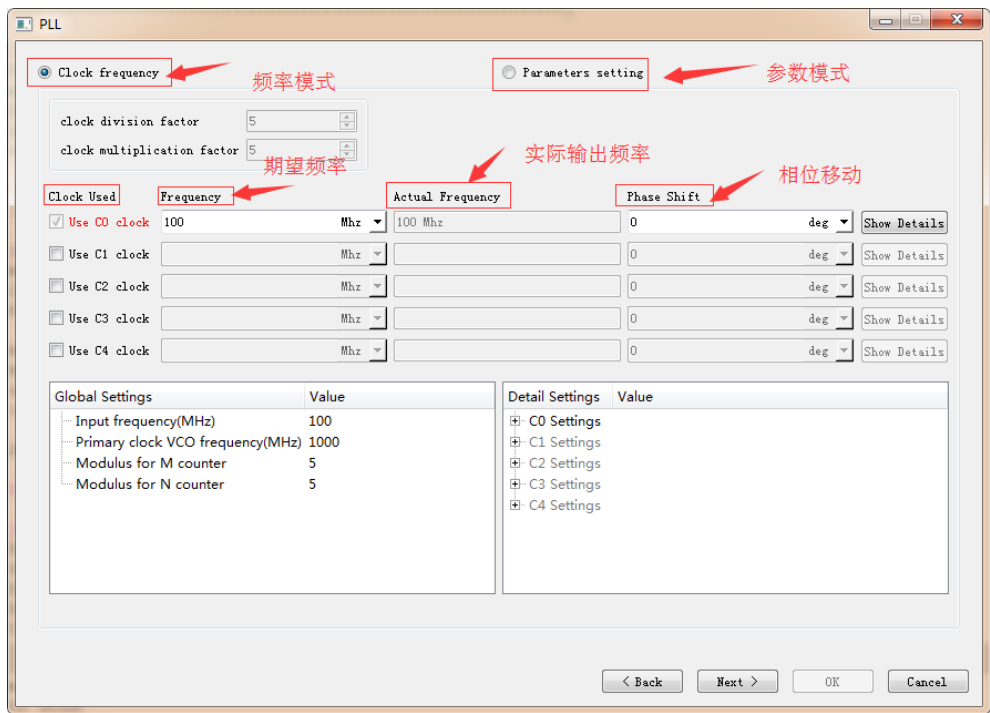


图 6- 4 PLL 设置 (c)

5、如图 6- 5 所示，点击 OK 按钮完成 PLL 的全部配置工作，用户例化调用生成的 PLL 文件即可。

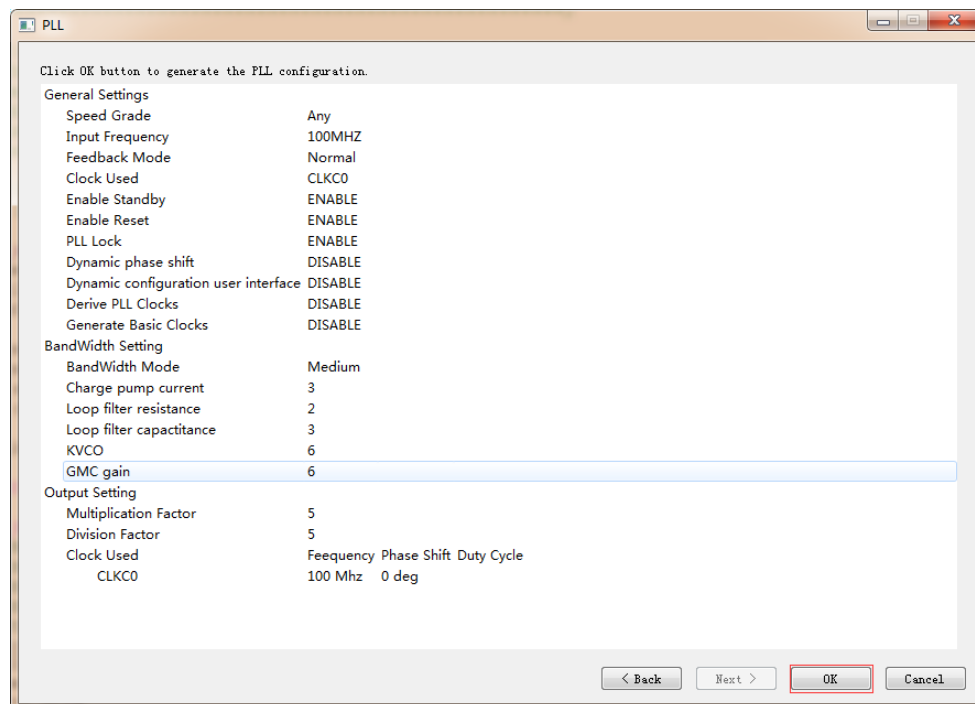


图 6- 5 PLL 设置 (d)

7 使用建议

(1) 建议用户待输入信号稳定后，再给锁相环进行复位以保证锁相环输出时钟信号的频率和相位；

(2) 用户在使用中应关注 PLL 的 lock 信号是否为高。

8 动态配置

动态配置是用户可以在 PLL 工作过程中通过专门的输入输出接口直接控制锁相环的配置参数，包括：

- 参考时钟分频系数(M)；
- 反馈时钟分频系数(N)；
- 输出时钟分频系数(C0-4)；

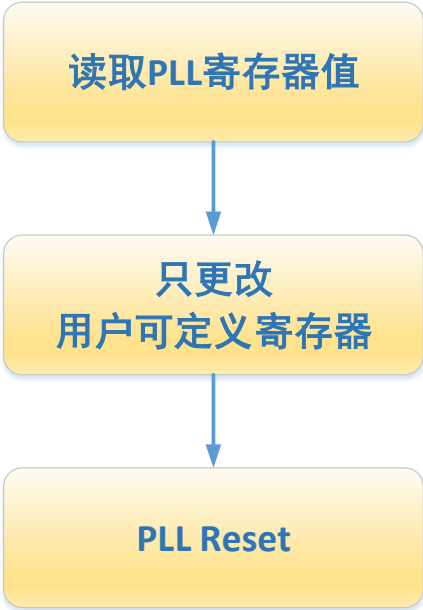
PLL 的每个参数都存储在 32*8 的 RAM 空间中。动态配置功能通过 EG_PHY_PLL 中的类似 MEMORY 访问的 8 位动态接口来实现。此应用以 PLL C0/C1 输出占空比为例，对 PLL 动态配置使用进行说明。其动态配置寄存器列表如下：

表 8-1 PLL 寄存器

地址	说明
5' h00	NC
5' h01	[7]=0, [6:0]=参考时钟分频系数；
5' h02	[7]=0, [6:0]=反馈时钟分频系数；
5' h03	[7]=0, [6:0]=通道 0 延迟系数；
5' h04	[7]=0, [6:0]=通道 0 分频系数；
5' h05	[7]=0, [6:0]=通道 1 延迟系数；
5' h06	[7]=0, [6:0]=通道 1 分频系数；
5' h07	[7]=0, [6:0]=通道 2 延迟系数；
5' h08	[7]=0, [6:0]=通道 2 分频系数；
5' h09	[7]=0, [6:0]=通道 3 延迟系数；
5' h0A	[7]=0, [6:0]=通道 3 分频系数；
5' h0B	[7]=0, [6:0]=通道 4 延迟系数；
5' h0C	[7]=0, [6:0]=通道 4 分频系数；

注：上述寄存器的值与 TD PLL GUI 界面值之差为 1，即 GUI=20，配置 Reg=19；

为了保证 PLL 动态配置达到预期，配置 PLL 相关寄存器需严格按照控制位列表进行，先读取后，只更新用户可定义寄存器值，最后再复位，确保配置成功。



VCO 公式

1) 当反馈模式选择 VCO 反馈时:

$$F_{VCO} = F_{refclk} \times \frac{M}{N}$$

2) 当反馈模式选择 C0~C4 某个通道作为反馈时:

$$F_{VCO} = F_{refclk} \times \frac{M}{N} \times CLKCx_{div}$$

其中，*CLKCx_div* 为 PLL 输出通道的分频系数。参考时钟分频系数 (N)，反馈时钟分频系数 (M) 控制来实现；

PLL IP Core 动态配置端口声明如下表 8-2 所示:

表 8-2 PLL IP 动态配置端口

EG_PHY_PLL	方向	说明
dcclk	输入	时钟输入，上升沿有效
dcs	输入	片选输入，高有效，时钟上升沿被锁存
daddr[5:0]	输入	读写地址，时钟上升沿被锁存
dwe	输入	写使能，高有效，时钟上升沿锁存
di[7:0]	输入	写入数据
do[7:0]	输出	数据无延迟输出，PLL 配置数据读出端口

PLL IP Core 动态配置时序如下图 2 所示:

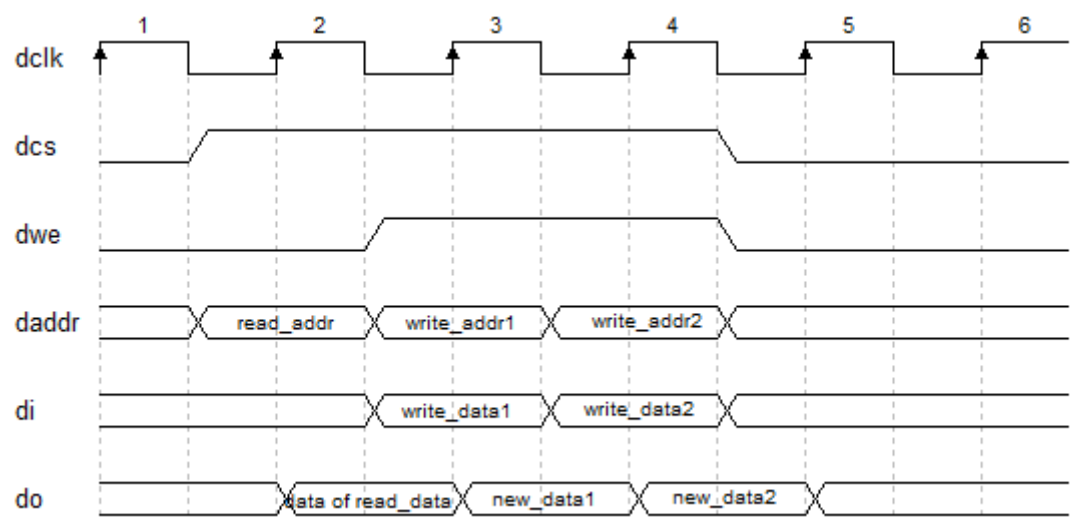


图 8-2 动态配置

版本信息

日期	版本	说明
2018/8/15	1.0	初版建立
2018/9/13	1.1	文档格式调整
2022/01/15	1.2	新增第 8 章节：动态配置，增加相关寄存器列表，端口介绍。 时序图等内容； 表 5-3 动态相移输出选择

版权所有© 2022 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。