



SALEAGLE®4X FPGA 编程和配置使用说明

1 术语/缩略词

FPGA	: Field Programmable Gate Array	现场可编程门阵列
SS	: Slave Serial	从动串行
SP	: Slave Parallel	从动并行
MCU	: Micro Controller Unit	微型控制单元
MSPI	: Master Serial Peripheral Interface	主动串行外设接口
JTAG	: Joint Test Action Group	联合测试工作组

2 关于本手册

安路 SALEAGLE®4（以下简称为 EG4）X FPGA 器件支持的程序加载模式如表 1 所示。本手册主要介绍 SS, SP, MSPI 和 JTAG 加载模式，及 EG4X 器件相关加载模式的使用方法以及使用流程，包括使用各种加载方法的硬件连接、软件操作流程和使用注意事项。

EG4X 的配置模式是由 FPGA 的双功能引脚 M[1:0] 的加载位流前的状态决定。

本文档软件版本是 4.3.815。

表 1 EG4X 配置模式及引脚

配置模式						
配置引脚名	类型	SS	SP	MSPI	MP	JTAG
		从动串行 Slave serial	从动并行 Slave Parallel	标准 SPI Master SPI Standard	主动并行 Master Parallel (X8)	
M[1:0]	复用	11	10	01	00	XX
PROGRAM_B	复用	PROGRAM_B				-
INIT_B	复用	INIT_B				-
DONE	复用	DONE				-
CCLK	复用	CCLK				-
CSI_B/MOSI	复用	-	CSI_B	MOSI	CSI_B	-
TMS TCK TDO TDI	复用	-				TMS TCK TDO TDI
D[7:1]	复用	-	D[7:1]	-	D[7:1]	-
D[0]/DIN/MISO	复用	DIN	D[0]	MISO	D[0]	-
CS0_B	复用	-	CS0_B	CS0_B	CS0_B	-
DOUT	复用	DOUT	-	DOUT	-	-

注 1: EG4X 器件的 CSI_B(T10) 引脚在 JTAG 加载模式和 MSPI 模式时不能为上拉状态。

注 2: EG4X 器件的 IO_R7P_3 (L3) 引脚在加载过程中不受 HSWAPEN 控制，一直保持为弱上拉状态。

3 从动串行加载模式

3.1 从动串行加载模式时序

从动串行（SS）模式下，FPGA 作为从器件，由 MCU 控制加载位流。MCU 可以使用 TD 软件生成的 .bin 文件或者 .rbf 文件配置 FPGA。若使用 .bin 文件，则从每个字节高位开始往外串行送数据。若使用 .rbf 文件，则从每个字节低位开始往外串行送数据。MCU 通过 CCLK、DIN 信号使用串行方式将数据写入 FPGA。芯片在每个 CCLK 的上升沿接收数据，数据接收完成后，DONE 拉高表示配置完成，如果配置过程中出错，FPGA 会将 INIT_B 信号拉低。

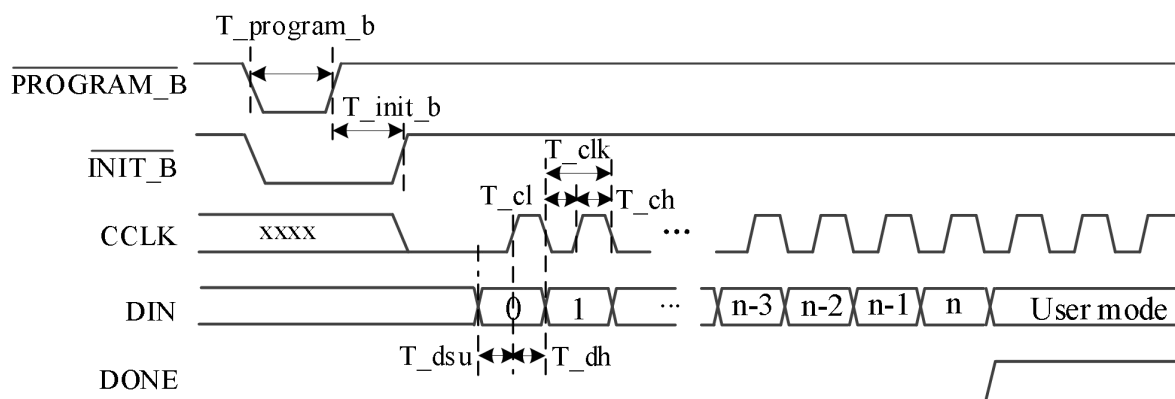


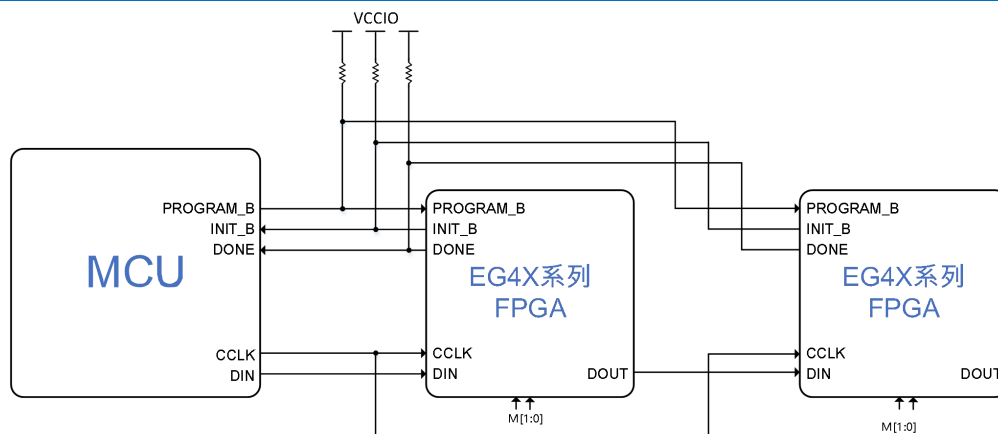
图 1 从动串行配置时序

从动串行配置方式的时序如图 1 所示。PROGRAM_B 拉低后，INIT_B 信号被拉低，表示芯片开始初始化，PROGRAM_B 保持拉低 $\geq 1\mu s$ 后拉高，大约 10ms 后芯片初始化完成，INIT_B 回到高电平，可以开始配置。FPGA 在时钟的上升沿采样配置数据，在配置完成之后，DONE 信号变高，表示配置成功，芯片开始工作。如果在配置过程中出错，DONE 不会变高，且 INIT_B 信号将重新回到低电平。

用户若需要多个 FPGA 协同工作，可以采用级联配置方法，级联工作模式由位流中的命令指定。EAGLE 系列 EG4X 器件支持级联配置，级联方式仅支持 Bypass 模式。在 EG4X 芯片的 Bypass 级联配置模式下载时，主控 MCU 连续的将多片 FPGA 的配置数据串行移出，前一级 FPGA 芯片配置完成后，会在每个 CCLK 上升时刻将新收到的数据通过 DOUT 引脚移位到下一级芯片。所有级联 FPGA 芯片的 DONE 引脚通过上拉电阻线与连接在一起，因此只有级联的器件都完成配置后，所有芯片才同时开始工作。EG4X FPGA 器件 Bypass 级联模式的两级级联硬件连接图如图 2 所示。如果不用级联，则只保留第一级，去掉后一级 FPGA，同时 DOUT 引脚不接即可。如果需要级联更多级，则按照第二级的连接方式，通过 DOUT 向后串联即可。

表 2 从动串行配置时序表

symbol	parameter	minimum	maximum	unit
T_program_b	PROGRAM_B low pulse width	1	—	us
T_init_b	INIT_B low pulse width	—	10	ms
T_clk	CCLK period	33	—	ns
T_ch	CCLK high time	15.5	—	ns
T_cl	CCLK low time	15.5	—	ns
T_dsu	Data setup time	16.5	—	ns
T_dh	Data hold time	6	—	ns



其中
 $M[1:0] = 2'b11$

图 2 EG4X 系列 FPGA 的 Bypass 级联模式

在两级或者多级 FPGA 级联的情况下，如果多个 FPGA 的位流一样，则可以将同一个位流数据连续读取多遍发送，达到配置多片 FPGA 的目的。如果多个 FPGA 的位流不一样，则可以连续读取多个位流文件，同时注意在文件切换之间 PROGRAM_B, CCLK 等信号的状态要保持不变。另外也可以将多个 FPGA 的位流文件合并成一个文件，连续的将合并后的位流文件数据送出即可。

3.2 从动串行加载软件设置

若要生成 FPGA 从动加载使用的 .bin 文件或者 .rbf 文件，则需要在 TD 软件中打开生成选项。

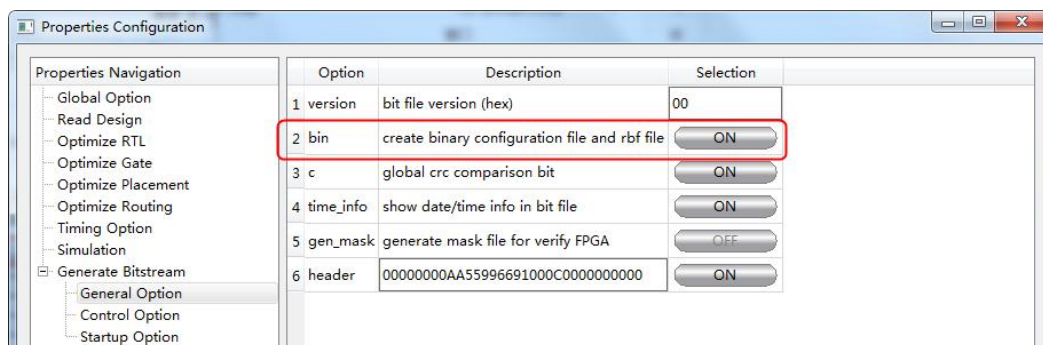


图 3 二进制配置文件生成软件开关

若要使用从动串行加载的级联模式，则还需要在 TD 软件中设置以下两个选项开关，分别为设置级联模式为 Bypass 模式和设置多片同步启动模式。

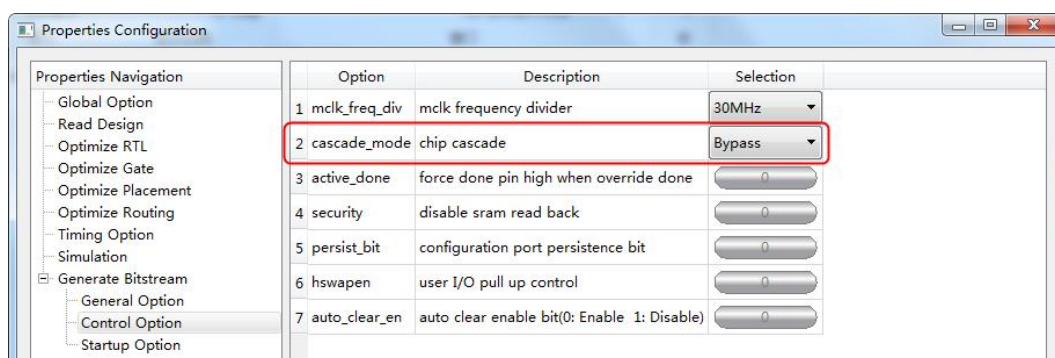


图 4 设置加载模式为级联 Bypass 模式

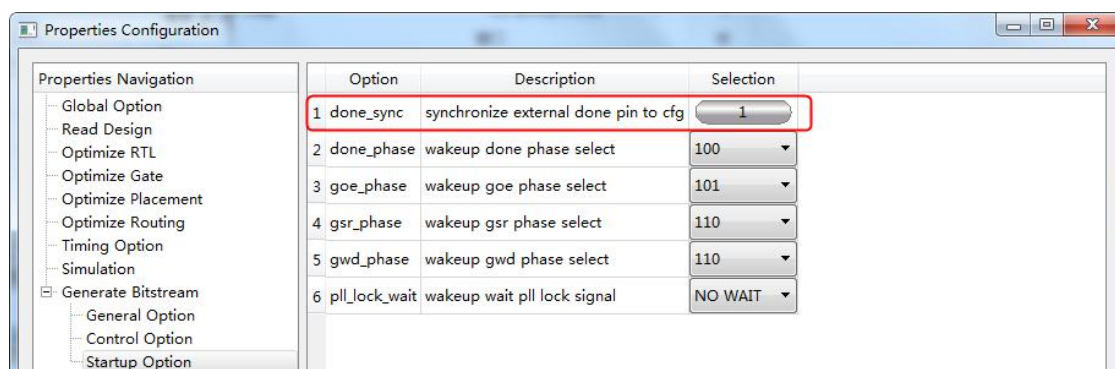


图 5 设置芯片启动模式为多片同步启动

3.3 从动串行加载参考设计

本参考设计中，采用安路 ELF2 FPGA 的内嵌 MCU 作为主控制器。将 TD 生成的二进制文件存入 SD 卡中，然后通过 MCU 读取二进制文件，通过串行接口将位流写入 EG4X FPGA 器件中，硬件连接方式如图 6 所示。

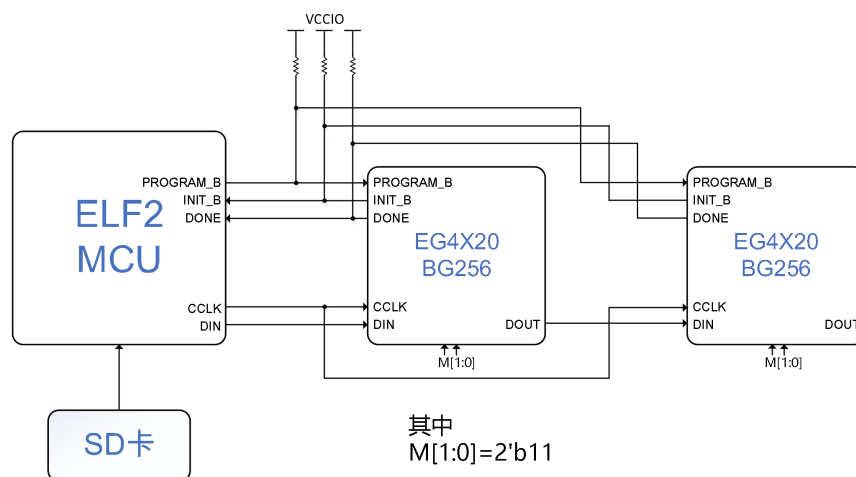


图 6 EG4X20 两级从动串行加载硬件连接

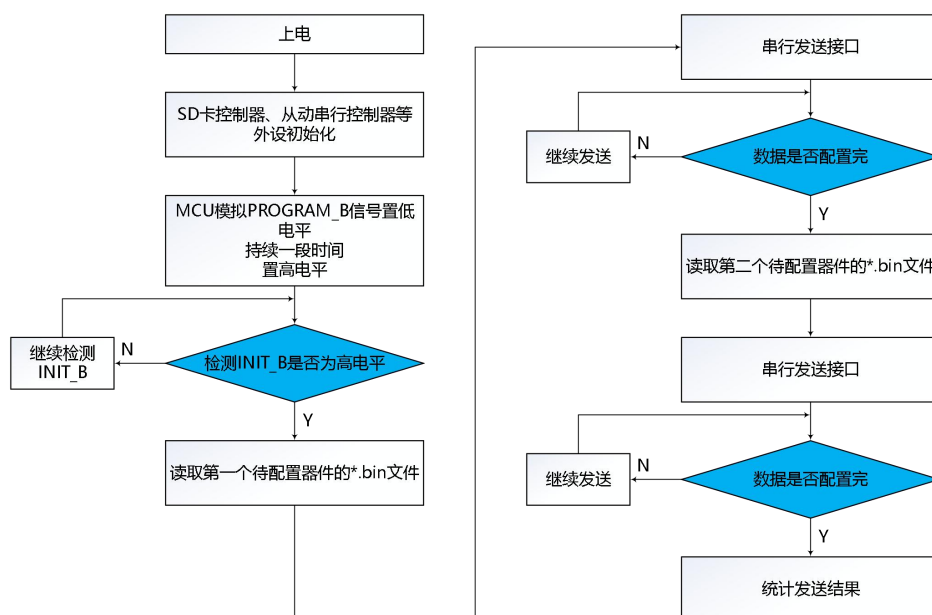


图 7 从动串行加载 MCU 软件流程

4 从动并行加载模式

4.1 从动并行加载时序

从动并行（SP）模式下，FPGA 作为从器件，由 MCU 控制加载位流。MCU 可以使用 TD 软件生成的 .bin 文件或者 .rbf 文件配置 FPGA。若使用 .rbf 文件，则从每个字节的 BIT 顺序需要颠倒一下再向外发送。MCU 通过 CCLK、D[7:0] 信号将数据写入 FPGA。芯片在每个 CCLK 的上升沿接收数据，数据接收完成后，DONE 拉高表示配置完成，如果配置过程中出错，FPGA 会将 INIT_B 信号拉低。

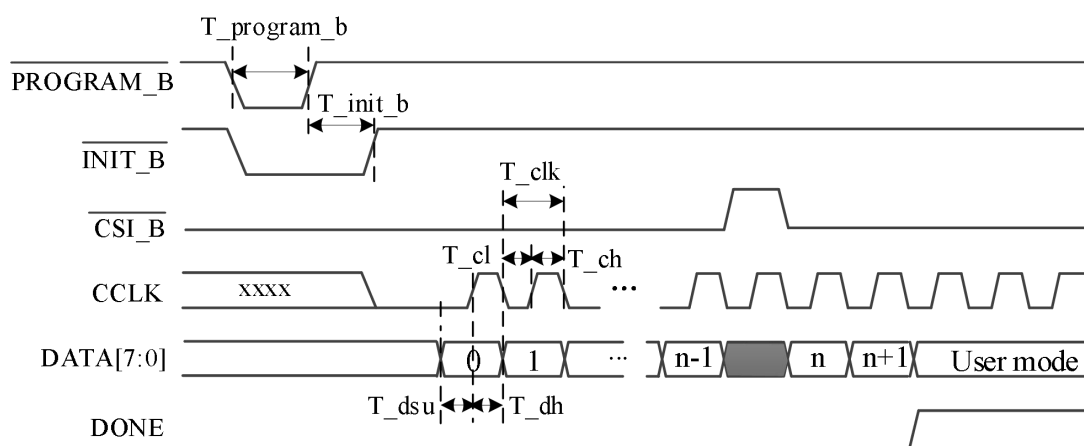


图 8 从动并行配置时序

从动并行配置方式的时序如图 8 和表 1 所示。PROGRAM_B 拉低后，INIT_B 信号被拉低，表示芯片开始初始化，PROGRAM_B 保持拉低 $\geq 1\mu s$ 后拉高，再等大约 10ms 后芯片初始化完成，INIT_B 回到高电平，可以开始配置。FPGA 在时钟的上升沿采样配置数据，在配置完成之后，DONE 信号变高，表示配置成功，芯片开始工作。如果在配置过程中出错，DONE 不会变高，且 INIT_B 信号将重新回到低电平。

用户若需要多个 FPGA 协同工作，可以采用级联配置方法。在 EG4X 芯片的从动并行级联配置模式下载时，主控 MCU 连续的将多片 FPGA 的配置数据移出，前一级 FPGA 芯片配置完成后，会将 CS0_B 信号拉低，选中下一级芯片。所有级联 FPGA 芯片的 DONE 引脚通过上拉电阻线与连接在一起，因此只有都完成配置后，所有芯片同时开始工作。EG4X FPGA 从动级联模式的两级级联硬件连接图如图 9 所示。如果不用级联，则只保留第一级，去掉后一级 FPGA，同时 CS0_B 引脚不接即可。如果需要级联更多级，则按照第二级的连接方式，通过 CS0_B 向后串联即可。

表 3 从动并行配置时序参数

symbol	parameter	minimum	maximum	unit
T_program_b	PROGRAM_B low pulse width	1	—	us
T_init_b	INIT_B low pulse width	—	10	ms
T_clk	CCLK period	33	—	ns
T_ch	CCLK high time	15.5	—	ns
T_cl	CCLK low time	15.5	—	ns
T_dsu	Data setup time	16.5	—	ns
T_dh	Data hold time	6	—	ns

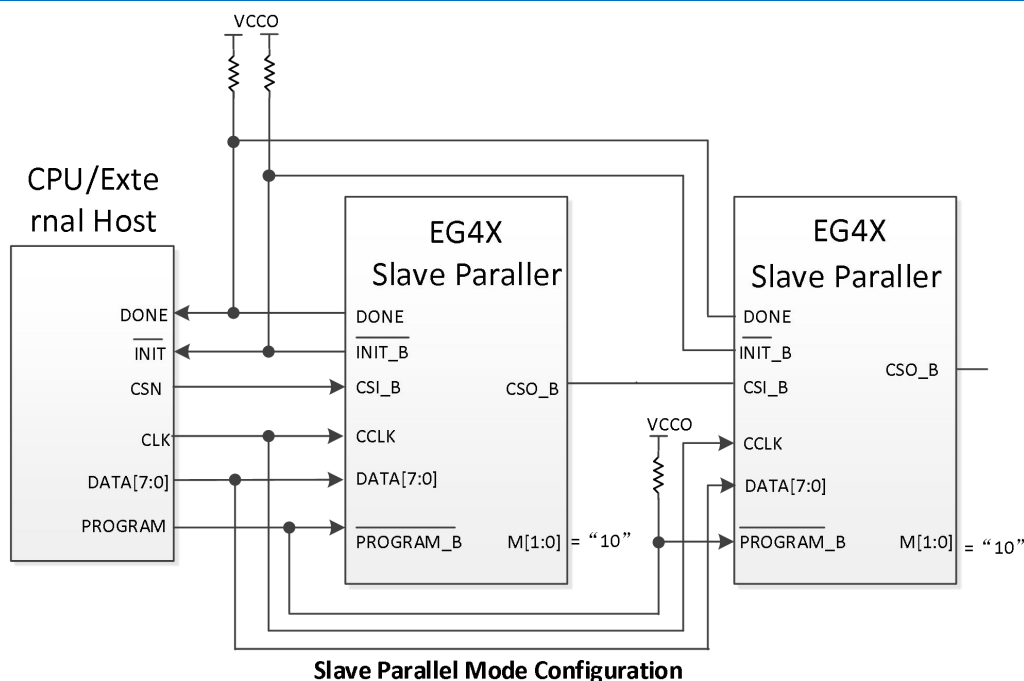


图 9 EG4X 系列 FPGA 的从动并行级联模式

多个 FPGA 协同加载也可以不通过 CS 串联，直接将多片 FPGA 的 CSI_B 接到 MCU，由 MCU 通过片选切换控制当前加载哪一片 FPGA。硬件连接图如图 10 所示的从动并行并联加载模式。

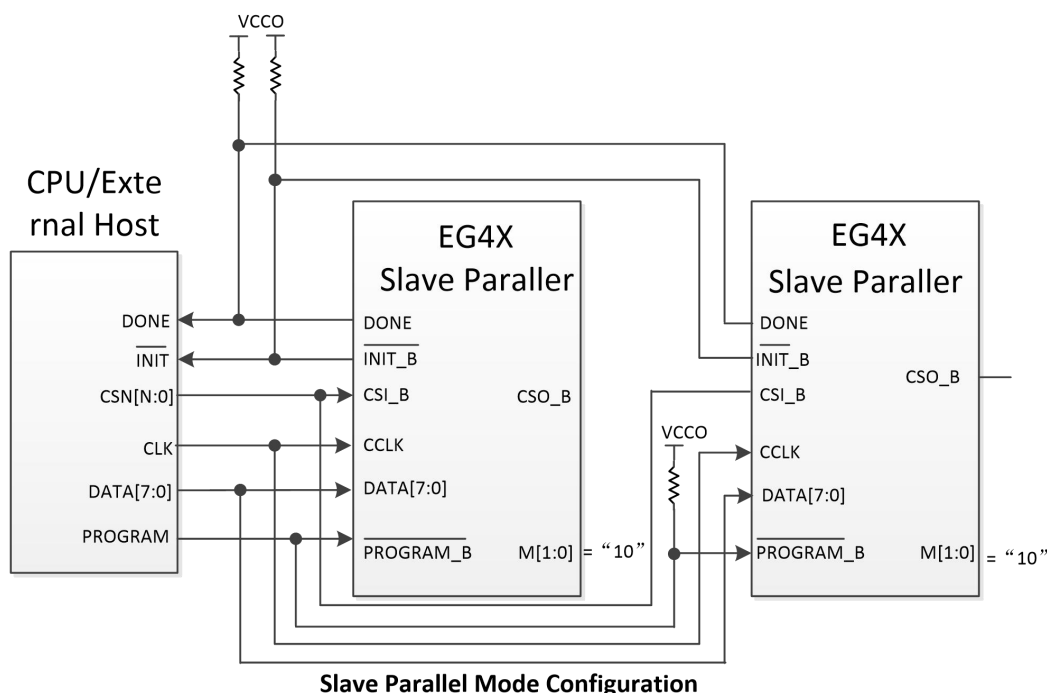


图 10 EG4X 从动并行并联加载

在两级或者多级 **FPGA** 级联的情况下，如果多个 **FPGA** 的位流一样，则可以将同一个位流数据连续读取多遍发送，达到配置多片 **FPGA** 的目的。如果多个 **FPGA** 的位流不一样，则可以连续读取多个位流文件，同时注意在文件切换之间 **PROGRAM_B**, **CCLK** 等信号的状态要保持不变。另外也可以将多个 **FPGA** 的位流文件合并成一个文件，连续的将合并后的位流文件数据送出即可。

4.2 从动并行加载软件设置

若要生成 FPGA 从动加载使用的 .bin 文件或者 .rbf 文件，则需要在 TD 软件中打开生成选项。

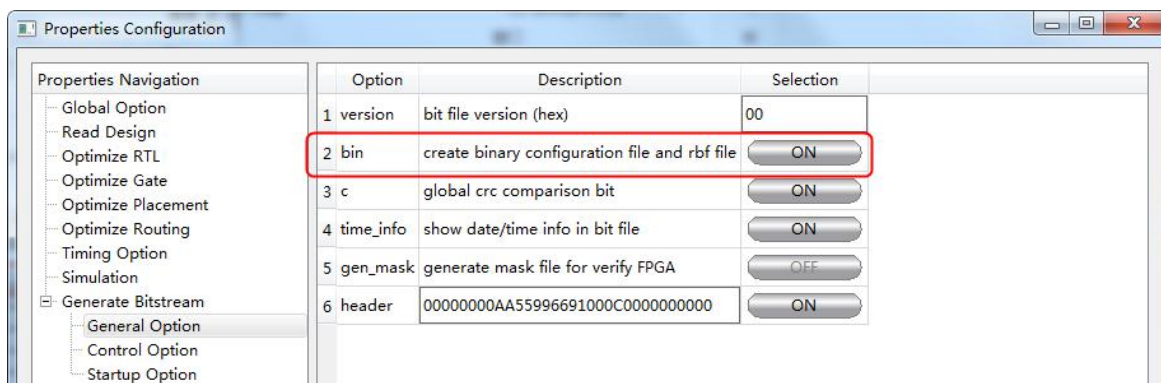


图 11 二进制配置文件生成软件开关

若使用从动并行加载的通过 CSI, CS0 的级联模式，则需要在 TD 软件中设置以下选项。即将级联模式设置为 Flowthrough。若是通过 CS 片选多片芯片的方式实现的从动并行加载，则无需要设置此项。

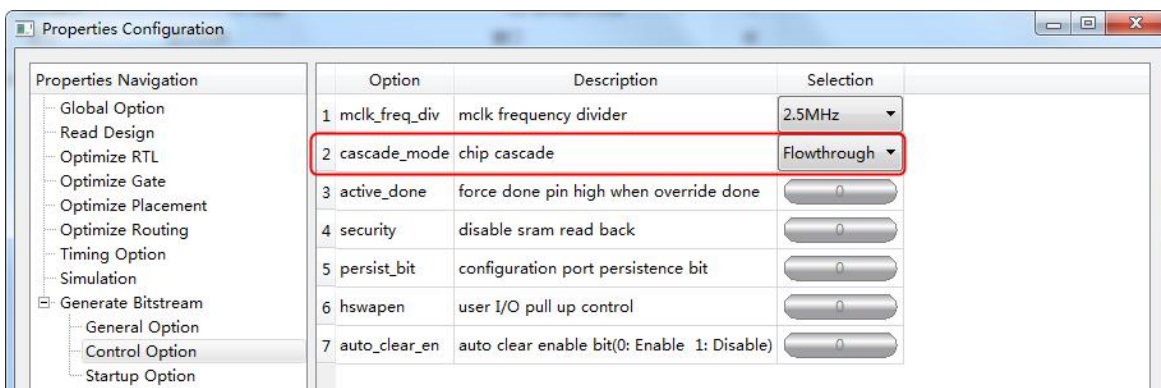


图 12 设置加载模式为级联 Flowthrough 模式

为了使多片级联加载的 FPGA 同时启动，则还需要设置以下选项。

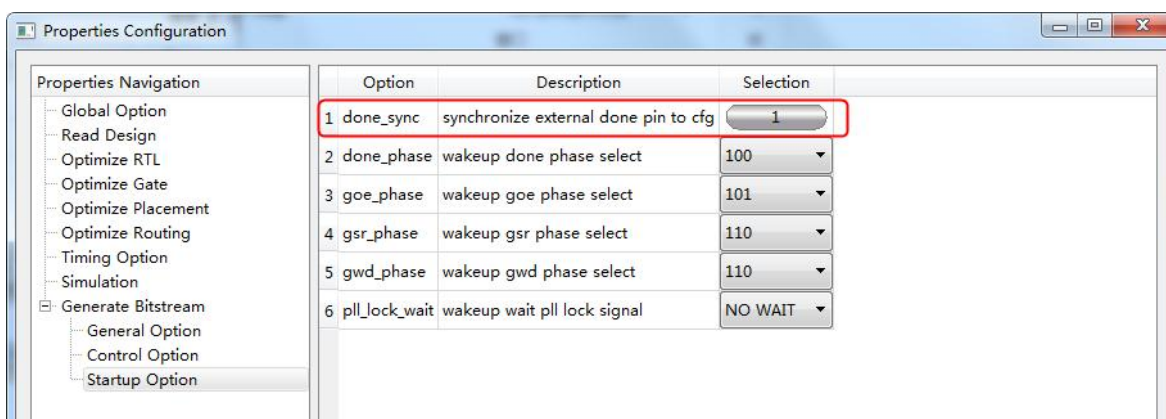


图 13 设置芯片启动模式为多片同步启动

4.3 从动并行加载参考设计

本参考设计中，采用安路 ELF2 FPGA 的内嵌 MCU 作为主控制器。将 TD 生成的二进制文件存入 SD 卡中，然后通过 MCU 读取二进制文件，通过并行接口将位流写入 EG4X 器件中，硬件连接方式如图 14 所示。

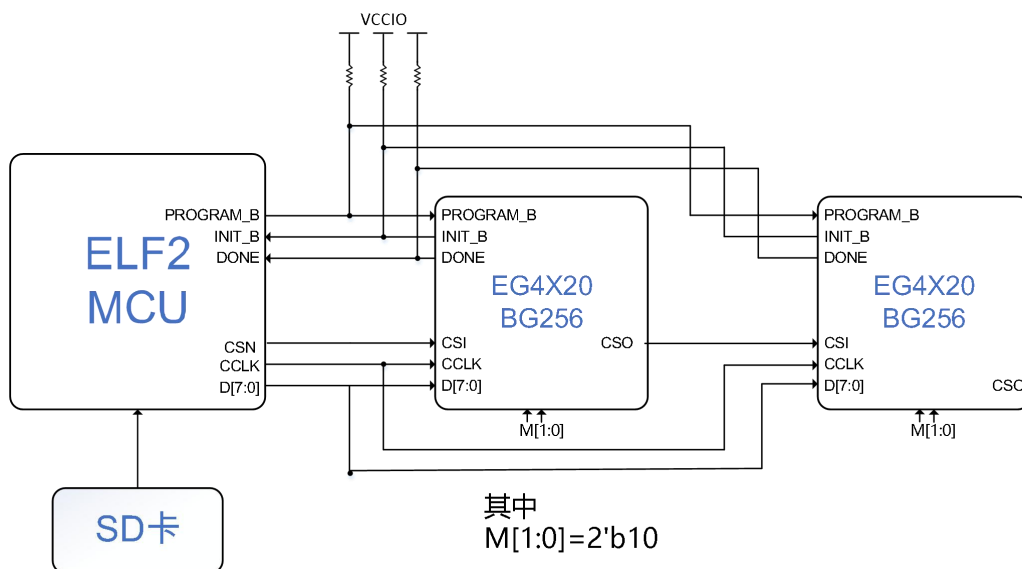


图 14 EG4X20 两级从动并行加载硬件连接

软件流程如图 15 所示

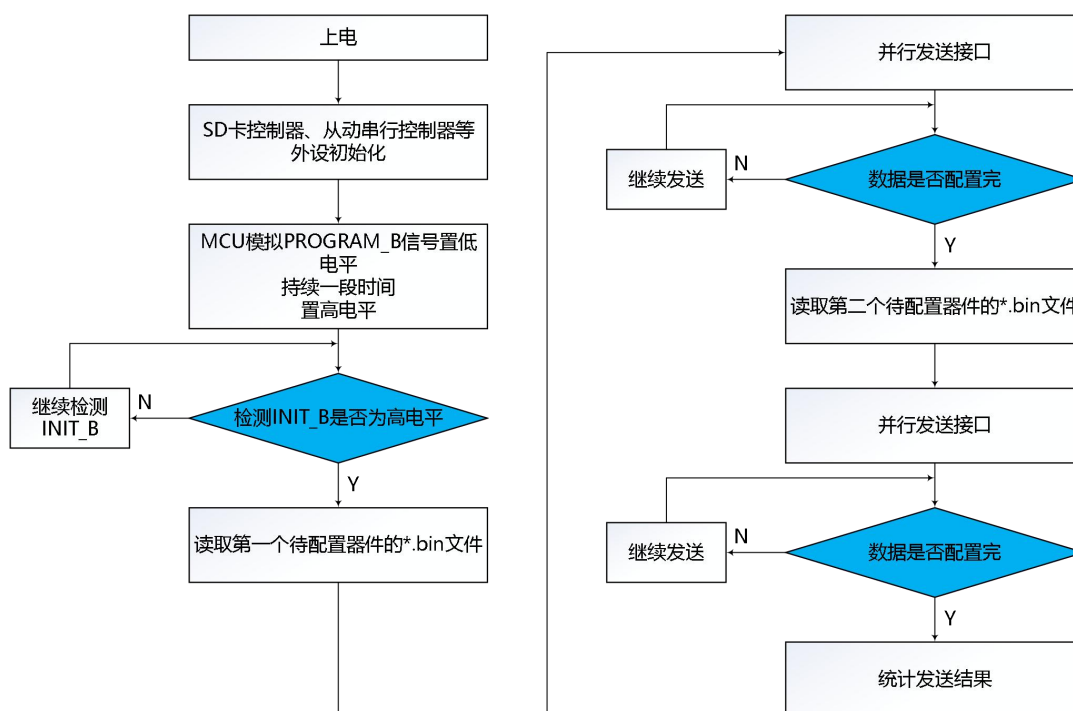


图 15 MCU 软件流程

5 MSPI 加载模式

MSPI 模式即上电后 FPGA 自动从外部 FLASH 读取加载位流。但首先需要将位流存入 FLASH 中。可以使用第三方烧录工具直接将软件生成的 BIN 文件烧录到 FLASH 中，也可以使用 TD 软件的 download 工具下载 bit 文件到 FLASH 中。EG4X 的 MSPI 只支持 X1 模式，该模式的设置由 M[1:0]两个 FPGA 管脚决定。

另外 MSPI 模式下，FPGA 从外部 FLASH 读取位流的速率可以通过设置指定，软件设置界面如图 16 所示。设置时钟频率越高则上电加载位流的时间越短。选择速率后，需要重新生成一次位流，设置才可生效。

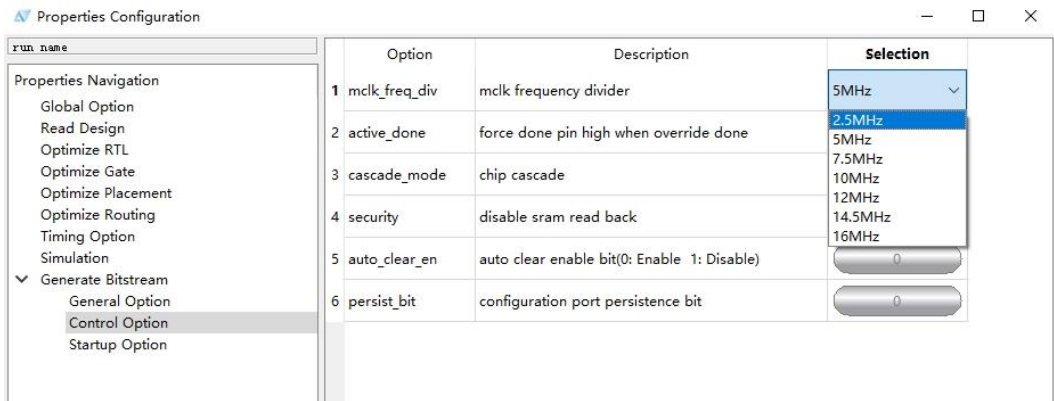


图 16 MSPI 模式加载速率设置

在芯片上电使用 MSPI 加载模式之前，需要将位流下载到 FPGA 芯片的外部 FLASH 中，下载方法如下图 17 所示。

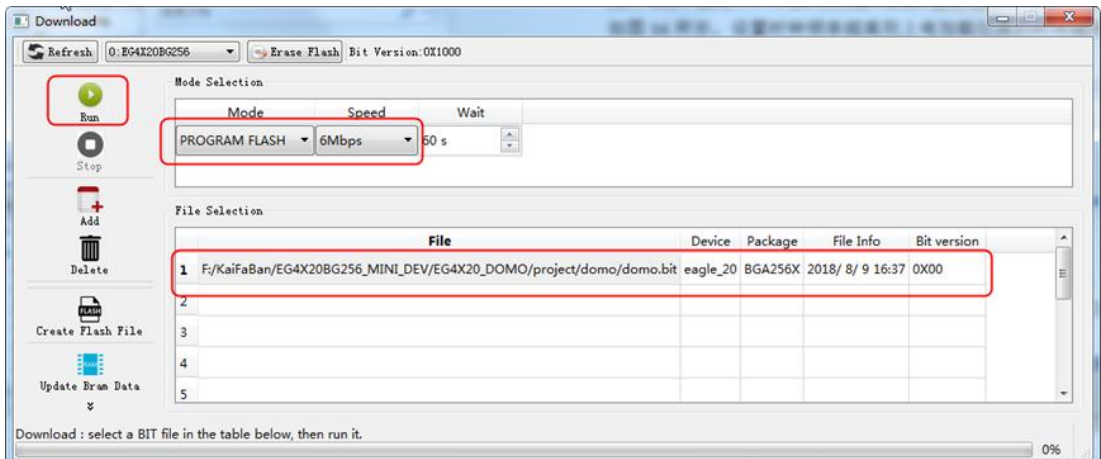


图 17 下载位流到内部 FLASH

注：在 MSPI 加载模式中，位流数据(有效数据)有部分 Dummy 数据；在发送 Dummy 数据时，内部数据通道已经关闭，不会对加载结果产生影响。

6 JTAG 级联加载

该模式使用 TD 软件自带的 device chain 软件工具可以生成供 JTAG 级联加载的文件，生成不同的文件可以分别由安路下载调试器，MCU 和 JTAG STUDIO 工具使用。每种下载方式均支持直接下载 SRAM 和烧写片内 FLASH 两种模式。需要注意的是，若使用烧写 FLASH 模式，则 EG4X FPGA 必须处于 JTAG 链的前三级，且 FPGA 使用的外部 FLASH 必须支持 4K 擦除指令（ST 的 M25PXX 就不支持 4K 擦除）。

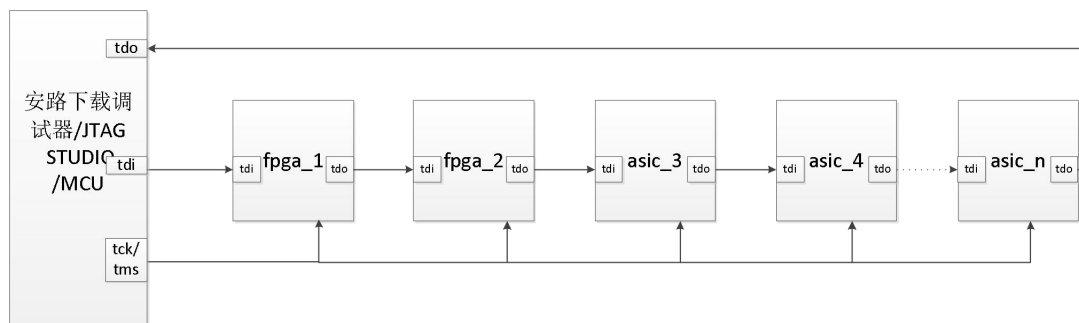


图 18 JTAG 级联加载

用 device chain 软件工具进行 JTAG 级联加载的流程如下：

- 1) 在 TD 软件 Tools->device chain 中，添加加载的 bit 文件，可以将各级需要加载的 bit 均加入，然后每一级单独生成相应的 svf 文件或者 tde 文件，其中 svf 文件用于 TD 软件或者 JTAG STUDIO 下载使用，tde 文件用于 MCU 嵌入式环境使用。
- 2) 如图 19 是生成用于 TD 软件或者 JTAG STUDIO 使用的下载 SRAM 的 SVF 文件。添加 bit 文件，根据物理连接设置该 bit 对应器件的 level 值，点击 create_svf，在 Bypass 下面输入 11111111，否则生成的 SVF 可能出错。生成 svf 文件后，可以直接使用 program 下载，也可以提供给 JTAG STUDIO 工具使用。

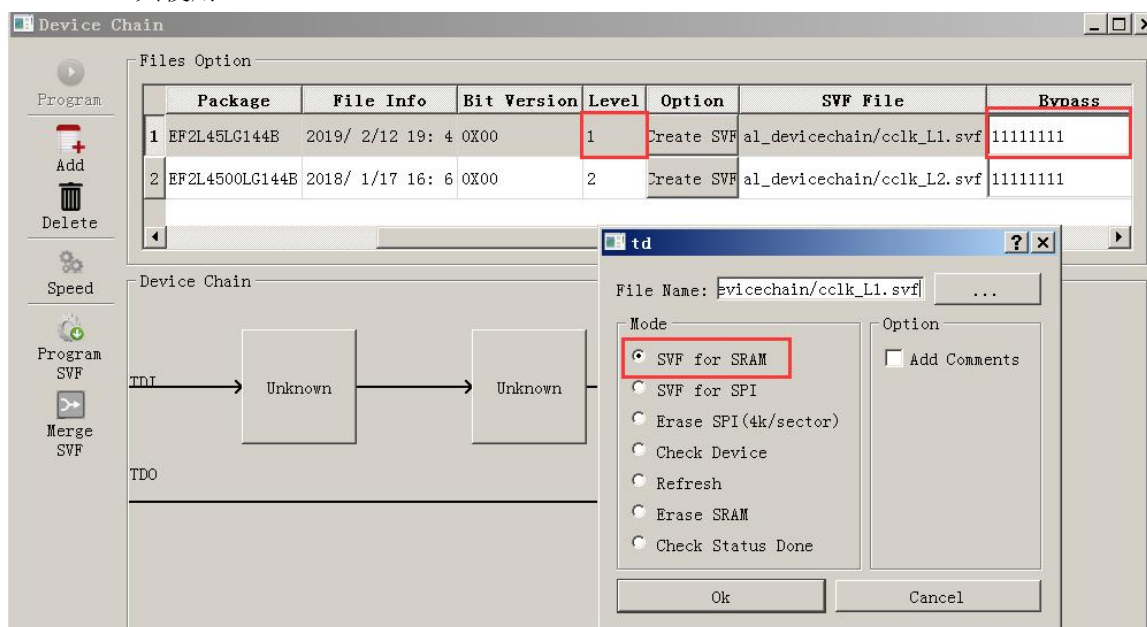


图 19 生成用于加载 SRAM 的 svf 文件

- 3) 图 20 所示是生成用于 TD 软件或者 JTAG STUDIO 使用或者 MCU 使用的 SVF 和 TDE 文件的页面选择。其中 bg_mode 是指是否背景升级 FLASH；rf_mode 是指加载完成后，是否执行 refresh 指令，从 FLASH 加载新的位流；Verify 是指加载后，是否需要回读检验 FLASH 内容。

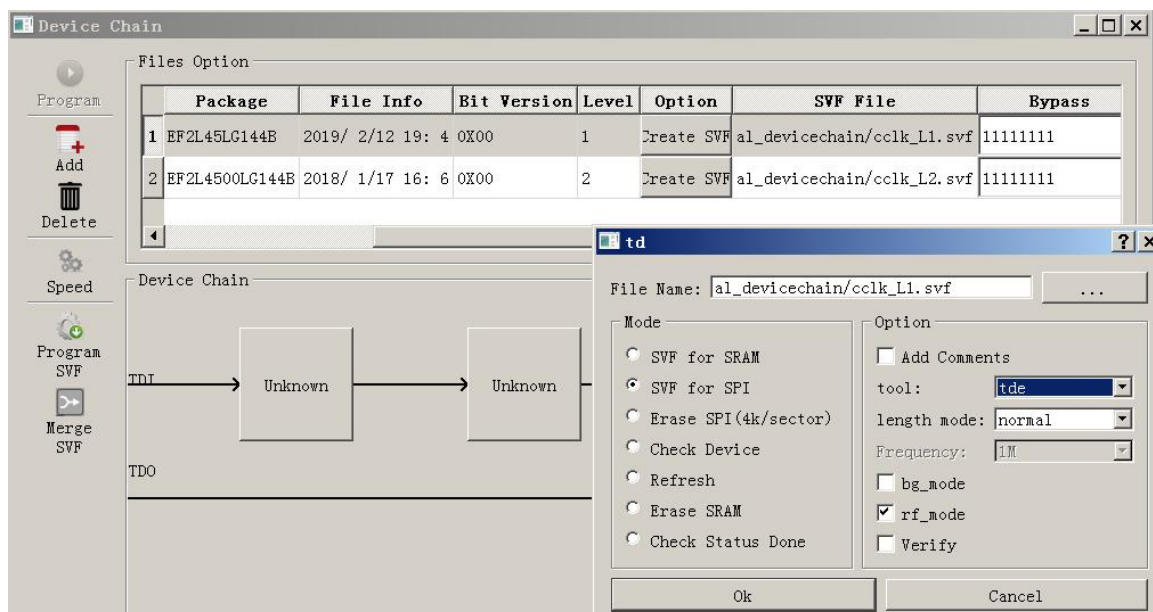


图 20 生成用于烧写 FLASH 的 svf 文件

- 4) 如图 21，剩下的几处选项分别是用于生成单独的擦除 FLASH 命令，单独的器件检查命令，单独的 refresh 命令，清除 FPGA 的当前工作位流命令，检查器件工作状态命令。

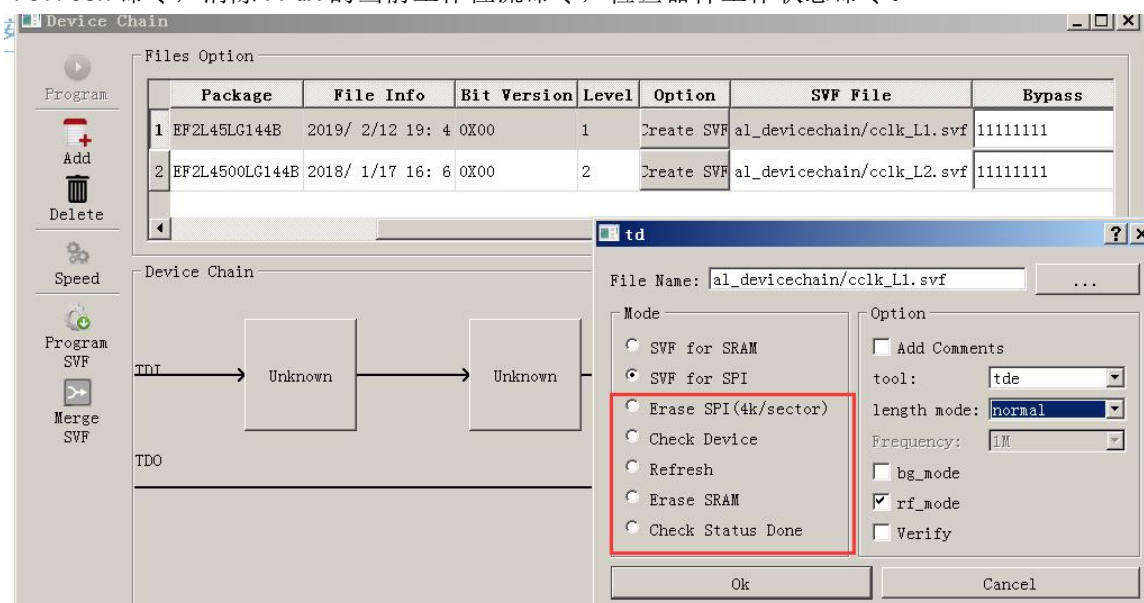


图 21 生成其他单一功能的 svf 和 tde 文件

- 5) 点击 OK，可以在工程路径看到相应生成的 svf 文件和 tde 文件。生成的 svf 文件可以用于 DEVICE CHAIN 或者 JTAG STUDIO 下载使用，生成的 tde 文件用于嵌入式 MCU 使用。如果嵌入式 MCU 平台没有文件系统，也可以使用对应生成的几个 .h 头文件。
- 6) 如图 22 是设置 SVF 文件下载速率，默认速率 1Mbps。推荐使用 3Mbps 速率以下进行加载。

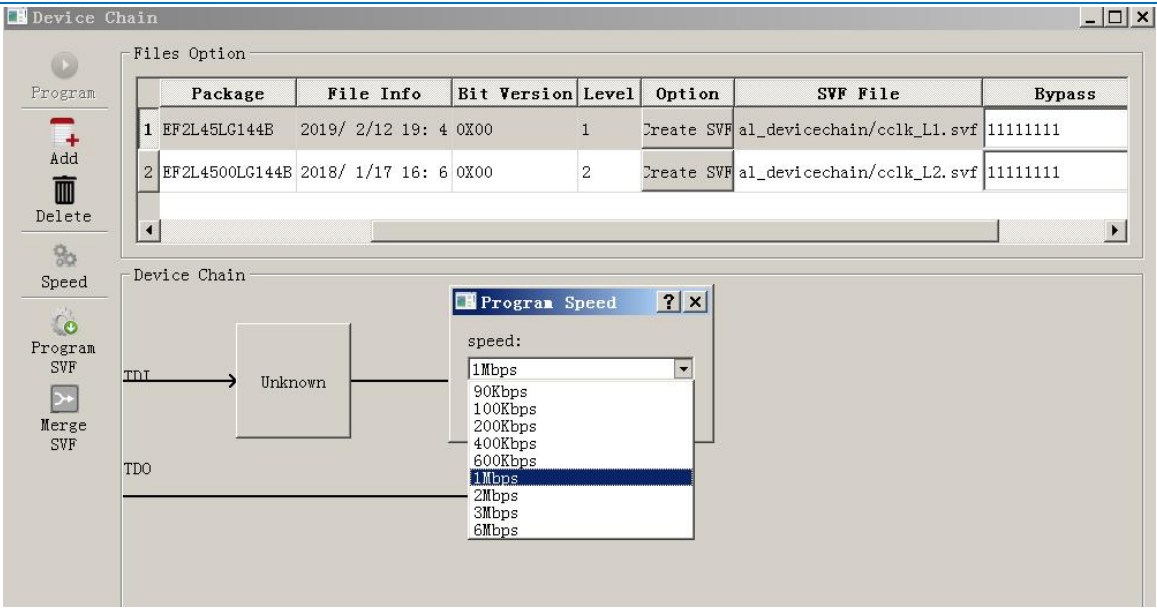


图 22 设置 SVF 加载速率

7) 如图 23 是可以将多个 SVF 文件合并为一个 SVF 文件的选项，以及单独下载 SVF 文件界面。

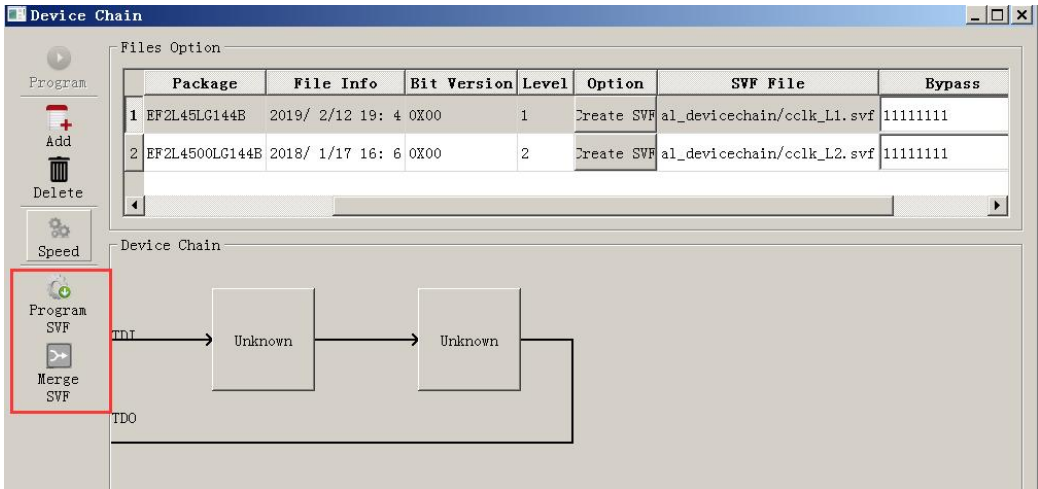


图 23 单独下载 SVF 文件和合并 SVF 文件选项

表 2 device chain 生成文件介绍

文件类型	文件功能说明
xx.svf	选择不同 mode 时，生成的 svf 功能与之对应，用于 device_chain 或者 jtag studio 下载使用。
xx.tde	选择不同 mode 时，生成的 tde 功能与之对应，选择下载 SRAM 时不会生成对应的 tde 文件。Tde 文件提供给嵌入式平台配置 FPGA 的 FLASH。
xx_tde.h xx1.h ... xxn.h	选择不同 mode 时，生成的头文件功能与之对对应，因每个.h 文件数组最大有限制，所以由 tde 文件长度差别，生成的.h 文件个数可能不同。该文件提供给没有文件系统的嵌入式平台用于配置 FPGA 的 FLASH。

7 注意事项

在 TD 环境中，Flash 默认为配置模式，即 `persist_bit=1`；用户若需要访问 flash，需将 `persist_bit=0`；若对于 `bg_mode` 升级 flash，需将 `perisist_bit=1`，否则升级将不会成功。

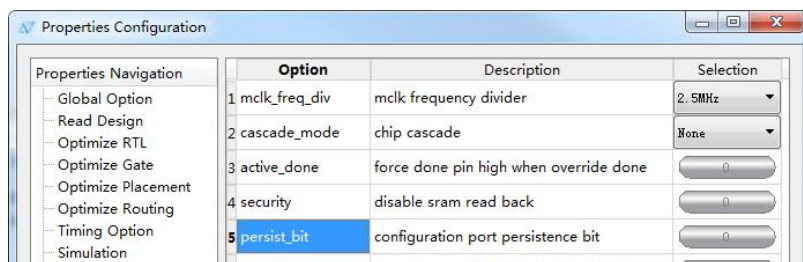


图 24 persist_bit 选项

参考文档

DS300_EAGLE_DataSheet.pdf

版本信息

日期	版本	修订记录
2018/6/30	1.0	初始版本
2018/7/19	1.1	1. 增加第 9 节 MSPI 模式描述 2. 优化第 10 节对 JTAG 级联加载的描述
2018/8/3	1.2	1. 增加第 10 节 JTAG 级联下要求 FPGA 的外接 FLASH 必须支持 4K 擦除指令描述
2018/9/11	1.3	1 软件更新，更新部分操作说明及其图片 2. 格式修改
2019/2/12	1.4	1. 增加软件版本信息 2. 基于新软件版本优化第 10 节 JTAG 级联下载介绍部分
2019/7/16	1.5	修改从动串行和从动并行加载模式的内容
2019/8/5	1.6	更新页眉页脚
2019/10/28	1.61	增加 persist_bit 说明
2019/10/31	1.7	更新从动配置时序图，删除配置时钟给出位置限制
2019/12/30	1.8	删除从动配置时最大建立时间限制，添加最小保持时间要求
2021/6/15	1.8.1	修正章节 9 MSPI 加载模式中错误，“FPGA 从内部 FLASH ”修正为“FPGA 从外部 FLASH ”等相关描述错误
2022/7/18	1.8.2	1. 更新了文档结构 2. 增加了 SVF 加载的推荐速率说明 3. 在第 5 节中增加了 MSPI 加载模式的说明
2022/10/13	1.8.3	1. 在表 1 注 1 中增加 EG4X 器件的 CSI_B(T10)信号的使用限制 2. 在表 1 注 2 中增加 IO_R7P_3 (L3)引脚在加载中的状态说明 3. 更新表 2 从动串行配置时序表中的 T _{cl} 、T _{ch} 最小规格 4. 更新表 3 从动并行配置时序表中的 T _{cl} 、T _{ch} 最小规格 5. 更新图 16 MSPI 模式加载速率设置 6. 更新文档免责声明

版权所有©2022 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。