



SALEAGLE®4A20BG256_MINI 板硬件使用指南

1 术语/缩略词

FPGA : Field Programmable Gate Array

现场可编程门阵列

TangDynasty® (以下简称 TD) : Tang Dynasty

安路 FPGA 编程软件

JTAG : Joint Test Action Group

联合测试工作组

2 关于本手册

EF4A20BG256_MINI_V2.0 DEMO 板 (以下简称 MINI DEMO 板) 基于安路科技 SALEAGLE®4 (以下简称 EG4) 系列 EF4A20BG256 芯片设计, 本文档为 MINI DEMO 板的硬件使用指南。文中对每个接口的功能和信号都做了详细阐述, 并提供参考设计文件。同时配套有对应的参考例程, 用于接口功能的演示, 方便用户基于此开发板进行芯片的评估和使用。

对 EF4 系列 FPGA 器件的特性和使用方法, 请参考《DS300_Eagle_Datasheet》, 对于此 MINI DEMO 板的应用例程, 请参考《TN319_安路科技 EG4A20BG256_MINI 板应用例程使用指南》, 例程均使用我司在线下载器 AL-LINK-V3.0 进行下载和调试。

3 MINI DEMO 板介绍

本 MINI DEMO 板为用户提供常见的调试接口, 如 Micro SD 卡、8 段数码管、LED 指示灯、轻触按钮、拨码开关等接口, 同时在扩展 IO 排针上预留若干单端 GPIO、LVDS 差分 and LVDSE 伪差分 IO 口。MINI DEMO 板上在适当位置预留相关丝印, 方便用户快速进行例程和功能演示。

3.1 MINI DEMO 板接口

MINI DEMO 板实物图如下所示:

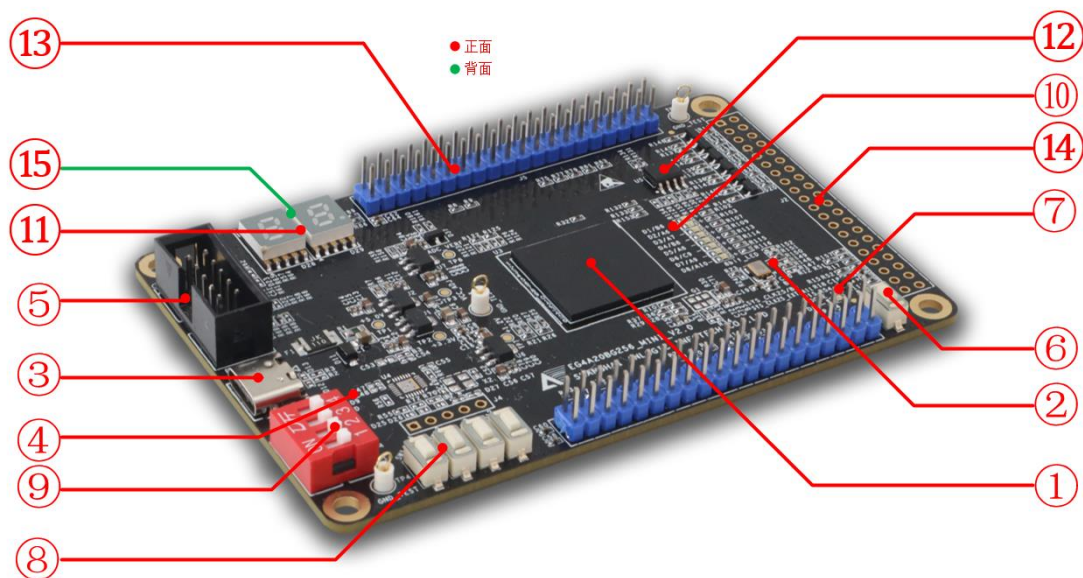


图 3-1 MINI DEMO 板实物图

MINI DEMO 板的相应功能和外设如下：

- ①EF4A20BG256 主芯片
- ②Clcok_25MHz 时钟
- ③TYPE_C 供电接口
- ④POWER_LED 指示灯
- ⑤JTAG 调试口
- ⑥PROGN 复位按键
- ⑦DONE_LED 指示灯
- ⑧按键
- ⑨拨码开关
- ⑩LED 指示灯
- ⑪数码显示管
- ⑫NOR FLASH
- ⑬用户扩展接口
- ⑭配置接口
- ⑮Micro SD 卡

3.2 MINI DEMO 板功能框图

MINI DEMO 板主芯片为 EF4A20BG256 器件，该器件提供丰富的 IO 接口和内部功能，包含 DSP 硬核、内嵌 ADC 模块，9Kbits 和 32Kbits 的嵌入式存储器资源与硬核控制器等。

基于 EF4A20BG256 主芯片的 MINI DEMO 板外围功能框图如下所示：

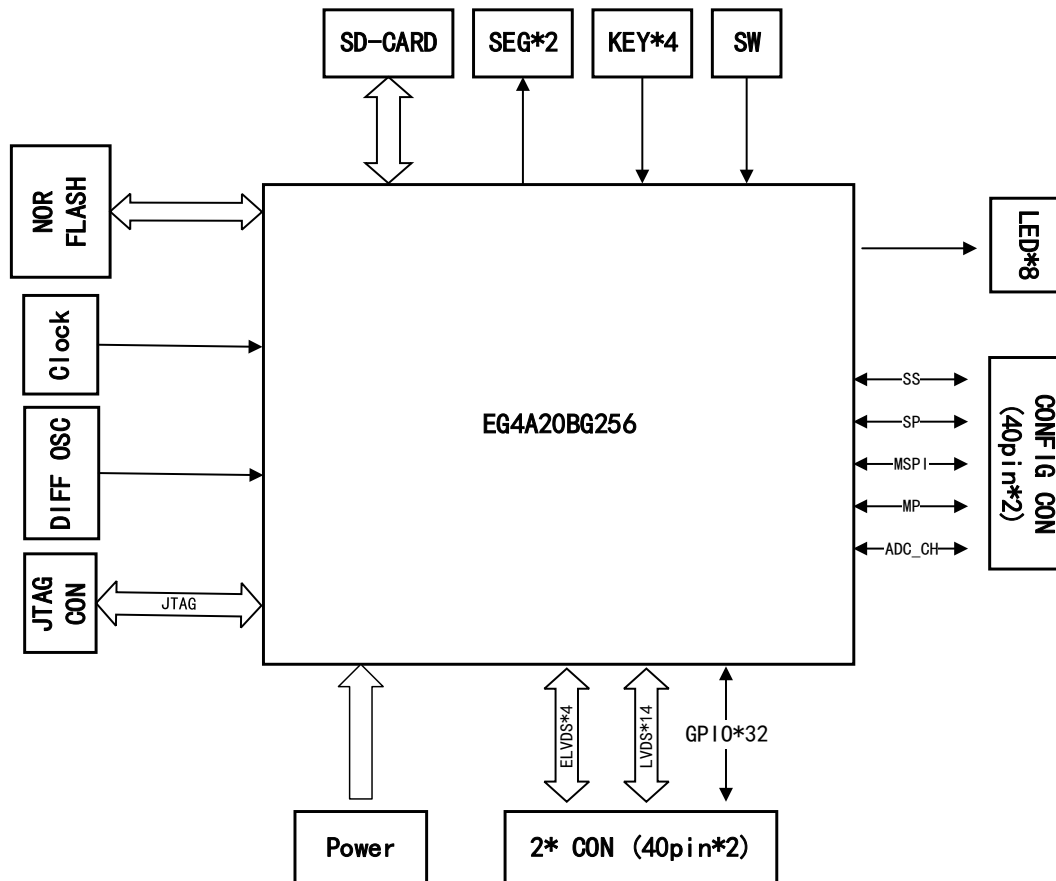


图 3-2 MINI DEMO 板功能框图

4 MINI DEMO 板功能介绍

4.1 系统电源

开发板电源通过 TYPE-C 接口提供 5V 供电，位号 D9 的红色 LED 灯为用户提供上电状态指示，为保证 FPGA 在全资源应用环境下的正常运行，推荐 5V/1A 的供电要求。MINI DEMO 板通过 1117 系列 LDO 构建整板所需电源，整板器件所需电源种类 4 种，分别为+3.3V、+1.2V、VCCIO_ADJ（默认为+2.5V）和+2.0V。其中+2.0V 为预设的内嵌 ADC 模块的参考电压，VCCIO_ADJ 为可调电压，用户可根据自身使用场景修改，详见 4.9 节内置 ADC 模块接口说明。MINI DEMO 板的电源原理图 4-1 所示。

+5V INPUT

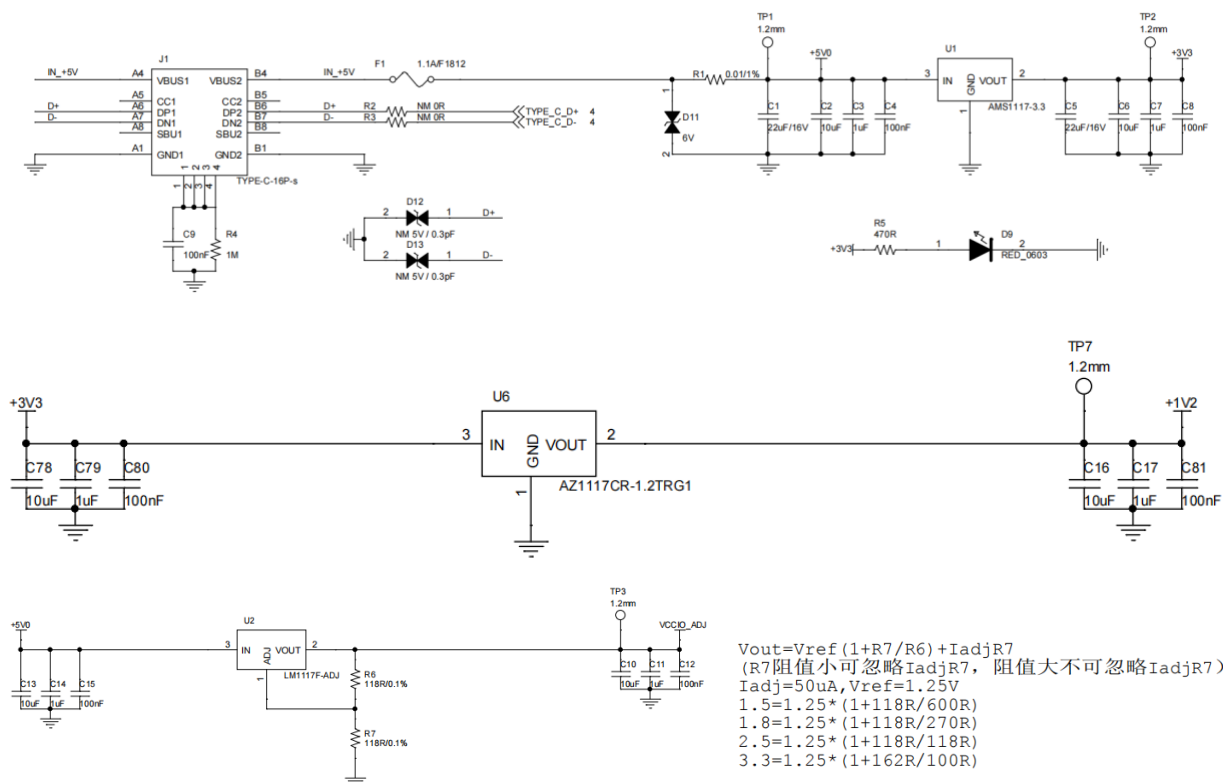


图 4-1 MINI DEMO 板电源原理图

4.2 系统时钟配置

MINI DEMO 板的板级时钟源包括 25MHz 单端晶振和 100MHz 差分晶振，实现单端时钟的验证和使用。单端 25MHz 时钟通过选焊电阻 R23 和 R24 分别连接到 FPGA 的 BANK7 全局 GCLK 的 P 端（引脚号为 B9）和 BANK7 普通 IO 口的 N 端（引脚号为 A11），其中 R24 默认不焊接，即 25MHz 时钟默认进入 J1 全局时钟 P 端引脚。单端 25MHz 晶振时钟产生电路原理图如图 4-2 所示。

差分 100MHz 时钟通过电容 C74 和 C75 交流耦合连接到 FPGA 的 BANK6 全局 GCLK 的 P 端和 N 端（引脚号分别为 E15 和 E16）。MINI DEMO 板的 100MHz 差分晶振默认不焊接，用户若有验证需求可自行焊接。差分 100MHz 晶振输出电平标准为 LVDS25，单端 25MHz 晶振输出电平标准为 LVCMOS33，MINI DEMO 板的时钟树如图 4-3 所示，相关时钟信号引脚分配如表 4-1 所列。

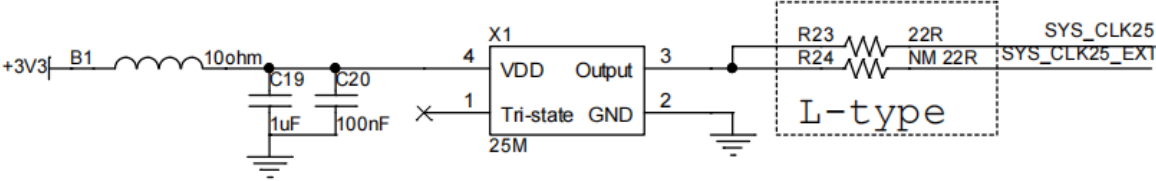


图 4-2 单端 25MHz 晶振时钟产生电路原理图

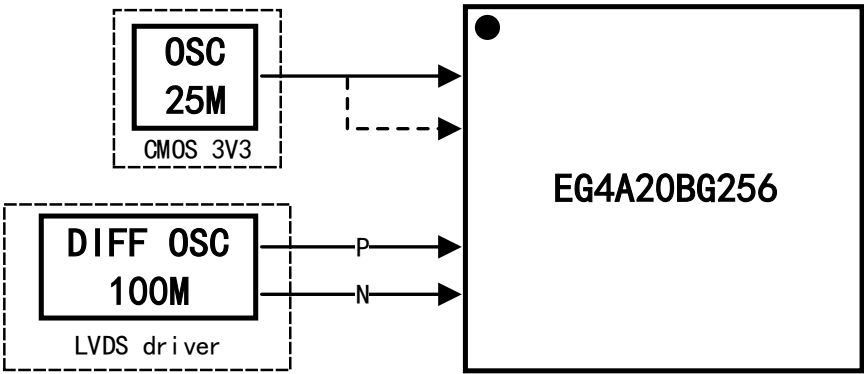


图 4-3 MINI DEMO 板时钟树

表 4-1 时钟信号引脚网络分配表

时钟位号	串接电阻位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
X1	R23	SYS_CLK25	B9	LVCOMS33	N/A
X1	R24	SYS_CLK25_EXT	A11	LVCOMS33	默认不焊接
G1	R33	SYS_CLK100_P	E15	LVDS25	差分时钟 P 端
G1	R35	SYS_CLK100_N	E16	LVDS25	差分时钟 N 端

4.3 Micro SD 卡

MINI DEMO 板左上角设计了 Micro SD 卡槽，用户可使用 SD 模式（可兼容 SPI 模式）对 Micro SD 卡进行文件的读写操作，MINI DEMO 板中对 SD 卡的网络信号均配置有 22Ω 串阻，且通过 4.7KΩ 电阻上拉至 3V3 电源。Micro SD 卡的原理图如图 4-4 所示，相关引脚网络分配如表 4-2 所列。

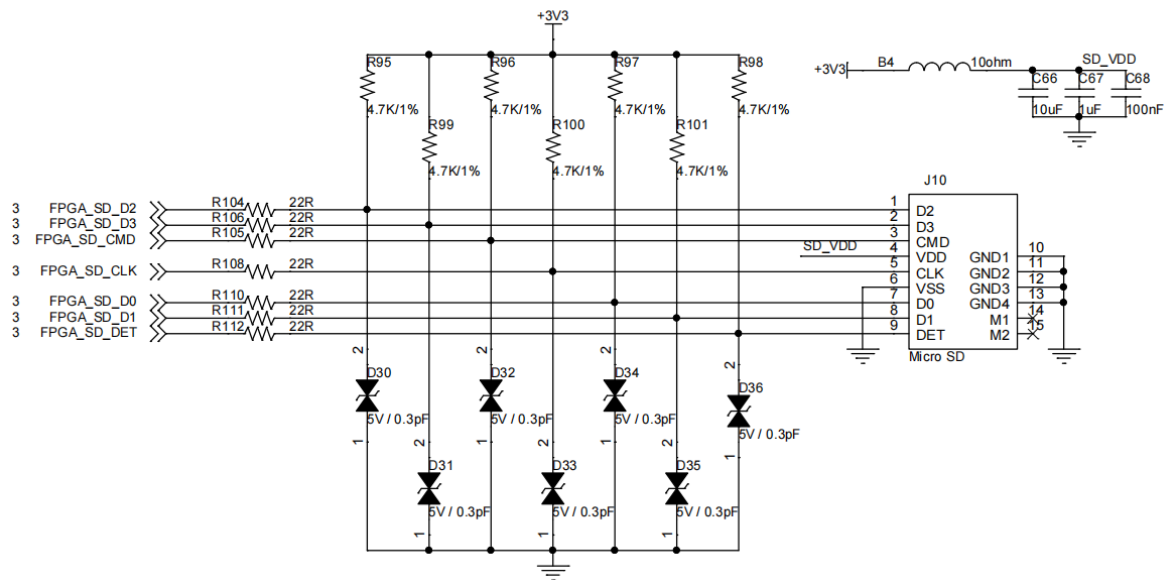


图 4-4 Micro SD 卡原理图

表 4-2 Micro SD 卡信号引脚网络分配表

Micro SD 卡引脚号	串接电阻	原理图网络名	FPGA 芯片 引脚号	I/O 电平标准	备注
1	R104	FPGA_SD_D2	N6	LVCOMS33	默认 22 Ω 串阻
2	R106	FPGA_SD_D3	M6	LVCOMS33	默认 22 Ω 串阻
3	R105	FPGA_SD_CMD	M7	LVCOMS33	默认 22 Ω 串阻
5	R108	FPGA_SD_CLK	L7	LVCOMS33	默认 22 Ω 串阻
7	R110	FPGA_SD_D0	M8	LVCOMS33	默认 22 Ω 串阻
8	R111	FPGA_SD_D1	L8	LVCOMS33	默认 22 Ω 串阻
9	R112	FPGA_SD_DET	K8	LVCOMS33	默认 22 Ω 串阻

4.4 数码管

MINI DEMO 板在 FPGA 芯片左边设计有 2 个八段共阳极动态点亮的数码管，段码低电平有效，位码高电平有效。每个数码管的位码信号串联了 300Ω 的限流电阻，因此数码管单个段码点亮的工作电流在 11mA 左右。MINI DEMO 板中两个八段数码管的硬件原理图如图 4-5 所示，相关引脚网络分配如表 4-3 所列。

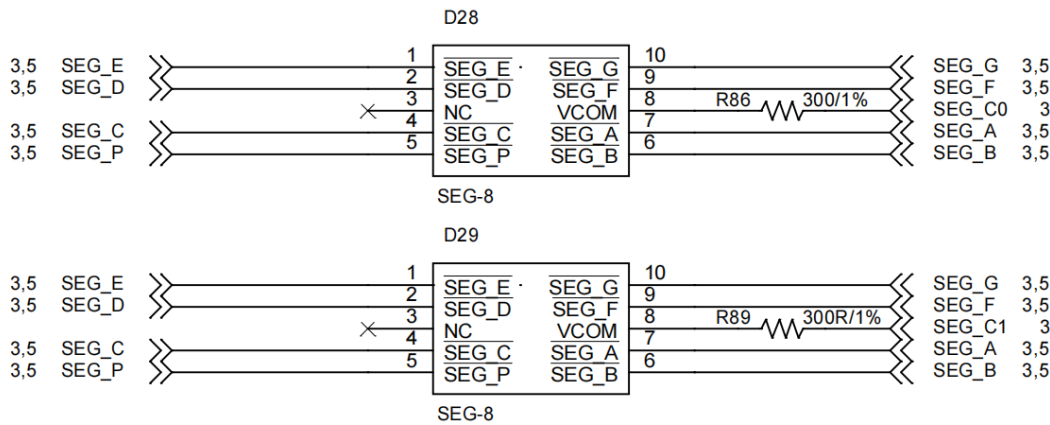


图 4-5 MINI DEMO 板数码管原理图

表 4-3 数码管信号引脚网络分配表

数码管引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
7	SEG_A	T5	LVCOMS33	低电平有效
6	SEG_B	R5	LVCOMS33	低电平有效
4	SEG_C	R7	LVCOMS33	低电平有效
2	SEG_D	T7	LVCOMS33	低电平有效
1	SEG_E	T6	LVCOMS33	低电平有效
9	SEG_F	P6	LVCOMS33	低电平有效
10	SEG_G	R6	LVCOMS33	低电平有效
5	SEG_P	N5	LVCOMS33	低电平有效
D28:8	SEG_C0	P3	LVCOMS33	高电平有效
D29:8	SEG_C1	N3	LVCOMS33	高电平有效

4.5 用户按键、拨码开关

MINI DEMO 板中轻触按键和拨码开关均设计了 10KΩ 的上拉电阻，按键按下电平逻辑是“0”，按键释放时电平逻辑是“1”。

拨码开关拨上 ON 状态下是“0”，拨到下面是 OFF 状态“1”。用户工程中所需的其他按键功能，可从 KEY1-KEY4 的可编程按键和 J7 拨码开关中自定义。MINI DEMO 板中轻触按键和拨码开关的硬件原理图如图 4-6 所示，相关引脚网络分配如表 4-4 所列。

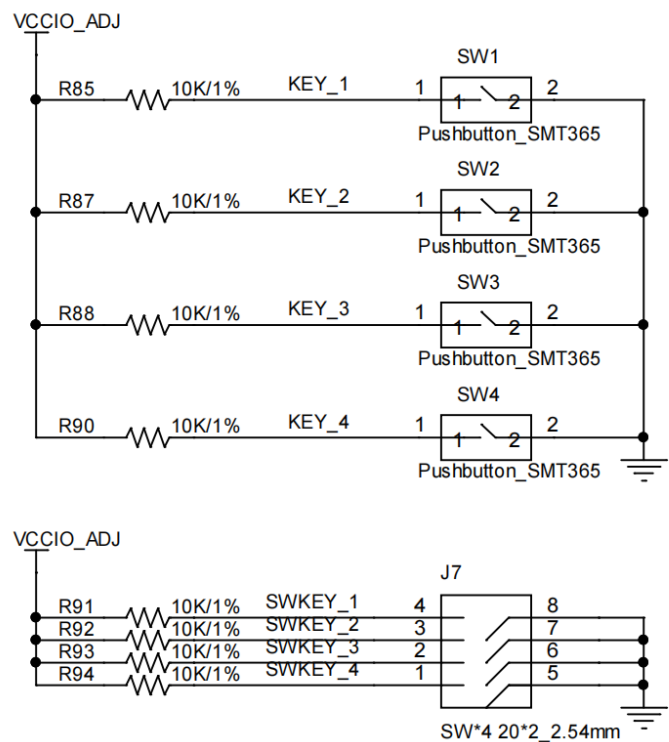


图 4-6 MINI DEMO 板轻触按键和拨码开关原理图

表 4-4 触按键和拨码开关信号引脚网络分配表

轻触按键、拨码开关位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
SW1	KEY_1	J14	LVCOMS33	按键按下，低电平有效
SW2	KEY_2	K12	LVCOMS33	按键按下，低电平有效
SW3	KEY_3	J13	LVCOMS33	按键按下，低电平有效
SW4	KEY_4	J12	LVCOMS33	按键按下，低电平有效
J7:4	SWKEY_1	P14	LVCOMS33	拨码开关 ON，低电平有效
J7:3	SWKEY_2	N13	LVCOMS33	拨码开关 ON，低电平有效
J7:2	SWKEY_3	N14	LVCOMS33	拨码开关 ON，低电平有效
J7:1	SWKEY_4	L14	LVCOMS33	拨码开关 ON，低电平有效

4.6 用户 LED 指示灯

MINI DEMO 板在 FPGA 芯片右方共设计有 8 个绿光 LED 指示灯，LED 指示灯阳极通过 1KΩ 限流电阻连接到 3.3V 电源，当 FPGA 引脚输出逻辑“0”时对应 LED 指示灯点亮。MINI DEMO 板中 LED 指示灯的硬件原理图如图 4-7 所示，相关引脚网络分配如表 4-5 所列。

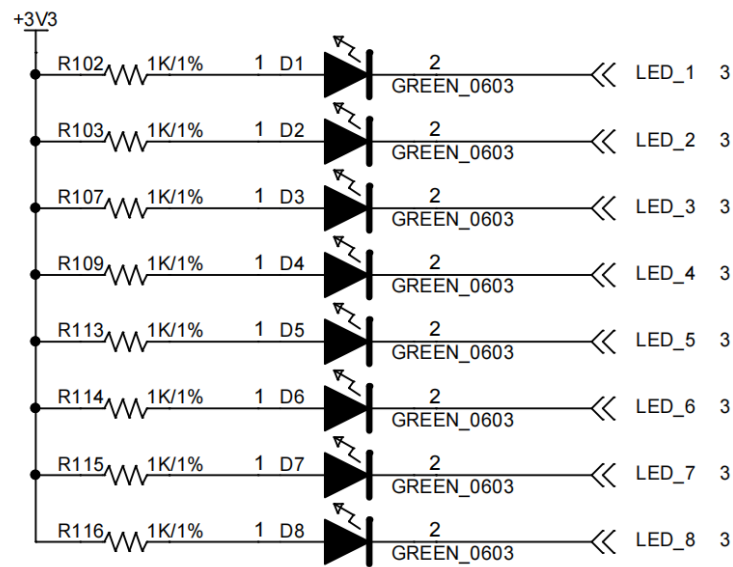


图 4-7 MINI DEMO 板 LED 指示灯原理图

表 4-5 LED 指示灯信号引脚网络分配表

LED 指示灯位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
D1	LED_1	B6	LVCOMS33	低电平点亮
D2	LED_2	A6	LVCOMS33	低电平点亮
D3	LED_3	A7	LVCOMS33	低电平点亮
D4	LED_4	B8	LVCOMS33	低电平点亮
D5	LED_5	A8	LVCOMS33	低电平点亮
D6	LED_6	C9	LVCOMS33	低电平点亮
D7	LED_7	A9	LVCOMS33	低电平点亮
D8	LED_8	A10	LVCOMS33	低电平点亮

4.7 NOR FLASH

MINI DEMO 板在右下方设计有外置的 NOR FLASH，用于 MSPI 模式下的 FPGA 配置加载。MINI DEMO 板默认焊接的为 GD 公司生产的 SOP-8 封装，容量为 16M-bit 串行 FLASH，支持 Standard、Dual 和 Quad SPI 总线读写。

DEMO 板中 FLASH 信号线串接了相应的 0Ω 电阻，用于和配置接口的选通串接；FLASH 的 WE 和 HOLD 信号均通过 4.7KΩ 上拉至 +3V3 电源。用户在使用 MSPI 加载模式时将默认使用此 FLASH，用户亦可在加载完成后自行对此 FLASH 进行读写操作，用于相关数据存储和验证。MINI DEMO 板中 NOR FLASH 的硬件原理图如图 4-8 所示，相关引脚网络分配如表 4-6 所列。

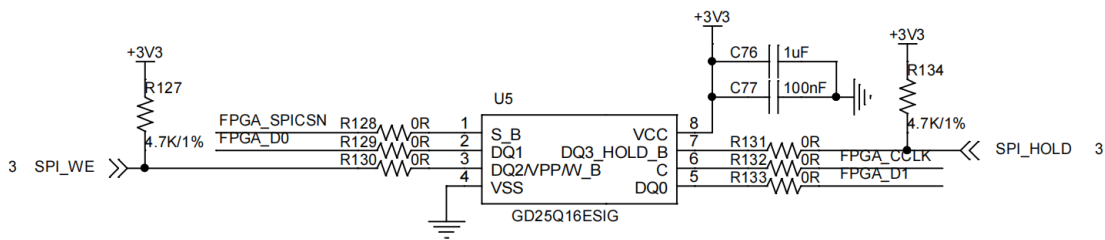


图 4-8 MINI DEMO 板 NOR FLASH 原理图

表 4-6 NOR FLASH 信号引脚网络分配表

NOR FLASH 引脚号	原理图网络名	FPGA 芯片 引脚号	I/O 电平标准	备注
1	FPGA_SPICSN	D2	LVCOMS33	FPGA 引脚处有 22Ω 串阻
2	FPGA_D0	H2	LVCOMS33	FPGA 引脚处有 22Ω 串阻
3	SPI_WE	B1	LVCOMS33	默认上拉
5	FPGA_D1	C1	LVCOMS33	FPGA 引脚处有 22Ω 串阻
6	FPGA_CCLK	H1	LVCOMS33	FPGA 引脚处有 22Ω 串阻
7	SPI_HOLD	C2	LVCOMS33	默认上拉

4.8 配置接口

MINI DEMO 板在右侧设计了 20pin*2 的双排针 J2，用于 FPGA 相关配置引脚的引出。配置接口支持从动串行（Slave Serial，SS）、从动并行（Slave Parallel，SP）、标准 SPI（Master SPI Standard，MSPI）和主动并行（Master Parallel，MP）四种配置模式。用户可根据需验证的配置方式进行相应接口和电阻的连接，FPGA 配置模式的更改由 MINI DEMO 板上的 R147、R148、R149、R150、R151 和 R152 电阻决定，配置模式选择原理图如图 4-9 所示，其中 MINI DEMO 板默认的配置加载方式为 MSPI，MINI DEMO 板的加载方式与选焊电阻关系如表 4-7 所列。

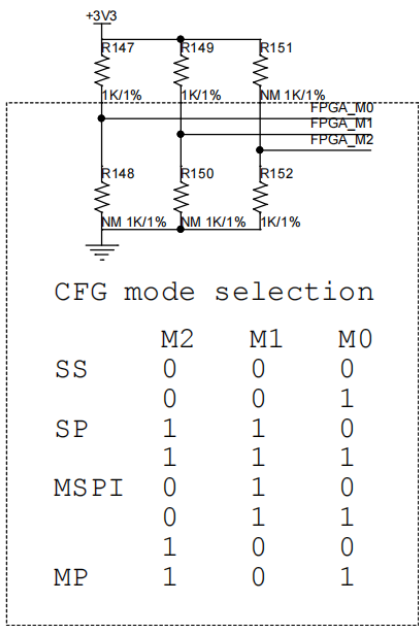


图 4-9 配置模式选择原理图

表 4-7 配置模式与相关电阻对应关系

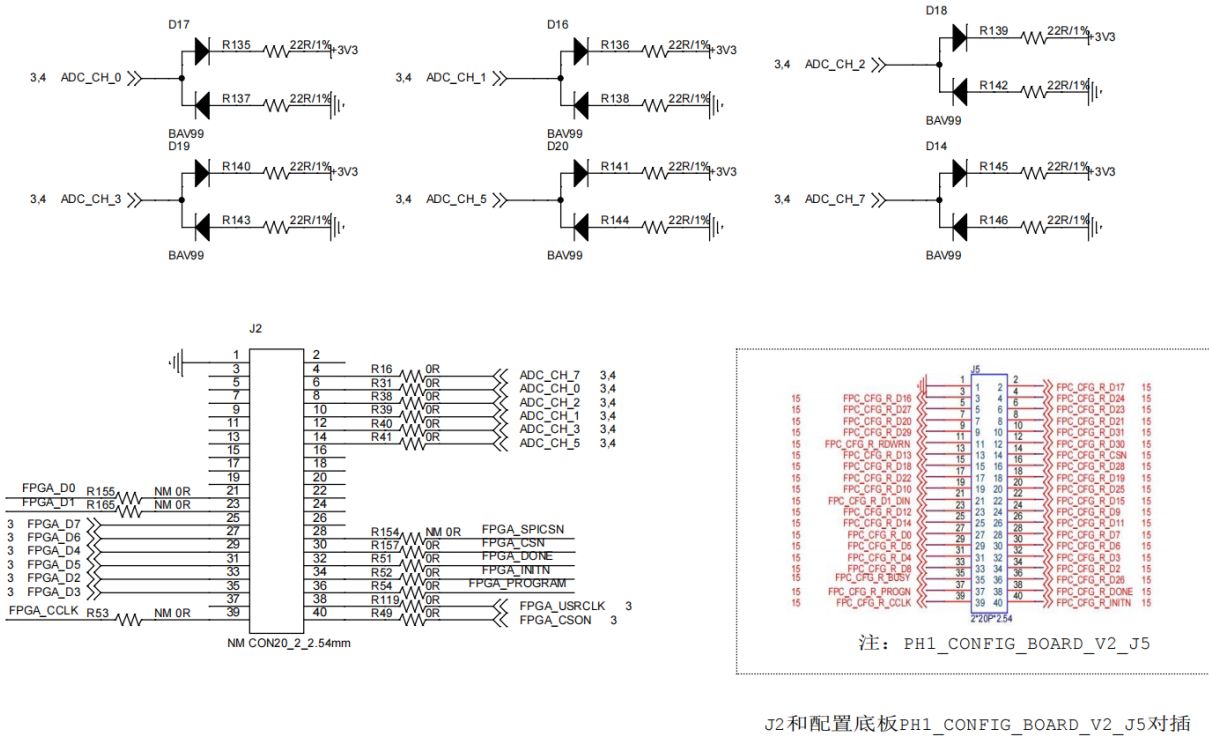
FPGA 配置加载模式	MSEL [2:0]	电阻选择位号
Master Parallel, MP	101	R147、R150、R151
Master SPI Standard, MSP1	010/011/100	R147、R149、R152
Slave Parallel, SP	110/111	R148、R149、R151
Slave Serial, SS	000/001	R148、R150、R152

MINI DEMO 板的右下方设计有 FPGA 加载完成指示 LED 灯和 program 按键，位号分别为 D10 和 SW5。用户按下 SW5 program 按键后，FPGA 可在不断电的情况下从 FLASH 中重新加载。当用户所选加载模式配置完成后，D10 DONE 指示灯点亮。program 按键和 DONE 指示灯的网络分配表如表 4-8 所列。

表 4-8 program 按键和 DONE 指示灯网络分配表

位号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
SW5	FPGA_PROGRAM	H5	LVCOMS33	按键按下，低电平有效，FPGA 复位
D10	FPGA_DONE	H14	LVCOMS33	高电平点亮，FPGA 加载完成指示

MINI DEMO 板在右侧设计了 20pin*2 的双排针 J2，用于 FPGA 相关配置引脚和内嵌 ADC 模块的部分模拟输入通道的引出。MINI DEMO 板的 JTAG 配置接口位于本板左上角，位号为 J3，用户可使用我司在线下载器 AL-LINK-V3.0 连接 J3 进行下载和调试。配置接口排针的原理图如图 4-10 所示，引脚网络分配表如表 4-9 所列。



J2和配置底板PH1_CONFIG_BOARD_V2_J5对插

图 4-10 配置接口排针原理图

表 4-9 配置排针引脚网络分配表

J2 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准
1	GND	—	—
21	FPGA_D0	H2	LVCOMS33
23	FPGA_D1	C1	LVCOMS33
25	FPGA_D7	A5	LVCOMS33
27	FPGA_D6	E6	LVCOMS33
28	FPGA_SPICSN	D2	LVCOMS33
29	FPGA_D4	B7	LVCOMS33
30	FPGA_CSN	J3	LVCOMS33
31	FPGA_D5	E7	LVCOMS33
32	FPGA_DONE	H14	LVCOMS33
33	FPGA_D2	E8	LVCOMS33
34	FPGA_INITN	F4	LVCOMS33
35	FPGA_D3	F8	LVCOMS33
36	FPGA_PROGRAM	H5	LVCOMS33
38	FPGA_USRCLK	F15	LVCOMS33
39	FPGA_CCLK	H1	LVCOMS33
40	FPGA_CSON	F16	LVCOMS33

4.9 内置 ADC 模块接口

EF4A20BG256 内嵌有一个 8 通道 12 位 1MSPS 的 ADC，MINI DEMO 板在右侧的 J2 排针上设计了内嵌 ADC 模块的模拟输入通道，将 ADC 的 0-3、5、7 输入通道引出，ADC 模拟通道的输入电压范围为 0V-3.3V。本板设计了相应的 ADC 输入通道电压保护电路，由 BAV99 快速开关二极管为核心组成，可限制 ADC 通道输入电压不超过芯片要求的最大输入电压范围。内置 ADC 模块接口原理图如上图 4-8 所示，接口引脚网络分配表如表 4-8 所列。

表 4-10 内置 ADC 模块接口网络分配表

J2 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	备注
4	ADC_CH_7	A2	N/A	ADC 模拟输入通道 7
6	ADC_CH_0	B3	N/A	ADC 模拟输入通道 0
8	ADC_CH_2	A3	N/A	ADC 模拟输入通道 2
10	ADC_CH_1	B4	N/A	ADC 模拟输入通道 1
12	ADC_CH_3	A4	N/A	ADC 模拟输入通道 3
14	ADC_CH_5	B5	N/A	ADC 模拟输入通道 5

其中+2.0V 为预设的内嵌 ADC 模块的参考电压，用户可根据自身使用场景修改 R158 和 R159 的阻值获取不同的 ADC 参考电压值 ADC_VREF，R158、R159 调整电阻的阻值必须选择几百 Ω 级别以保证 LD0 的正常工作，LD0 输出电压值调整范围为 2.0V~3.3V。内嵌 ADC 模块参考电压产生电路原理图如图 4-11 所示。

ADC_VREF（默认ADC_VREF为2.0V）

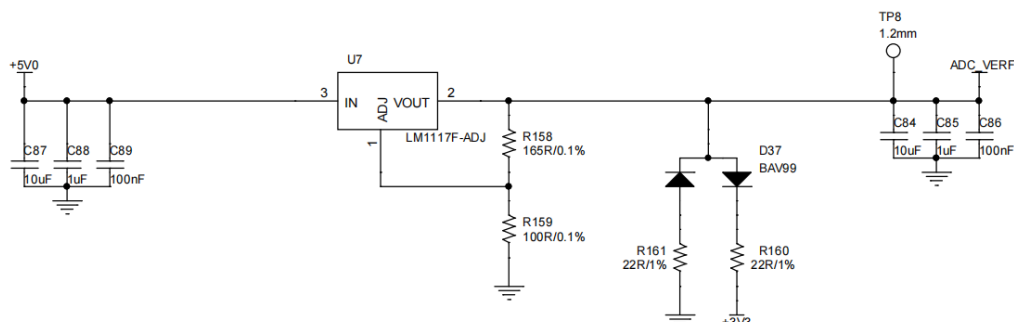


图 4-11 内嵌 ADC 模块参考电压产生电路原理图

4.10 用户扩展接口

MINI DEMO 板上下各设计了一个 20pin*2 的双排排针 J5 和 J6。MINI DEMO 板在底层排针相应引脚均用丝印标注了与排针引脚相连接的 FPGA 芯片引脚号，方便用户使用扩展接口时使用。

J5 用户扩展接口均包含 2 对 LVDSE 伪差分、6 对 LVDS 和 16 个 GPIO。J5 排针的 1-4 引脚均为 3V3 电源输出，37-40 引脚为整板地网络。LVDSE 伪差分输出在本板设计了 3R 匹配电路及端接 100 Ω 电阻，LVDS 在本板设计了 100 Ω 端接电阻，用户可根据自身使用场景选用和调整。图 4-12 和表 4-11 分别为 J5 用户扩展接口的原理图和引脚网络分配表。

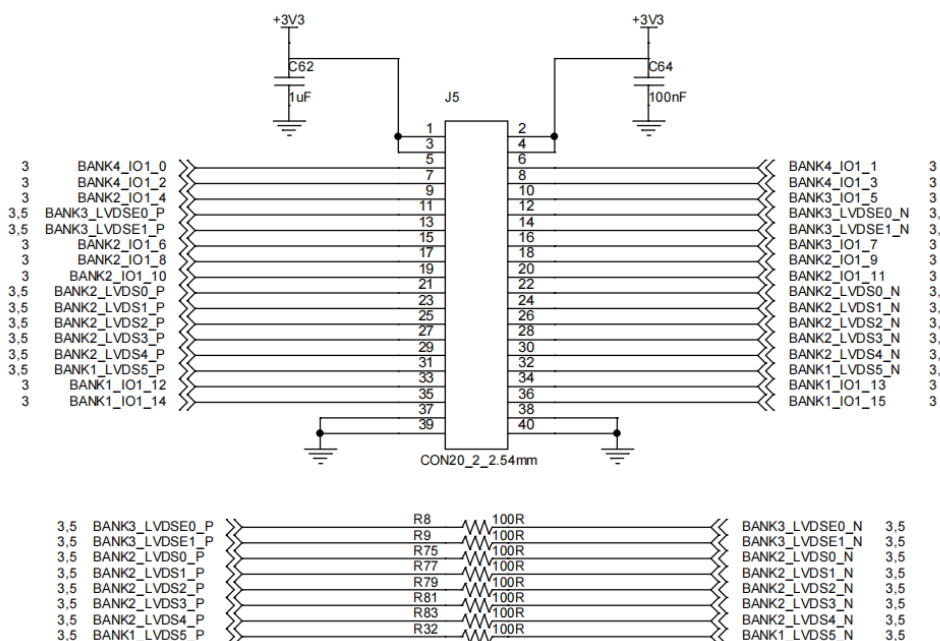


图 4-12 J5 用户扩展接口原理图

表 4-11 J5 用户扩展接口引脚网络分配表

J5 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	J5 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准
1	+3V3	N/A	N/A	2	+3V3	N/A	N/A
3	+3V3	N/A	N/A	4	+3V3	N/A	N/A
5	BANK4_I01_0	R9	LVCOMS33	6	BANK4_I01_1	T9	LVCOMS33
7	BANK4_I01_2	R8	LVCOMS33	8	BANK4_I01_3	T8	LVCOMS33
9	BANK2_I01_4	N4	LVCOMS33	10	BANK3_I01_5	P8	LVCOMS33
11	BANK3_LVDSE0_P	R4	LVPECL33	12	BANK3_LVDSE0_N	T4	LVPECL33
13	BANK3_LVDSE1_P	R3	LVPECL33	14	BANK3_LVDSE1_N	T3	LVPECL33
15	BANK2_I01_6	R1	LVCOMS33	16	BANK3_I01_7	T2	LVCOMS33
17	BANK2_I01_8	P1	LVCOMS33	18	BANK3_I01_9	P2	LVCOMS33
19	BANK2_I01_10	L3	LVCOMS33	20	BANK3_I01_11	L4	LVCOMS33
21	BANK2_LVDS0_P	N2	LVDS25	22	BANK2_LVDS0_N	N1	LVDS25
23	BANK2_LVDS1_P	M2	LVDS25	24	BANK2_LVDS1_N	M1	LVDS25
25	BANK2_LVDS2_P	L2	LVDS25	26	BANK2_LVDS2_N	L1	LVDS25
27	BANK2_LVDS3_P	K2	LVDS25	28	BANK2_LVDS3_N	K1	LVDS25
29	BANK2_LVDS4_P	J2	LVDS25	30	BANK2_LVDS4_N	J1	LVDS25
31	BANK1_LVDS5_P	G2	LVDS25	32	BANK1_LVDS5_N	G1	LVDS25
33	BANK1_I01_12	F1	LVCOMS33	34	BANK1_I01_13	F2	LVCOMS33
35	BANK1_I01_14	E1	LVCOMS33	36	BANK1_I01_15	D1	LVCOMS33
37	GND	N/A	N/A	38	GND	N/A	N/A
39	GND	N/A	N/A	40	GND	N/A	N/A

J6 用户扩展接口均包含 2 对 LVDSE 伪差分、8 对 LVDS 和 16 个 GPIO。ELVDS 伪差分输出在本板设计了 3R 匹配电路及端接 100Ω 电阻，LVDS 在本板设计了 100Ω 端接电阻，用户可根据自身使用场景选用和调整。J6 排针的 1 引脚为 VCCIO_ADJ 电源输出，2 引脚为 1V2 电源输出，39，40 引脚为整板地网络。LVDSE 伪差分输出在本板设计了 3R 匹配电路及端接 100Ω 电阻，LVDS 在本板设计了 100Ω 端接电阻，用户可根据自身使用场景选用和调整。图 4-13 和表 4-12 分别为 J6 用户扩展接口的原理图和引脚网络分配表。

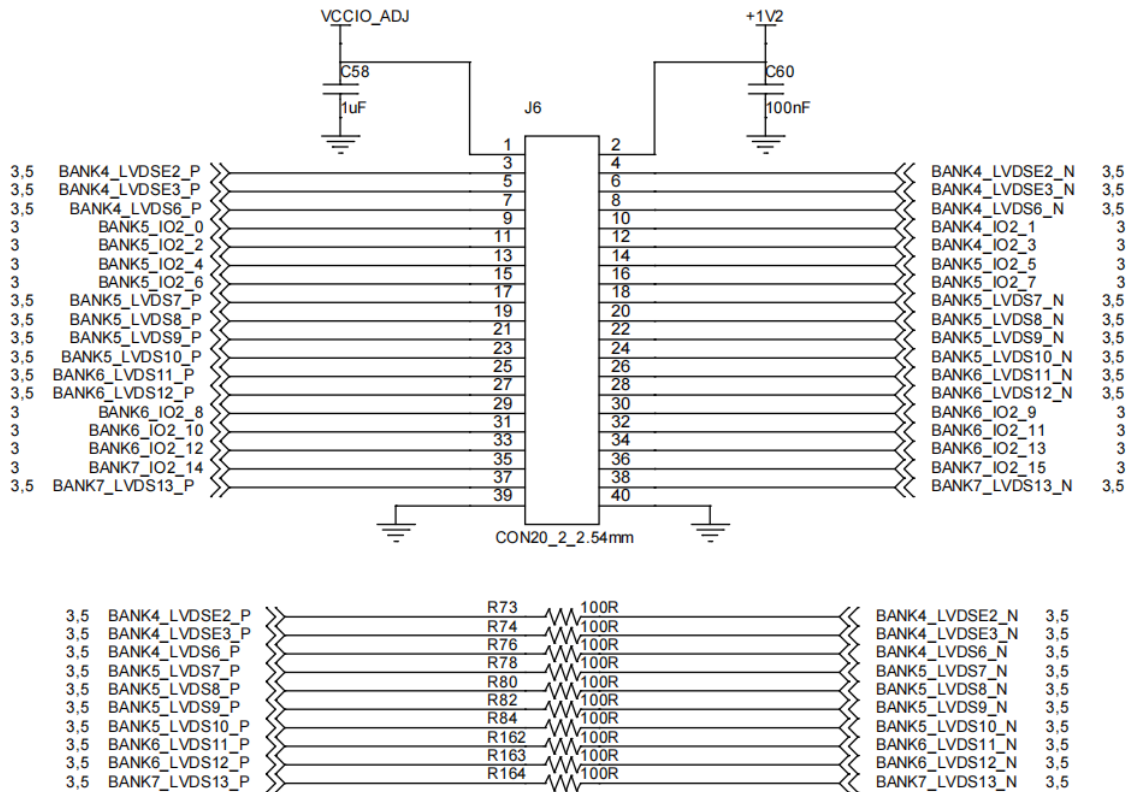


图 4-13 J6 用户扩展接口原理图

表 4-12 J6 用户扩展接口引脚网络分配表

J6 排 针引 脚号	原理图网络名	FPGA 芯片引 脚号	I/O 电平标 准	J6 排 针引 脚号	原理图网络名	FPGA 芯片引 脚号	I/O 电平标 准
1	VCCIO_ADJ	N/A	N/A	2	+1V2	N/A	N/A
3	BANK4_LVDSE2_P	R11	LVPECL33	4	BANK4_LVDSE2_N	T11	LVPECL33
5	BANK4_LVDSE3_P	R12	LVPECL33	6	BANK4_LVDSE3_N	T12	LVPECL33
7	BANK4_LVDS6_P	R13	LVDS25	8	BANK4_LVDS6_N	T13	LVDS25
9	BANK5_IO2_0	R14	LVCOMS33	10	BANK4_IO2_1	T14	LVCOMS33
11	BANK5_IO2_2	R16	LVCOMS33	12	BANK4_IO2_3	T15	LVCOMS33
13	BANK5_IO2_4	P16	LVCOMS33	14	BANK5_IO2_5	P15	LVCOMS33
15	BANK5_IO2_6	N16	LVCOMS33	16	BANK5_IO2_7	N15	LVCOMS33
17	BANK5_LVDS7_P	M15	LVDS25	18	BANK5_LVDS7_N	M16	LVDS25
19	BANK5_LVDS8_P	L15	LVDS25	20	BANK5_LVDS8_N	L16	LVDS25
21	BANK5_LVDS9_P	K15	LVDS25	22	BANK5_LVDS9_N	K16	LVDS25
23	BANK5_LVDS10_P	J15	LVDS25	24	BANK5_LVDS10_N	J16	LVDS25
25	BANK6_LVDS11_P	H15	LVDS25	26	BANK6_LVDS11_N	H16	LVDS25
27	BANK6_LVDS12_P	G15	LVDS25	28	BANK6_LVDS12_N	G16	LVDS25
29	BANK6_IO2_8	D15	LVCOMS33	30	BANK6_IO2_9	D16	LVCOMS33
31	BANK6_IO2_10	C15	LVCOMS33	32	BANK6_IO2_11	C16	LVCOMS33
33	BANK6_IO2_12	A15	LVCOMS33	34	BANK6_IO2_13	B16	LVCOMS33

J6 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准	J6 排针引脚号	原理图网络名	FPGA 芯片引脚号	I/O 电平标准
35	BANK7_I02_14	A14	LVCOMS33	36	BANK7_I02_15	B14	LVCOMS33
37	BANK7_LVDS13_P	B13	LVDS25	38	BANK7_LVDS13_N	A13	LVDS25
39	GND	N/A	N/A	40	GND	N/A	N/A

5 MINI DEMO 板尺寸

MINI DEMO 板尺寸为 100mm×65mm，四角螺柱孔尺寸为 M3，PCB 板厚为 1.6mm。MINI DEMO 板的顶层和底层丝印外框如图 5-1 和图 5-2 所示。

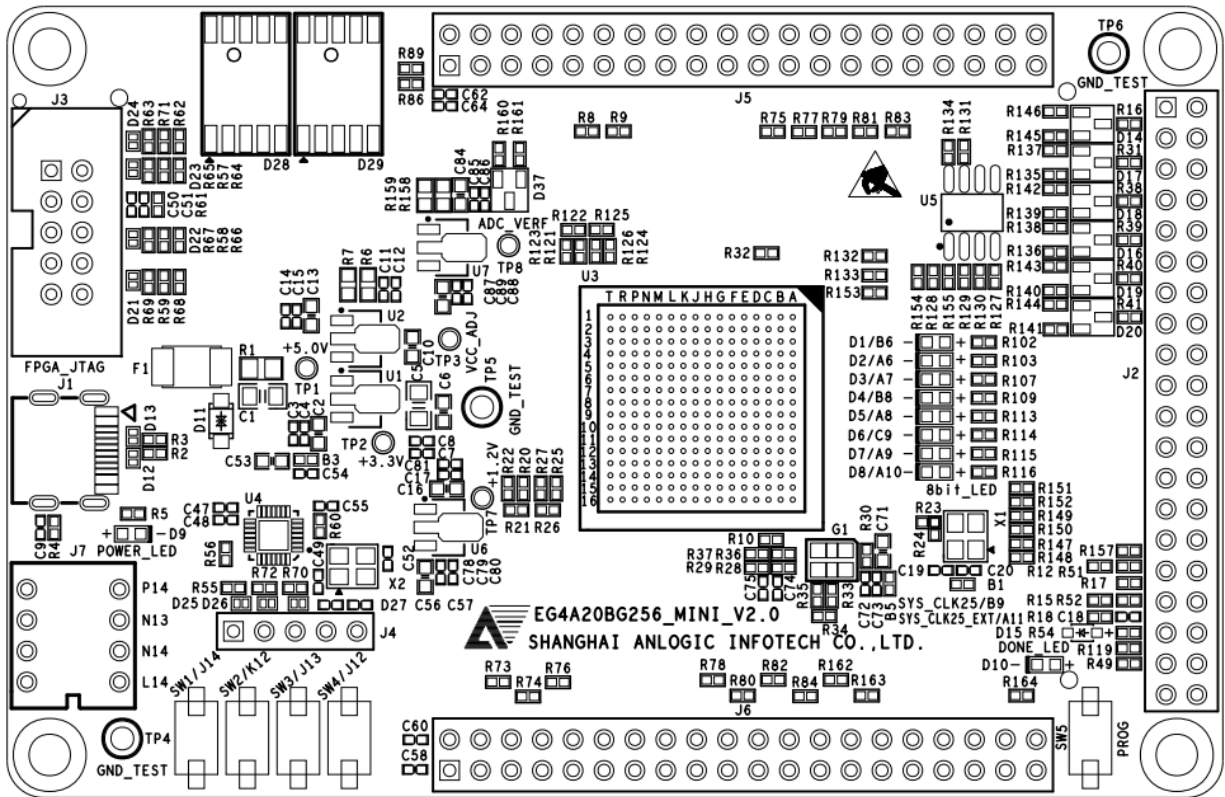


图 5-1 MINI DEMO 板顶层丝印外框图

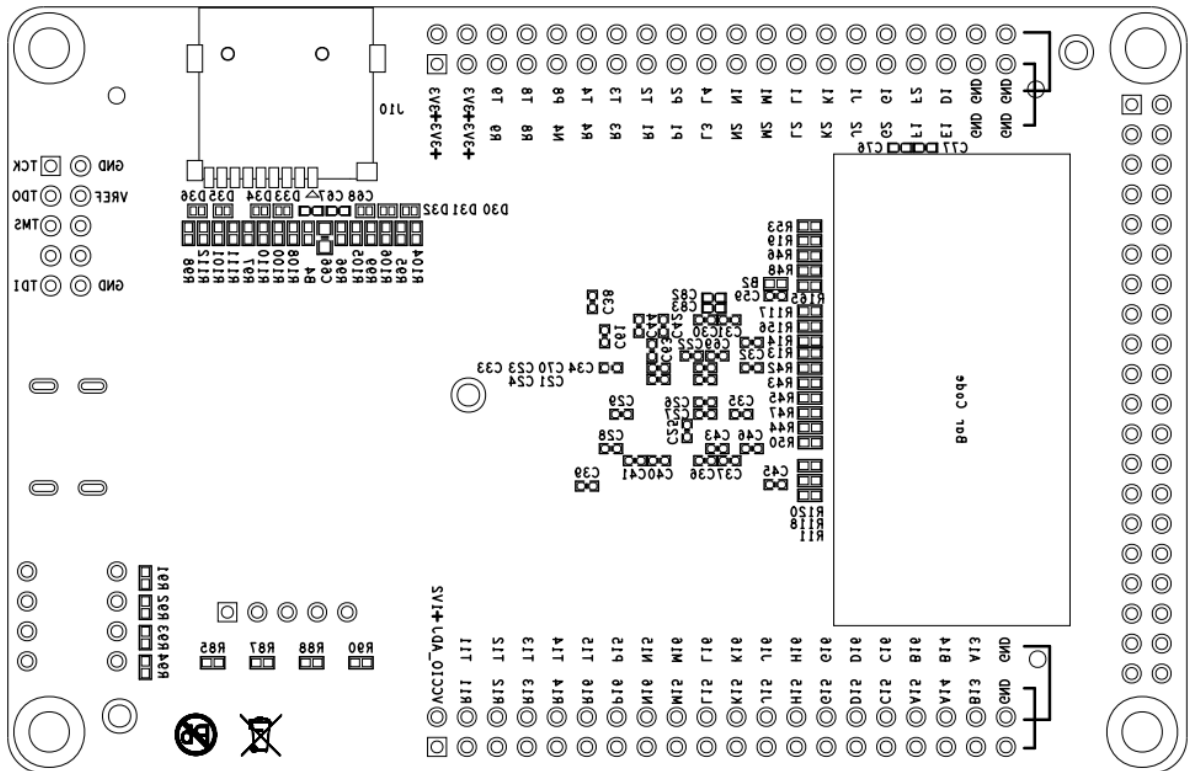


图 5-2 MINI DEMO 板底层丝印外框图

版本信息

日期	版本	说明
2023/03/01	1.0	首次发布正式版本

版权所有©2023 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或以其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。