



SALEAGLE®4 内部块 RAM 用户指南

1 术语/缩略词

ERAM	: Embedded Block Memory	嵌入式存储器模块
FPGA	: Field Programmable Gate Array	现场可编程门阵列

2 软件版本

TD: 4.2.003

3 嵌入式存储器模块 (ERAM)

EG4 系列器件支持嵌入式存储器模块 (ERAM)。EG4 中包括两类 ERAM: ERAM9K 和 ERAM32K。ERAM9K 每块容量 9Kbits, ERAM32K 每块容量 32Kbits。

3.1 ERAM9K

ERAM9K 可实现:

- 单口 RAM
- 双口 RAM
- 简单双口 RAM (也称为伪双口)
- FIFO (ERAM9K 内嵌有硬件 FIFO 控制器)

ERAM9K 模块支持的功能特色有:

- 9216 (9K)bits/每块。
- A/B 口时钟独立。
- 可单独配置 A/B 口数据位宽, 真双口从 x1 到 x9, 支持 x18 简单双口 (一写一读)。
- 9 或 18 位写操作时带有字节使能 (Byte Enable) 控制。
- 输出锁存器可选择 (支持 1 级流水线)。
- 支持 RAM/ROM 模式下数据初始化 (通过初始化文件在配置过程中对 ERAM9K 进行数据初始化)。
- 支持多种写操作模式。可选择只写 (Normal), 先读后写 (Read before Write), 写穿通 (Write through) 三种模式。

表 1 ERAM9K 特色

类别	特性
容量	9K
配置 (深度 x 位宽)	8192 x 1 4096 x 2 2048 x 4 1024 x 8 或 9 512 x 16 或 18
奇偶位 (Parity bits)	8+1 16+2
字节使能 (Byte enable)	有, 可选择

输入地址/数据寄存器	有
单口模式 (Single-port mode)	支持
简单双口模式 (Simple dual-port mode)	支持
真双口模式 (True dual-port mode)	支持
ROM 模式	支持
FIFO 模式	支持
数据输出寄存器	有，可选择
独立数据输出寄存器使能	有
Read-during-write	输出旧数据 (read before write) 输出写数据 (write through)
工作前 RAM 初始化	支持

字节使能 (Byte Enable)

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能 (Byte Enable[1:0]) 信号分别对应写入数据的 datain[15:8] 和 datain[7:0]。

写操作时并行读操作 (Read-during-Write)

EG4 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，读出同一地址的数据到输出端口。而默认非 rdw 选择，输出数据保持不变 (No change)。

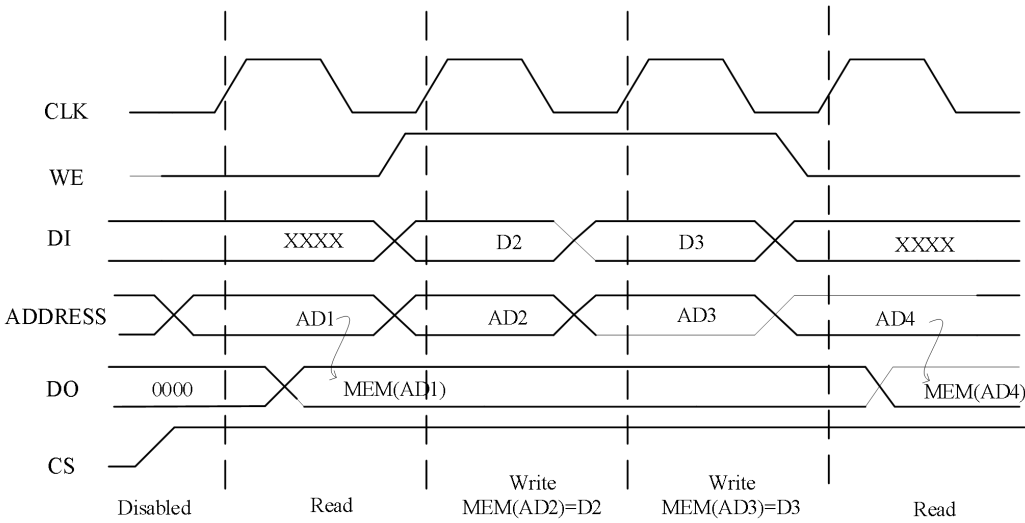


图 2-3- 1 No change 模式波形

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据即正要写入的数据 (Write Through)。

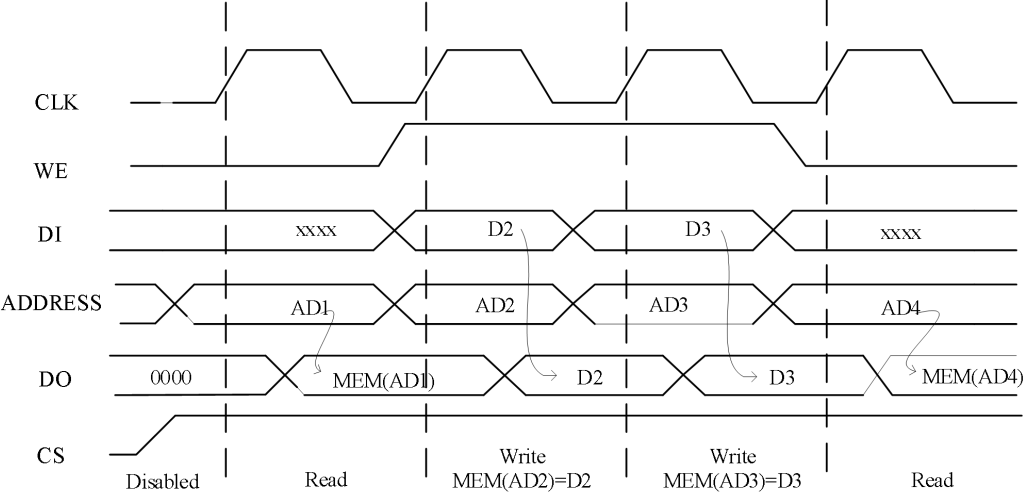


图 2-3- 2 Write Through 模式波形

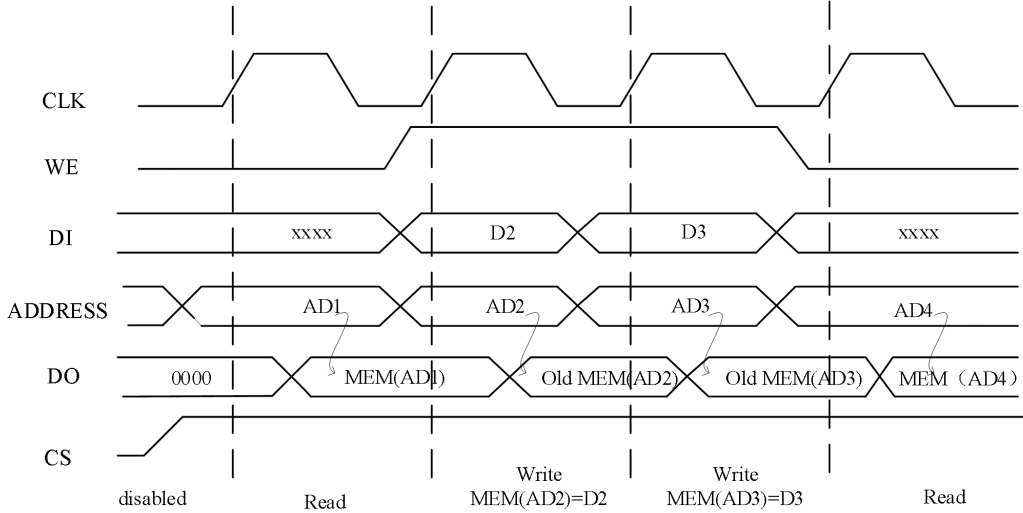


图 2-3- 3 Read Before Write 模式波形

3.1.1 RAM 存储器模式

ERAM9K 按工作模式分为 RAM 存储器模式（包括 ROM）和 FIFO 模式。两种模式下 ERAM9K 用户端口名称和设置略有不同。

ERAM9K 在 RAM 模式下是 A/B 口独立的双口 RAM，支持多种模式的同步 RAM 操作和 ROM 操作。

3.1.2 RAM 存储器模式下的端口信号

ERAM9K 的控制信号、时钟输入信号 A/B 口完全独立，输入控制信号有：

- 片选信号（ChipSelect）
- 时钟使能（Clock Enable）
- 输入/输出寄存器复位控制信号（RST）
- 写/读操作（WE）
- 数据输出寄存器锁存使能（OCE）

- 字节使能 (Byte Enable[1:0])

表 2 控制信号逻辑

操作	CLK	CS	ClockEnable	RST	WE
写操作	上升沿	1	1	0	1
读操作	上升沿	1	1	0	0
IDLE	x	1	0	0	x
Save power	x	0	0	0	x

图 1 为 EG4 ERAM9K 模块的结构图，表 3 为 RAM 模块接口描述。

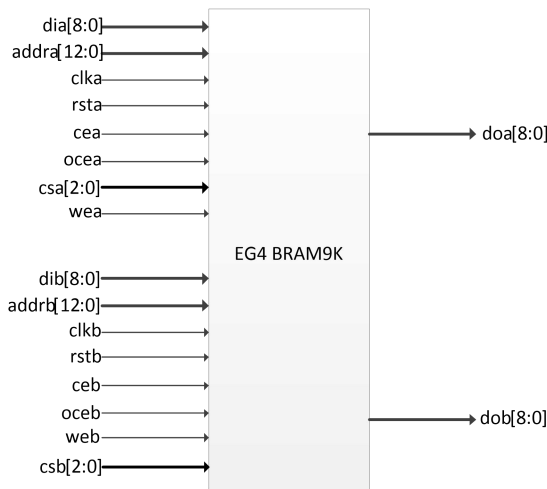


图 1 EG4 ERAM9K 模块结构图

表 3 RAM 模块接口描述

A 端口名	方向	说明
dia[8:0]	输入	A 端口数据输入，简单双口 18 位输入端口模式时作为低 9 位数据输入
addra[12:0]	输入	A 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式。 在 18 位模式时，addra[1:0]复用为字节使能信号 Byte Enable[1:0]。
doa[8:0]	输出	A 端口数据输出，简单双口 18 位输出端口模式时作为低 9 位数据输出
clka	输入	A 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输入地址/数据端口时钟
rsta	输入	A 端口复位信号，默认高有效（可反向），可配置同步/异步复位
cea	输入	A 端口时钟有效控制信号，默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位写入模式时固定为 1。
csa[2:0]	输入	A 端口 3 位片选信号（可反向），csa[2:0]=3'b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceca	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。

B 端口名	方向	说明
dib[8:0]	输入	B 端口数据输入，18 位输入端口模式时作为高 9 位数据输入
addrb[12:0]	输入	B 端口地址输入，[12:4]作为 word 地址一直有效，[3:0]取决于 bit 模式
dob[8:0]	输出	B 端口数据输出，18 位输出端口模式时作为高 9 位数据输入
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向），简单双口 18 位模式时作为输出地址/数据端口时钟
rstb	输入	B 端口复位信号，默认高有效（可反向），可配置同步/异步复位
ceb	输入	B 端口时钟有效控制信号，默认高有效（可反向）。
web	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作；18 位读出模式时固定为 0。
csb[2:0]	输入	B 端口 3 位片选信号（可反向），csb[2:0]=3'b111 时 ERAM 被选中进行操作。3 位信号可分别独立设置是否反向。
oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

多位片选信号逻辑说明：

ERAM9K 在 RAM 和 FIFO 模式下的 CS 由可反向的 3 位片选输入生成。其逻辑如下图所示（CSA，CSB 在 RAM 模式/CSW，CSR 在 FIFO 模式）：

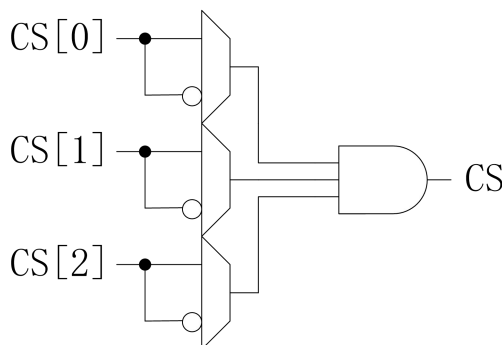


图 2 CS 控制逻辑

利用 3 位 CS 输入反向配置可以不需要额外逻辑就能实现地址译码，方便地对 2~8 块 RAM 进行深度扩展。

18 位模式时的字节使能（Byte Enable）：

ERAM9K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节使能（Byte Enable[1:0]）信号分别对应写入数据的 datain[15:8]和 datain[7:0]。例如，Byte Enable[1:0]==00，两字节都不会被写入；Byte Enable[1:0]==01，低位字节写入（dia）。在 18 位模式时，字节使能 Byte Enable[1:0]信号和端口 addra[1:0]复用。

写操作时并行读操作（Read-during-Write）：

EG4 系列的 ERAM9K 支持同端口的 read-during-write。read-during-write 是指在单口 RAM 或真双口 RAM 模式时，用户在写入数据的同时，同时读出同一地址的数据，输出到输出端口。而默认选择只写模式（Normal），输出数据保持不变。

RDW 模式下用户有两种选择：读出旧数据 (Read Before Write)；读出新数据 (Write Through)。

3.1.3 RAM 存储器模式下的常见配置

单口模式 (Single-Port Mode)

单口模式支持对非同时发生的对同一地址的读或写操作。ERAM9K 内部有两套读写控制逻辑分别管理 A 口和 B 口，因此 ERAM9K 可以支持实现两个单口模式的 RAM。

ERAM9K 在单口模式下支持的位宽：

- 8192x1 (独立的 A 口或 B 口实现)
- 4096x2 (独立的 A 口或 B 口实现)
- 2048x4 (独立的 A 口或 B 口实现)
- 1024x8, 1024x9 (独立的 A 口或 B 口实现)
- 512x16, 512x18 (A 口 B 口联合实现)

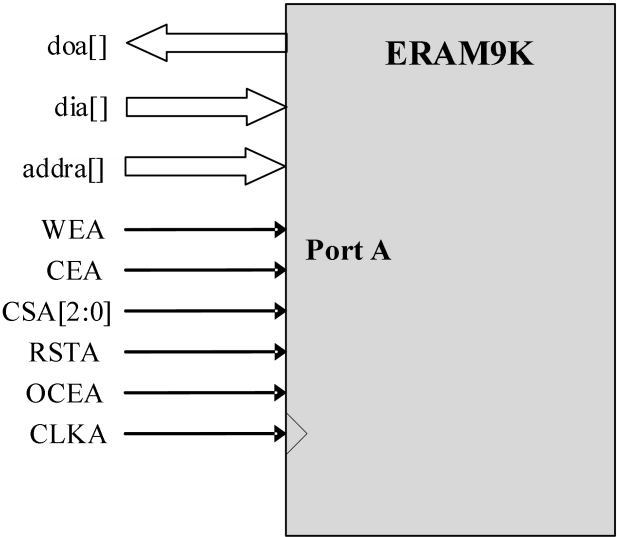


图 3 利用 A 口实现的 9 位宽（及以下）单口 RAM

简单双口模式 (Simple Dual-Port Mode)

当用一块 ERAM9K 配置成 18 位写入或 18 位读出时，其不支持真双口模式，支持单口和简单双口模式。18 位模式时，A 端口控制信号作为写入控制信号，B 端口控制信号作为读出控制信号。18 位写入时，DIB[8:0] 作为高 9 位数据输入，DIA[8:0] 作为低 9 位数据输入；18 位读出时，DOB[8:0] 作为高 9 位数据输出，DOA[8:0] 作为低 9 位数据输出。表 3-1-6 为简单双口模式下支持的混合端口位宽配置。

当用户使用 8/16 位宽时，禁止使用 DIA[9]，DIB[9]，DOA[9]，DOB[9]，防止因为读写位宽不同造成的内部数据映射失配。

表 4 9/18 位简单双口模式时数据端口连接关系

模式	ERAM9K RAM 端口	用户端口
W=18 位 R=18 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOA[8:0]	rdata[8:0]

	DOB[8:0]	rdata[17:9]
W≤9 位 R=18 位	DIA[]	wdata[]
	DOA[8:0]	rdata[8:0]
	DOB[8:0]	rdata[17:9]
W=18 位 R≤9 位	DIA[8:0]	wdata[8:0]
	DIB[8:0]	wdata[17:9]
	DOB[]	rdata[]

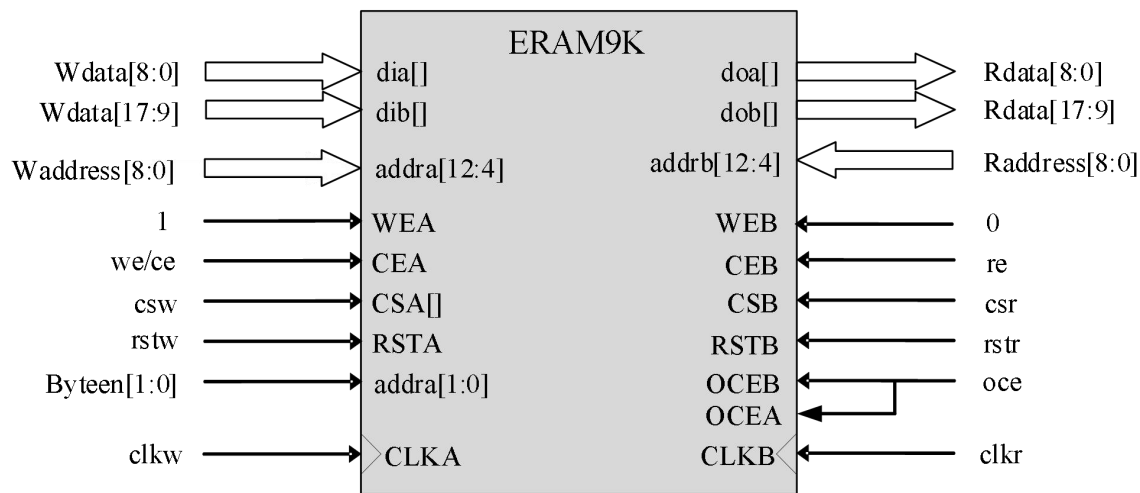


图 4 简单双口 18 位写/18 位读端口连接

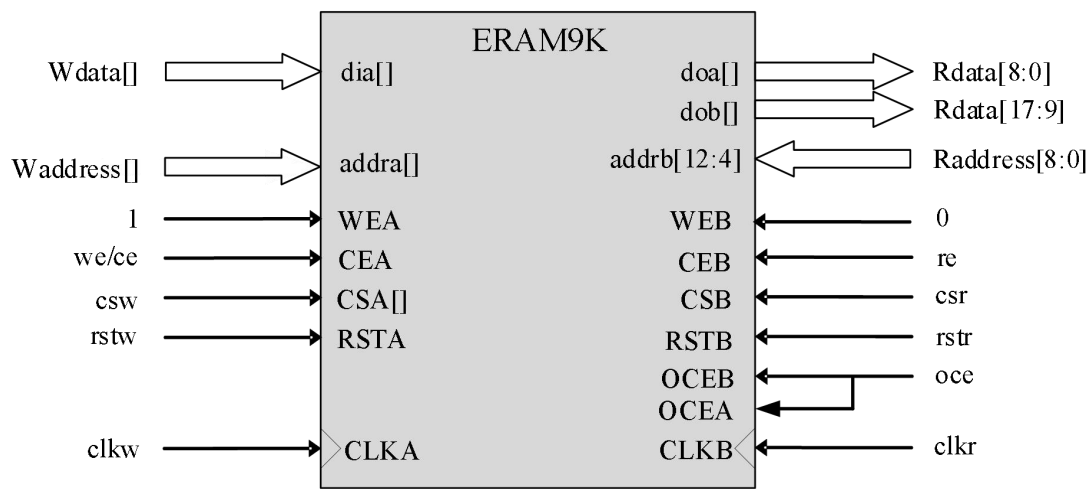


图 5 简单双口模式<=9 位写/18 位读端口连接

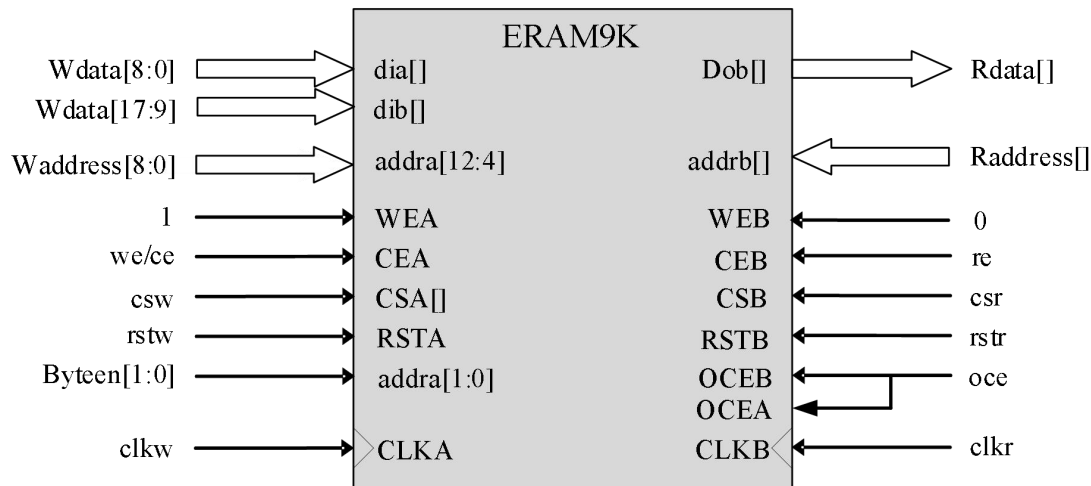


图 6 简单双口模式 18 位写/<=9 位读端口连接

表 5 混合宽度时，WORD（16/18）和低位地址映射关系

	端口 宽度	地址位 宽度	DOB[8]	DOA[8]	最低 4 位地址 addr [3:0] 值对应的 WORD 内部数据位
	18	9	0		0

	9	10	1	0	1								0							
	4	11	X	X	3				2				1				0			
	2	12	X	X	7		6		5		4		3		2		1		0	
	1	13	X	X	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
18/16 位 WORD 内部 数据位			17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

表 6 简单双口模式下支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18
8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

真双口模式(Ture Dual-Port Mode)

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。表 7 真双口模式下支持的混合端口位宽配置

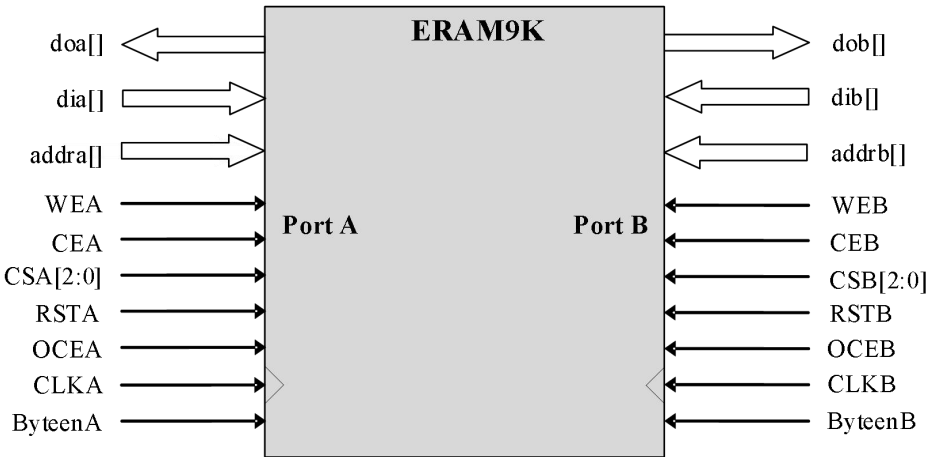


图 7 位宽<=9 位时 A/B 双口 RAM

表 7 真双口模式下支持的混合端口位宽配置

Read Port	Write Port				
	8Kx1	4Kx2	2Kx4	1Kx8	1Kx9
8Kx1	√	√	√	√	
4Kx2	√	√	√	√	
2Kx4	√	√	√	√	

1Kx8	√	√	√	√	
1Kx9					√

ROM 模式

ERAM9K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM9K 中。初始化值可以在 IP 生成是用 MIF 文件设置。ROM 输出可选择带寄存器或不带寄存器锁存。ROM 的读出操作和单口 RAM 的读操作时序相同。

3.1.4 FIFO 模式

ERAM9K 内部集成 FIFO 控制器，硬件支持同步/异步 FIFO 模式。FIFO 模式下 ERAM9K 位宽设置和简单双口 RAM 设置相同，最高可支持 18bit 输入和输出。

表 8 FIFO 模式下的端口信号

输入端口名	方向	说明
dia[8:0]	输入	FIFO 数据输入，16/18 位输入端口模式时作为低 9 位数据输入
dib[8:0]	输入	只在 16/18 位输入端口模式时作为高 9 位数据输入，其他位宽不使用。
clkw	输入	FIFO 写端口时钟输入，默认上升沿有效（可反向）
rst	输入	FIFO 内部写指针/读指针复位信号（可反向）
we	输入	FIFO 写使能，1 为写入操作，0 无操作。
csw[2:0]	输入	FIFO 写端口 3 位片选信号（可反向），类似 RAM 模式。
输出端口名	方向	说明
doa[8:0]	输出	只在 18 位输出端口模式时作为低 9 位数据输出，其他位宽时不使用。
dob[8:0]	输出	<=9 位时作为数据输出，18 位输出端口模式时作为高 9 位数据输出。
clkr	输入	读端口时钟输入，默认上升沿有效（可反向）
rprst	输入	FIFO 读指针复位信号
re		FIFO 读使能，1 为读操作，0 无操作。
csr[2:0]	输入	FIFO 读端口 3 位片选信号（可反向），类似 RAM 模式。
oceea	输入	doa 端口数据寄存器时钟使能，默认高有效（可反向）。只有 18 位输出端口模式并且当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
oceeb	输入	dob 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。
FIFO 标志名	方向	说明
empty_flag	输出	FIFO 读空标志，和 clkr 同步。
aempty_flag	输出	FIFO 几乎读空标志，和 clkr 同步。相对读空提前量由 AE_POINT 参数决定。
full_flag	输出	FIFO 满标志，和 clkw 同步。FIFO 满容量由 FULL_POINTER 参数决定。
afull_flag	输出	FIFO 几乎满标志，和 clkw 同步。FIFO 几乎满容量由 AF_POINTER 参数决定。

表 9 FIFO 模式支持的混合端口位宽配置

Read Port	Write Port						
	8Kx1	4Kx2	2Kx4	1Kx8	512x16	1Kx9	512x18

8Kx1	√	√	√	√	√		
4Kx2	√	√	√	√	√		
2Kx4	√	√	√	√	√		
1Kx8	√	√	√	√	√		
512x16	√	√	√	√	√		
1Kx9						√	√
512x18						√	√

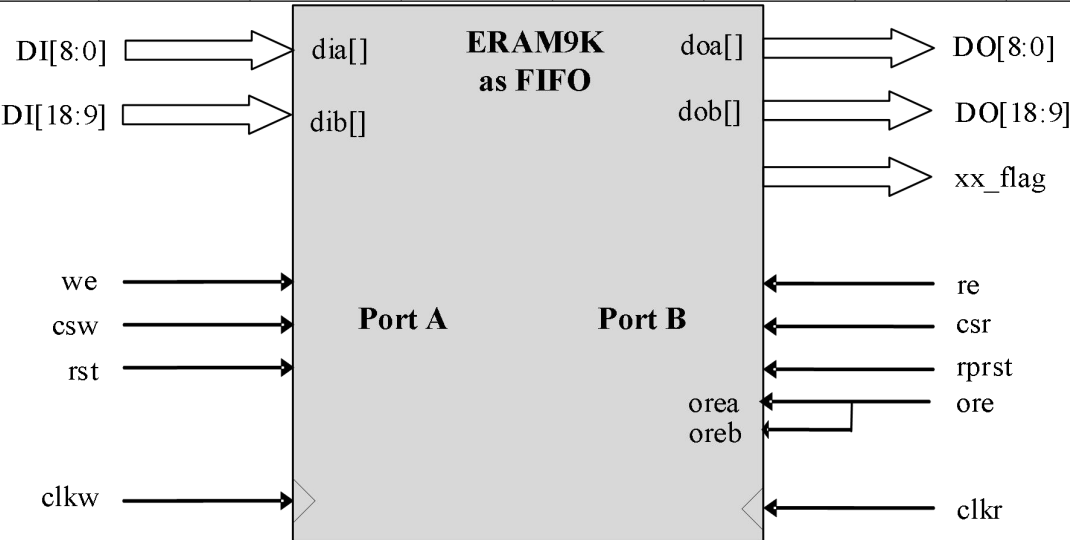


图 8 18 位进/18 位出 FIFO 模式

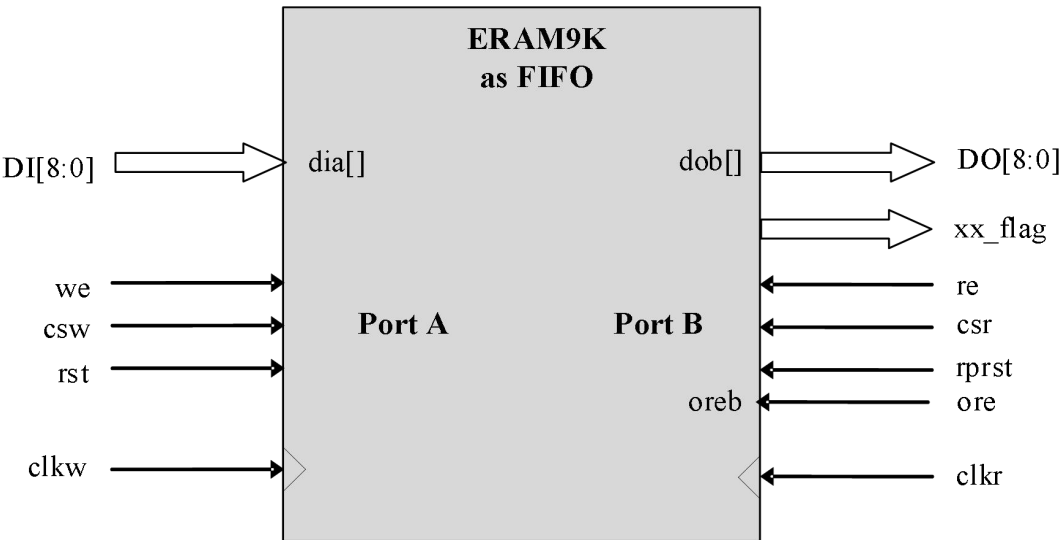


图 9 ≤ 9 位进/ ≤ 9 位出 FIFO 模式

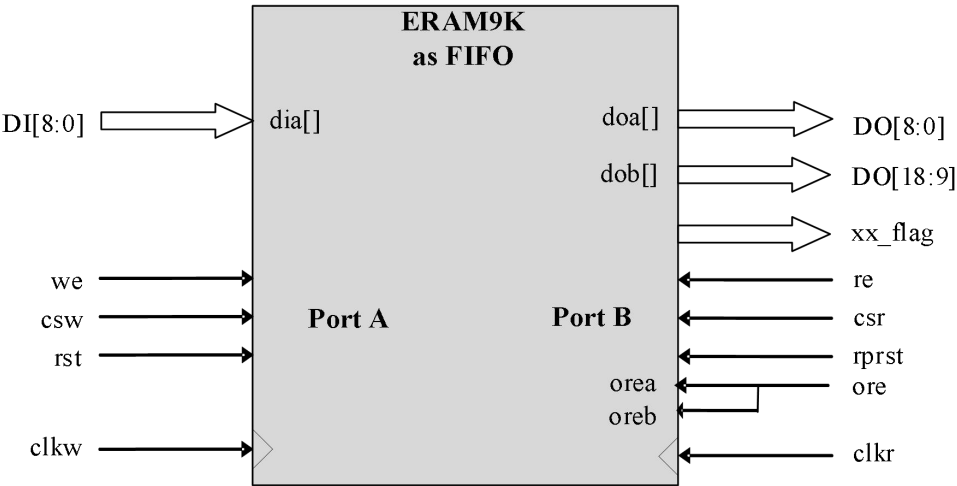


图 10 9 位进/18 位出 FIFO 模式

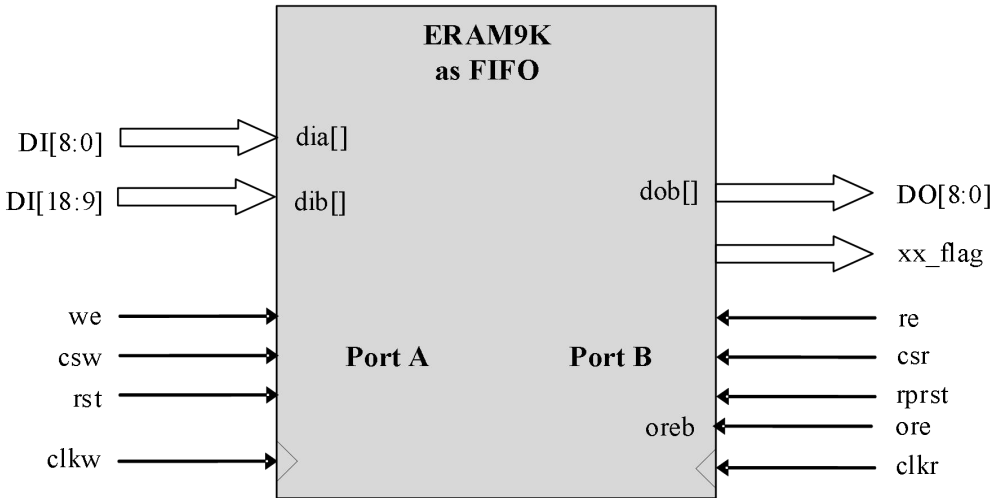


图 11 18 位进/9 位出 FIFO 模式

空满标志属性的设置:

FIFO 模式下用户可以通过软件设置 FIFO 空满标志属性。空标志 (empty_flag), 几乎空标志 (almost_empty), 满标志 (full_flag), 几乎满标志 (almost_full)。当内部计数器计数到标志值时会在 FF/AF/EF/AE 相应端口输出高电平。

表 10 FF/AF/EF/AE 属性设置

FIFO 属性名称	描述	设置范围
FF	Full flag	1 to Max
AF	Almost full	1 to Full-1
AE	Almost empty	1 to Full-1
EF	Empty setting	0

FIFO 模式下常用配置:

FIFO 模式的 **csw/csr** 和 RAM 模式中的 **csa/csb** 接口逻辑类似。当 FIFO 写满或读空时为了避免指针溢出，可以通过互连资源将满信号反向后接入 **csw** 端，空信号反向后接入 **csr** 端。反向逻辑可以利用 **csw/csr** 内部的反向与逻辑实现。

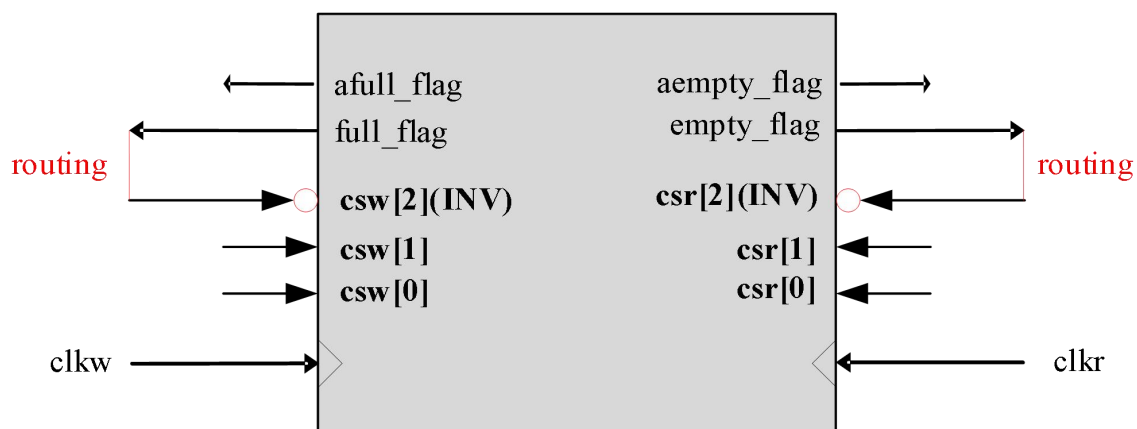


图 12 单个 ERAM9K FIFO 模式连接

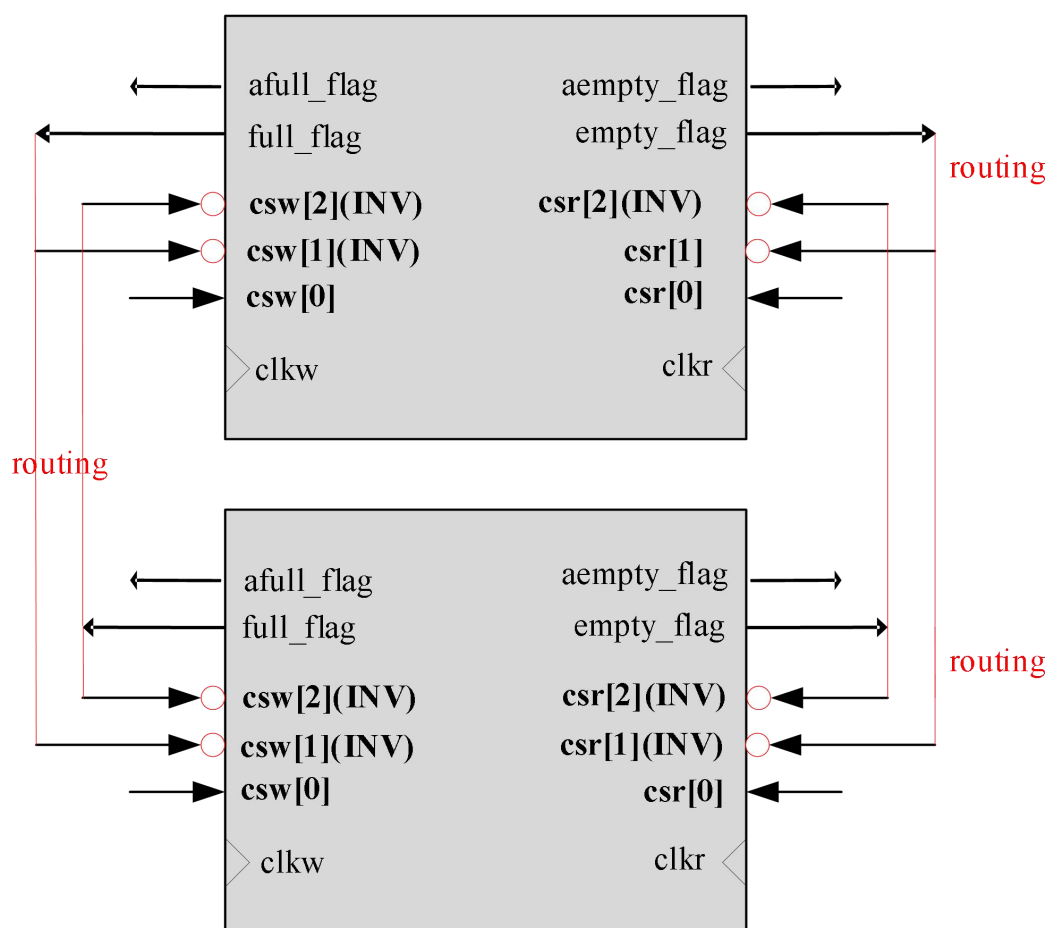


图 13 两个 ERAM9K FIFO 级联模式连接

3.2 ERAM32K

为了达到更高的存储容量，EG4 系列器件中设计了嵌入式真双口存储器模块 ERAM32K，存储器容量 32K bits。

ERAM32K 可实现：

- 单口 RAM
- 双口 RAM

ERAM32K 模块支持的功能特色有：

- 32K bits/每块，可设置为 2Kx16 或 4Kx8。
- A/B 口时钟独立。
- 可单独配置 A/B 口数据位宽，支持 8 位/16 位两种宽度。
- 输出锁存器可选择(支持 1 级流水线)。
- 支持多种写操作模式。可选择只写(Normal)，写穿通(Write through)两种模式。

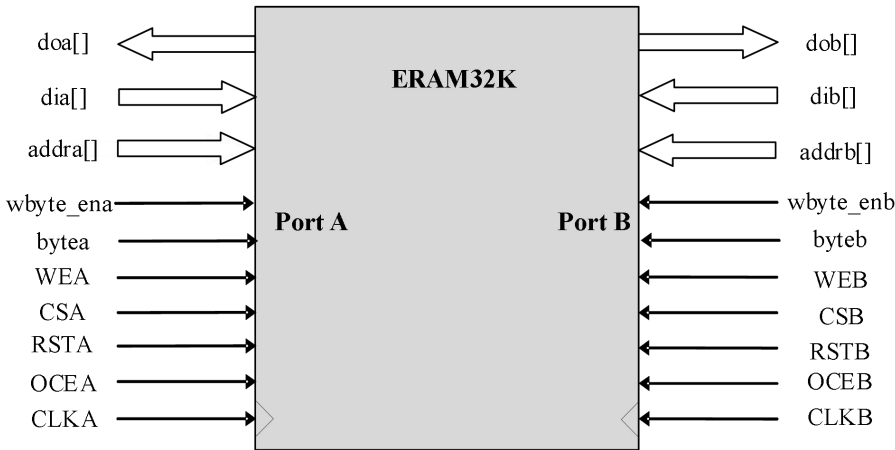


图 14 EG4 ERAM32K 模块结构图

表 11 RAM 模块接口描述

A 端口名	方向	说明
dia[15:0]	输入	A 端口数据输入，8 位输入端口模式时 dia[7:0]有效。
addra[10:0]	输入	A 端口地址输入，2K 深度。
wbyte_ena	输入	A 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
bytea	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_ena=1 时，bytea=1 选择高 8 位写入，bytea=0 选择低 8 位写入。
doa[15:0]	输出	A 端口数据输出，8 位输出端口模式时只 doa[7:0]有效
clka	输入	A 端口时钟输入，默认上升沿有效（可反向）
rsta	输入	A 端口数据输出寄存器同步复位信号，默认高有效（可反向）
csa	输入	A 端口片选，默认高有效（可反向）。
wea	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作；

oce	输入	A 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
B 端口名	方向	说明
dib[15:0]	输入	B 端口数据输入，8 位输入端口模式时 dib[7:0]有效
addrb[10:0]	输入	B 端口地址输入，2K 深度
wbyte_enb	输入	B 口 16 位模式时，使能 8 位写模式，高有效。8 位模式时接 0。
byteb	输入	8 位模式时作为最低位地址输入；16 位模式 wbyte_enb=1 时，byteb=1 选择高 8 位写入，byteb=0 选择低 8 位写入。
dob[15:0]	输出	B 端口数据输出，8 位输出端口模式时 dob[7:0]有效
clkb	输入	B 端口时钟输入，默认上升沿有效（可反向）。
rstb	输入	B 端口数据输出寄存器同步复位信号，默认高有效（可反向）。
csb	输入	B 端口时钟有效控制信号，默认低有效（可反向）。
web	输入	B 端口写入/读出操作控制，0 为读出操作，1 为写入操作。
Oceb	输入	B 端口数据寄存器时钟使能，默认高有效（可反向）。只有当输出寄存器被使用时（REGMODE_B=“OUTREG”）才有效。

4 模块使用举例

实际应用中，调用 ERAM 模块有两种方式：实例化和 IP generate 生成方式。

4.1 IP 生成方式

在 TD 软件中，用户使用 IP Generate 的方式调用 ERAM 模块

1. 用户可以采用如下方式在 TD 软件中找到 ERAM 模块:Tools->IP Generate->IP core ->Block Memory-EMB->RAM，如图 15 所示。

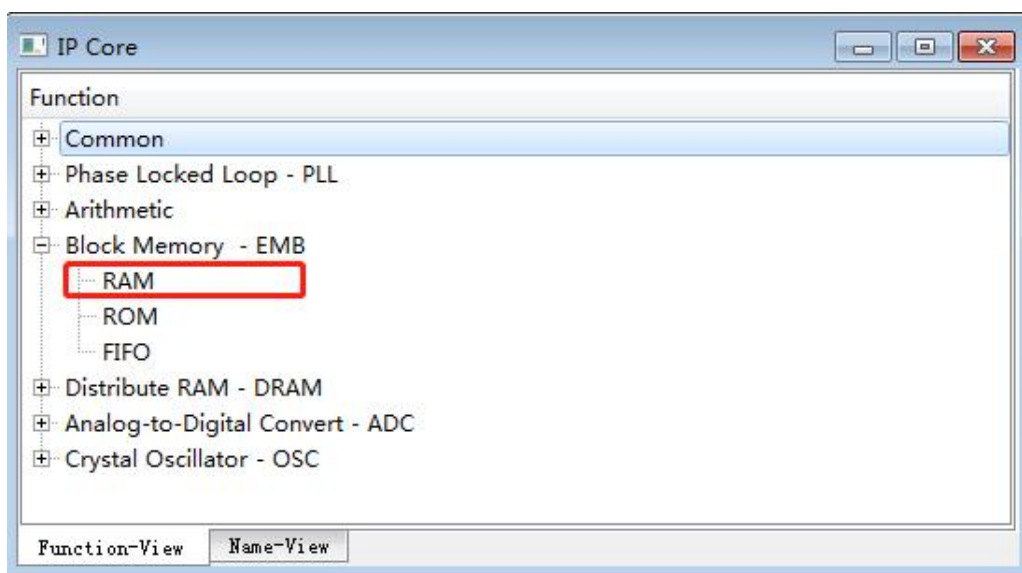


图 15 软件 IP 生成方式

2. 用户可以根据实际情况选择需要的配置，完成 ERAM IP 的生成，下面分别介绍 ERAM 三种不同模式的界面设置和参数的描述：

1) 单口模式 (Single Port RAM)

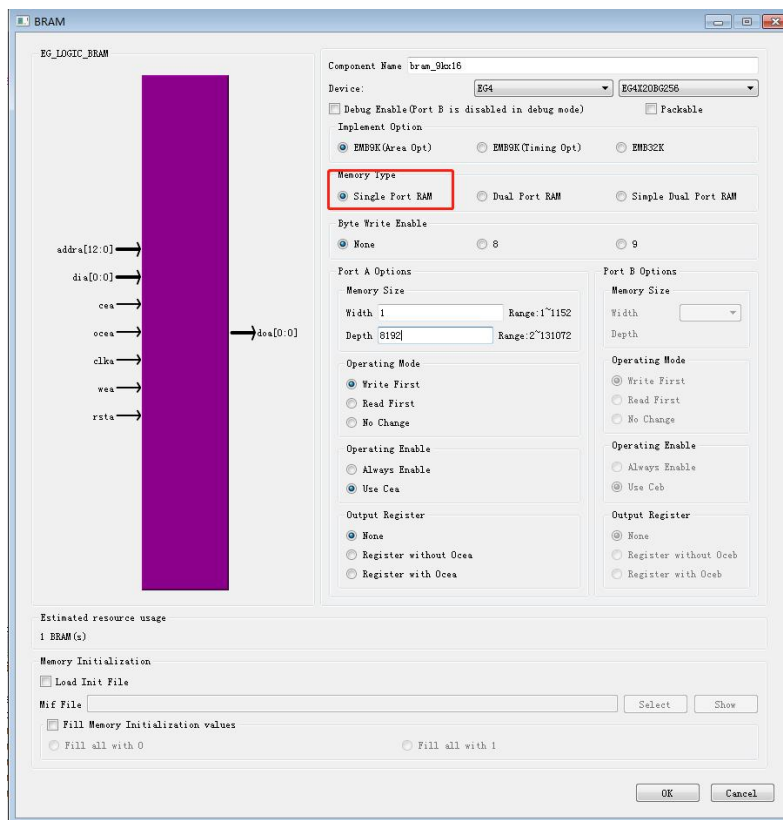


图 16 单口模式

2) 双口模式 (Dual Port RAM)

双口模式支持 A 口/B 口的所有独立读写操作组合: 两读, 两写, 一读和一写。

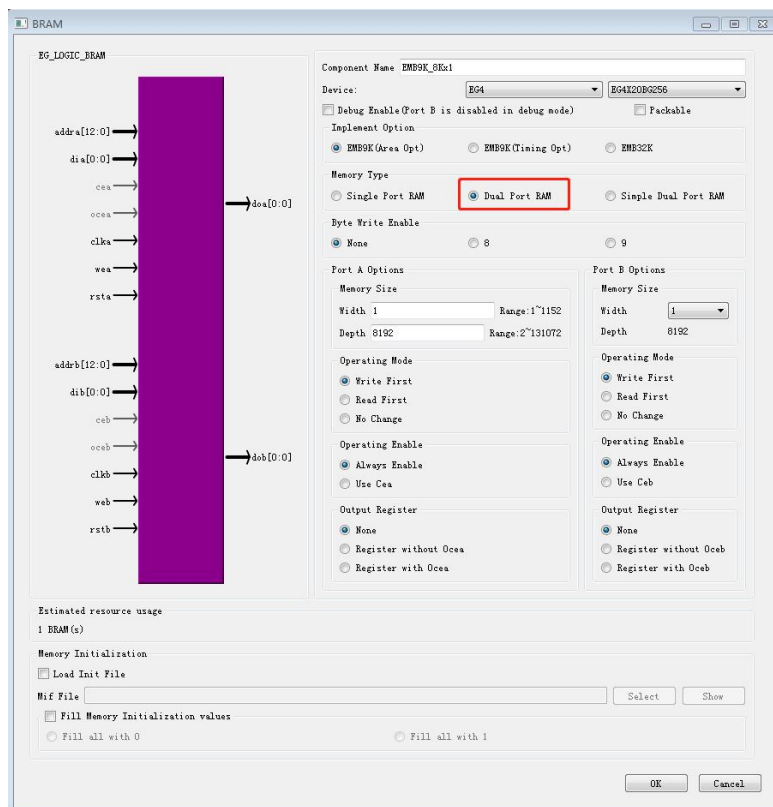


图 17 双口模式

3) 简单双口模式 (Simple Dual Port RAM)

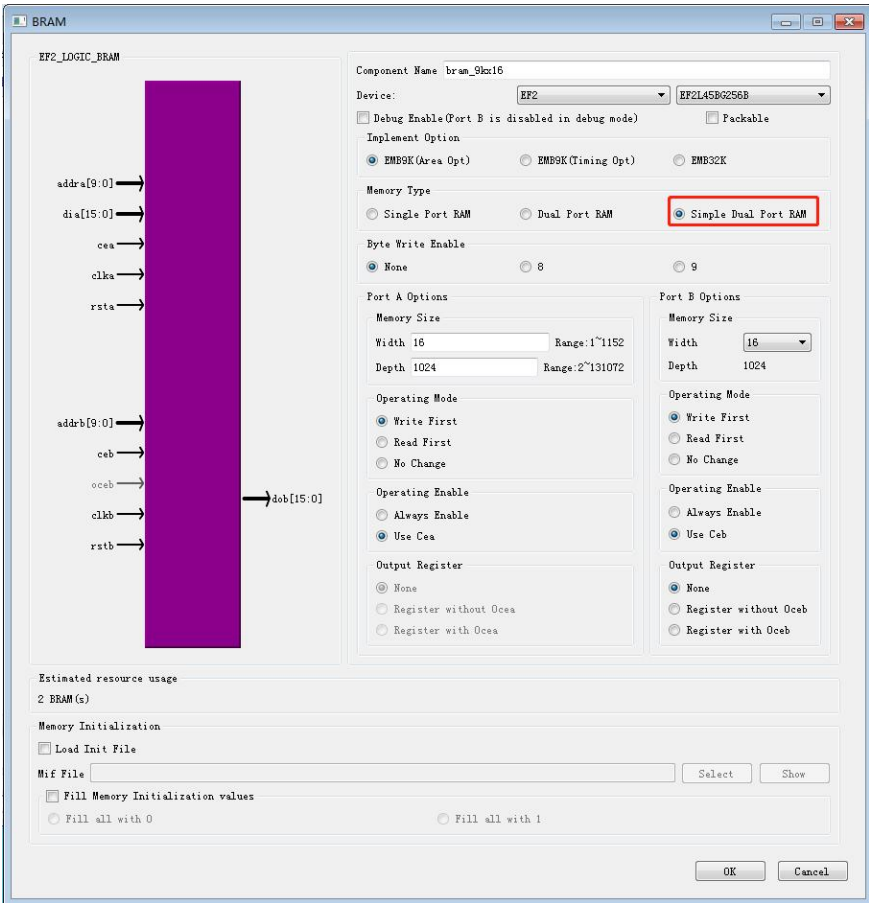


图 18 简单双口模式

表 12 软件界面配置描述

参数名称	参数描述	配置方式
Implement	实现方式	EMB9K(area opt), EMB9K(Timing opt), EMB32K 三种模式。默认为 EMB9K(area opt)
Memory Type	存储器种类	Single Port RAM (单口 RAM) ,Dual Port RAM (双口 RAM) ,Simple Dual Port RAM(简单双口 RAM) 三种模式。默认为 Single Port RAM
Byte Write Enable	字节写使能	None, 8, 9 三种模式。默认为 None
Operating Mode	操作模式	Write First (写优先) , Read First(读优先) ,No Change 三种模式。默认为 No Change
Operating Enable	操作使能	Always Enable (始终使能) , Use Cea(使用 Cea 信号) 三种模式。默认为 Use Cea
Output Register	输出寄存器	None ,Register without Ocea, Register with Ocea 三种模式。默认为 None
Memory Initialiaztion	存储初始化	可选择文件中存在的 Mif 文件。默认为不打勾
Fill Memory Initialiaztion values	填充存储初始值	Fill all with 0(全为 0), Fill all with 1(全为 1)。默认为不打勾

注 1: 若勾选“Debug Enable”前面的复选框, TD 会默认 EMB 的模式为 Single Port RAM, 在这种情况下, 端口 B 将被占用, 端口 A 的数据可进行回读, 方便用户通过 ERAMEditor 进行 Debug。其中, EMB9k 以面积优化为主, EMB9k(fast) 以时序优化为主。

注 2: Byte Enable 是指 ERAM 的输入数据 port 位宽为多个 byte 时, 在读数据时用一组 byte enable 信号来分别控制每个 byte 写入与否。在界面上可选择 Byte Write Enable 的值为 None 或 8 或 9。当 byte-write 为 None 时, 表示不启动 byte enable 功能; 当 byte-write 为 8 时, A 口与 B 口 (若有 B 口) 的数据宽度必须为 8 的整数倍, 倍数的值被用作 wea 与 web 的宽度; 当 byte-write 为 9 时, A 口与 B 口 (若有 B 口) 的数据宽度必须为 9 的倍数, 倍数被用作 wea 与 web 的宽度。当启动 byte enable 功能时, 不建议使用 ERAM32K, 原因是当 ERAM 的深度比较小时, 会浪费很多内存。

4.1.1 添加初始化文件

TD 的初始化文件支持用户用第三方 mif(memory initialization file) 格式描述, 或者用 verilog 存储空间初始化 dat 格式来描述。

1) mif 格式描述如下:

mif 格式的初始化文件包含每一个初始化地址和数据, 并且必须定义内存数据的深度和宽度。用户可以将数据和地址格式定义为二进制 BIN、十六进制 HEX、八进制 OCT、无符号十进制 UNS 等。数据的值必须和数据格式相匹配。

2) dat 格式描述如下:

内存数据可以存储在一个以十六进制为地址的文件中, 其中, 地址以“@”表示。起始地址由用户自己定义, 根据内存数据的深度可以相应的确定结束地址。为了能够使数据和地址清晰对应, 通常会给文件添加可识别的地址标志。若初始化文件很大时, 也可直接省略地址。

为 ERAM 模块添加初始化文件时, 可勾选“Load Init File”前面的复选框, 并选择需要添加的文件, 当在右下角的下拉框中选择 .mif 格式时, 在文件夹中只提供 .mif 文件供用户选择, 如下图 19 所示, 图 20 为 mif 文件和 dat 文件的范例。

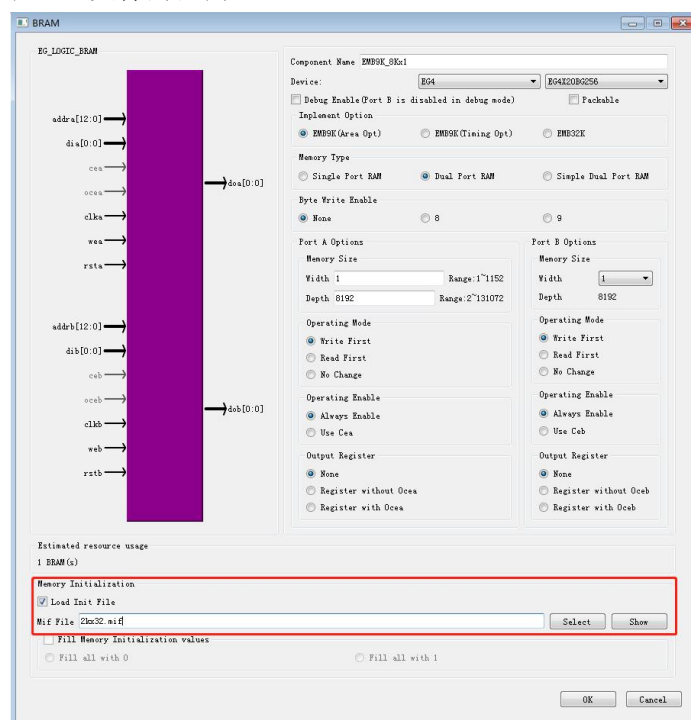


图 19 初始化文件选项

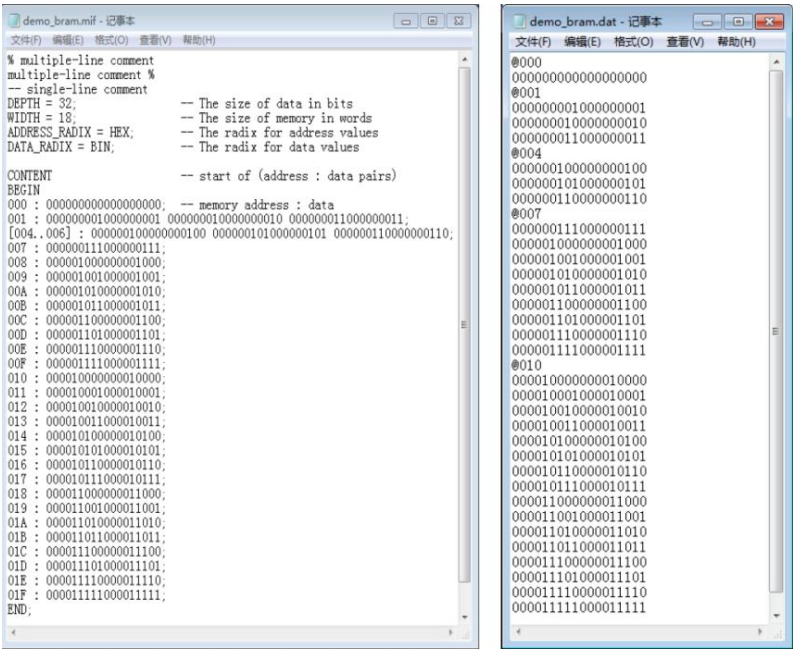


图 20 mif 文件和 dat 文件范例

4.2 实例化方式

实际使用中，ERAM 模块允许用户在代码中直接例化调用，灵活且易于配置使用。常用需要配置参数，如表 13 所示。实例化方式如图 21 (以单口模式 9kx1 为例)

表 13 实例化参数配置说明

参数名称	参数描述	配置方式
DATA_WIDTH_A	A 口数据位宽	可配置位宽
ADDR_WIDTH_A	A 口地址位宽	可配置位宽
DATA_DEPTH_A	A 口数据深度	可配置深度
DATA_WIDTH_B	B 口数据位宽	可配置位宽
ADDR_WIDTH_B	B 口地址位宽	可配置位宽
DATA_DEPTH_B	B 口数据深度	可配置深度
MODE	模式	DP, SP, PDPW, FIFO 默认” DP”
REGMODE_A	寄存器模式	“NOREG”, ” OUTREG” 默认” NOREG”
WRITEMODE_A	A 口写模式	“NORMAL”, ” READBEFOREWRITE”, ” WRITETHROUGH” 默认” NORMAL”
RESETMODE	复位模式	“SYNC”, ” ASYNC” 默认” SYNC”
IMPLEMENT	实现方式	9K, 9K (FAST), 32K(all capitalized) 默认” 9K”
DEBUGGABLE	DEBUG 使能	“YES”, ” NO” 默认” NO”
PACKABLE	可压缩	“YES”, ” NO” 默认” NO”
INIT_FILE	初始化文件	默认” NONE”

FILL_ALL	初始化文件填充	默认” NONE”
----------	---------	-----------

```
EG_LOGIC_BRAM #( .DATA_WIDTH A(DATA_WIDTH_A),
                  .ADDR_WIDTH_A(ADDR_WIDTH_A),
                  .DATA_DEPTH_A(DATA_DEPTH_A),
                  .DATA_WIDTH_B(DATA_WIDTH_B),
                  .ADDR_WIDTH_B(ADDR_WIDTH_B),
                  .DATA_DEPTH_B(DATA_DEPTH_B),
                  .MODE("SP"),
                  .REGMODE_A(REGMODE_A),
                  .WRITEMODE_A(WRITEMODE_A),
                  .RESETMODE("SYNC"),
                  .IMPLEMENT("9K"),
                  .DEBUGGABLE("NO"),
                  .PACKABLE("NO"),
                  .INIT_FILE("NONE"),
                  .FILL_ALL("NONE"))
inst(
    .dia(dia),
    .dib({9{1'b0}}),
    .addra(addra),
    .addrb({10{1'b0}}),
    .cea(cea),
    .ceb(1'b0),
    .oceo(ocea),
    .oceb(1'b0),
    .clka(clka),
    .clkb(1'b0),
    .wea(wea),
    .web(1'b0),
    .bea(1'b0),
    .beb(1'b0),
    .rsta(rsta),
    .rstb(1'b0),
    .doa(doa),
    .dob());
```

图 21 实例化方式

5 参考时序图

1. 单口模式 (Single Port RAM) 时序图，图 22 为根据上述单口模式配置的时序参考图。

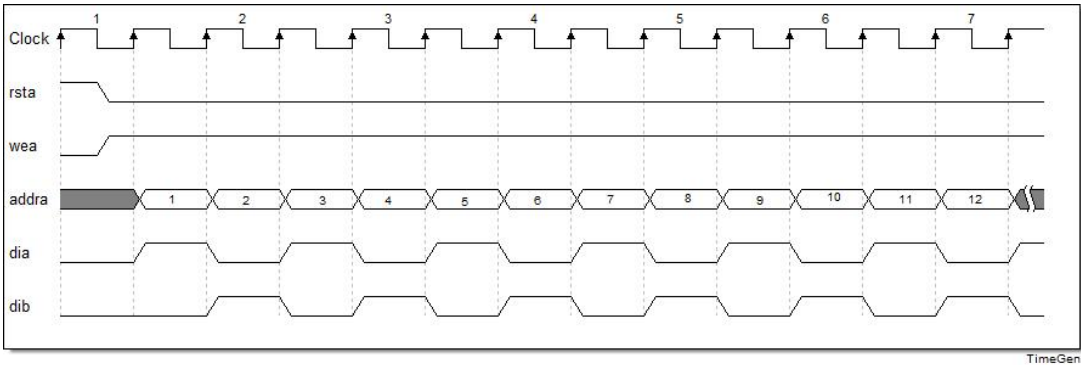


图 22 单口模式时序参考图

2. 双口模式 (Dual Port RAM) 时序图，图 5-2 为根据上述双口模式配置的时序参考图。

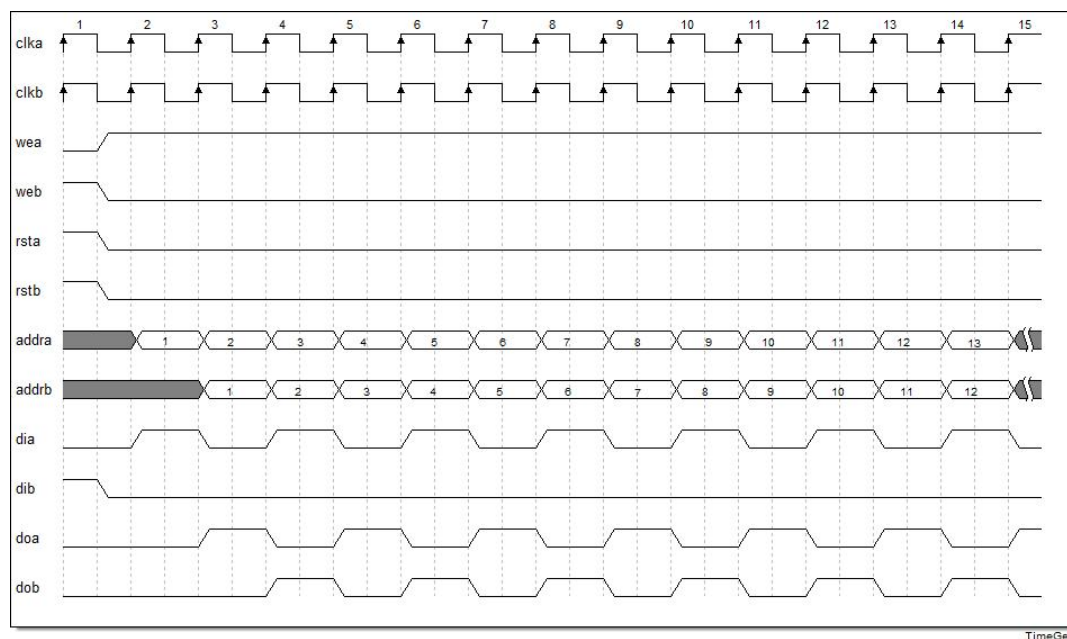


图 23 双口模式时序参考图

3. 简单双口模式 (Simple Dual Port RAM)，图 24 为上述简单双口模式配置的时序参考图。

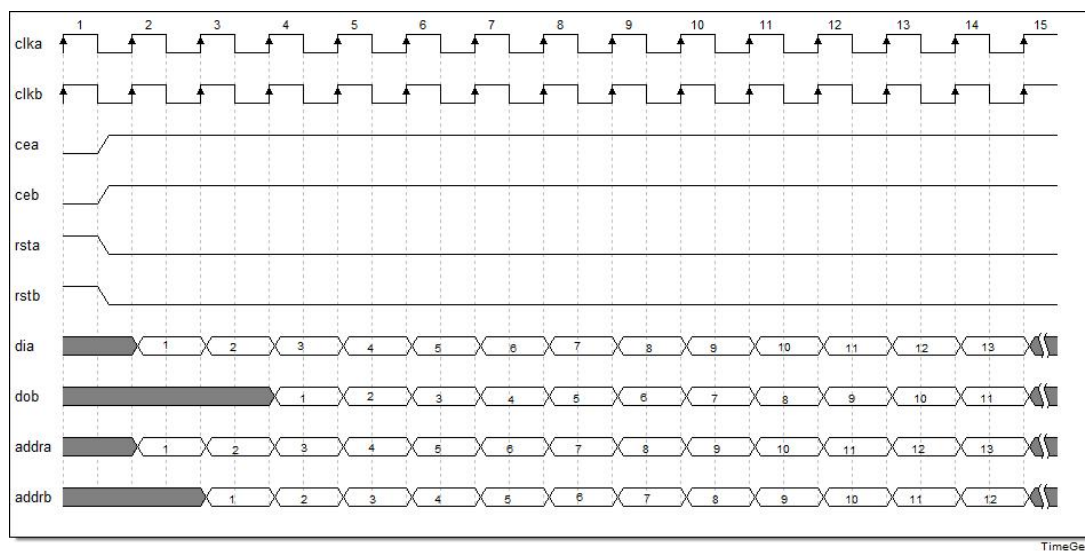


图 24 简单双口模式时序参考图

6 参考文档

DS300_Eagle_Datasheet.pdf

版本信息

日期	版本	修订记录
2018/7/19	1.0	初版建立
2018/9/14	1.1	文档格式调整
2019/1/25	1.2	修正表 13 中错误的端口名
2022/13/13	1.3	1. 更新表 11 中的 web 信号的读写说明 2. 更新图 21 实例化方法 3. 更新参考文档 4. 更新文档免责声明，并进行格式修订

版权所有©2022 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取。