

**HDMI发送显示**

APUG001（v1.0）2020年09月

**Confidential**

目 录

[1 概要 1](#_Toc46167833)

[2 功能描述 2](#_Toc46167834)

[2.1 HDMI接口与协议 2](#_Toc46167835)

[2.2 HDMI链路操作模式 2](#_Toc46167836)

[2.3 HDMI发送显示功能框架 3](#_Toc46167837)

[2.3.1 顶层接口说明 3](#_Toc46167838)

[2.3.2 HDMI链路编码 4](#_Toc46167839)

[2.3.3 视频数据编码 5](#_Toc46167840)

[2.3.4 显示测试信号发生器 6](#_Toc46167841)

[3 资源消耗与时序Fmax 8](#_Toc46167842)

[4 参考设计与仿真 8](#_Toc46167843)

[4.1 仿真 8](#_Toc46167844)

[5 移植与注意事项 9](#_Toc46167845)

[6 文件参考 9](#_Toc46167846)

[9 版本信息 10](#_Toc46167847)

[免责声明 11](#_Toc46167848)

# 概要

本文档主要功能是编写VESA标准时序，通过HDMI协议进行编码，使用LVDS电平通过AC耦合方式，传输到HDMI 发送接口，实现显示。

# 功能描述

示例工程中，实现的1280X1024的分辨率，模式为RGB444时序，显示Pattern为红绿蓝以及各种灰阶画面。通过HDMI物理接口（1对时钟+3对数据），将相应的8位数据做编码，编码成10bit数据位流，编码的同时考虑DC平衡，数据与时钟比为1:10，送到HDMI接口，实现视频的HDMI显示。

本方案中，HDMI显示目前只支持视频RGB444编码，暂不支持音频和CEC等其他功能。

## HDMI接口与协议

HDMI接口，采用TDMS电平进行传输。

HDMI链路包括三个TMDS数据通道和一个TMDS时钟通道。TMDS时钟通道，始终以与传输视频的像素速率成比例的速率运行。在TMDS时钟通道的每个周期内，三个TMDS数据通道中的每一个都发送一个10位字符。使用几种不同的编码技术之一对该10位字进行编码。

源编码逻辑的输入流，将包含视频像素、数据包和控制数据。分组数据包括音频和辅助数据以及相关的纠错码。

这些数据项以多种方式处理，并以每个TMDS通道2位控制数据，4位分组数据或8位视频数据的形式呈现给TMDS编码器。

HDMI编解码框架如图2-1所示：

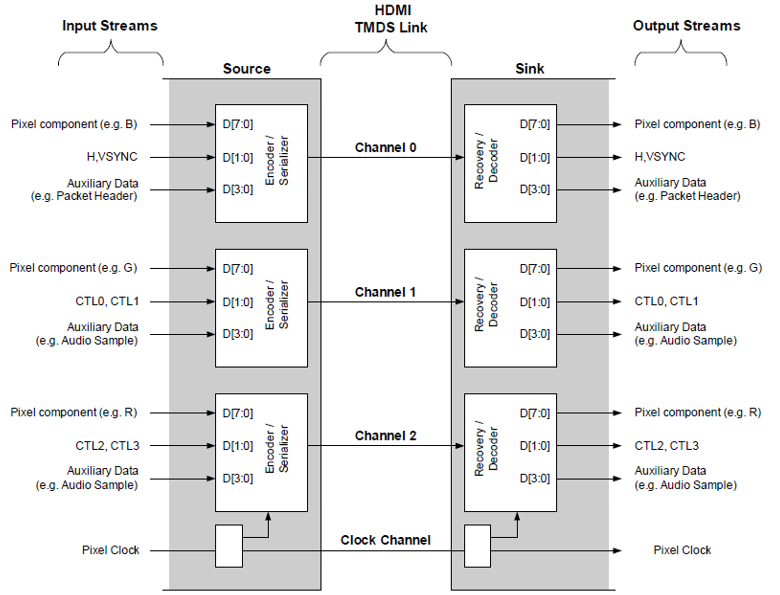


图2-1 HDMI编解码框架

## HDMI链路操作模式

HDMI链接使用下面三种模式之一进行操作：视频数据周期、数据岛周期和控制周期。在视频数据周期期间，传输活动视频线的活动像素。在“数据岛”期间，使用一系列数据包传输音频和辅助数据。当不需要传输视频，音频或辅助数据时，将使用控制周期。

数据链路模式的组成，如图2-2所示。

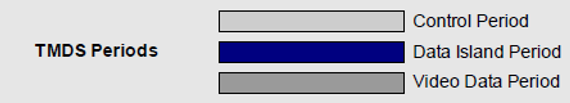


图2-2 TMDS传输链路操作模式

## HDMI发送显示功能框架

### 顶层接口说明

方案中，编写的VESA时序，传输给发送模块，接口采用标准的Hsync、Vsync、Den、RGB数据信号。物理接口上采用1:10的速度传输，因此整个实现，需要两路时钟来完成处理。一路并行时钟，一路并行时钟的五倍速率时钟。

接口信号如表2-1所示。

表2-1 功能顶层接口信号

|  |  |  |
| --- | --- | --- |
| **信号** | **方向** | **功能说明** |
| PXLCLK\_I | In | 控制器并行时钟 |
| PXLCLK\_5X\_I | In | 控制器串行时钟 |
| LOCKED\_I | In | PLL锁定信号 |
| RST | In | 复位，高有效 |
| 用户层接口信号 | | |
| VGA\_HS | In | 行信号 |
| VGA\_VS | In | 场信号 |
| VGA\_DE | In | 像素使能信号 |
| VGA\_RGB[23:0] | In | 图像数据 |
| HDMI接口信号 | | |
| HDMI\_CLK\_P | Out | HDMI时钟信号 |
| HDMI\_D2\_P | Out | HDMI D2链路数据 |
| HDMI\_D1\_P | Out | HDMI D1链路数据 |
| HDMI\_D0\_P | Out | HDMI D0链路数据 |

### HDMI链路编码

视频数据周期使用最小化过渡的编码来编码每个通道8位，或每个像素总共24位。

数据岛周期使用最小化转换编码TMDS减少错误编码（TERC4）进行编码，该编码每通道传输4位，或每个TMDS时钟周期总共传输12位。

在控制周期内，每个TMDS时钟使用过渡最大化编码对每个通道2位或总共6位进行编码。这6位是HSYNC、VSYNC、CTL0、CTL1、CTL2和CTL3。

表2-2显示了每种操作模式下使用的编码类型和传输的数据。

表2-2 TMDS编码类型于传输的数据

|  |  |  |
| --- | --- | --- |
| **Period** | **Data Transmitted** | **Encoding Type** |
| Video Data | Video Pixels | Video Data Coding  (8 bits converted to 10 bits) |
| (Guard Band) | (Fixed 10 bit pattern) |
| Data Island | Packet Data  - Audio Samples  - InfoFrames  HSYNC, VSYNC | TERC4 Coding  (4 bits converted to 10 bits) |
| (Guard Band) | (Fixed 10 bit pattern) |
| Control | Control  - Preamble  - HSYNC, VSYNC | Control Period Coding  (2 bits converted to 10 bits) |

每个视频链路中，控制周期尤为重要，当不发视频或者音频数据时，此时需要先发控制信号，每个TMDS通道都有两个控制信号，在控制周期内将其编码为10位。对于这三个通道中的每一个，这些信号的编码如表2-3所示。

表2-3 TMDS Channel 控制信号分配

|  |  |  |
| --- | --- | --- |
| **TMDS Channel** | **D0** | **D1** |
| 0 | HSYNC | VSYNC |
| 1 | CTL0 | CTL1 |
| 2 | CTL2 | CTL3 |

### 视频数据编码

在视频数据中，每个10位字符代表8位像素数据，编码后的字符可提供近似的DC平衡并减少数据流中的过渡次数。 活动数据周期的编码过程可以分为两个阶段。

第一阶段从输入的8位中产生最小转换的9位代码字。 第二阶段产生一个10位代码字，即完成的TMDS字符，它将管理所传输字符流的总体DC平衡。

编码算法如图2-3所示。

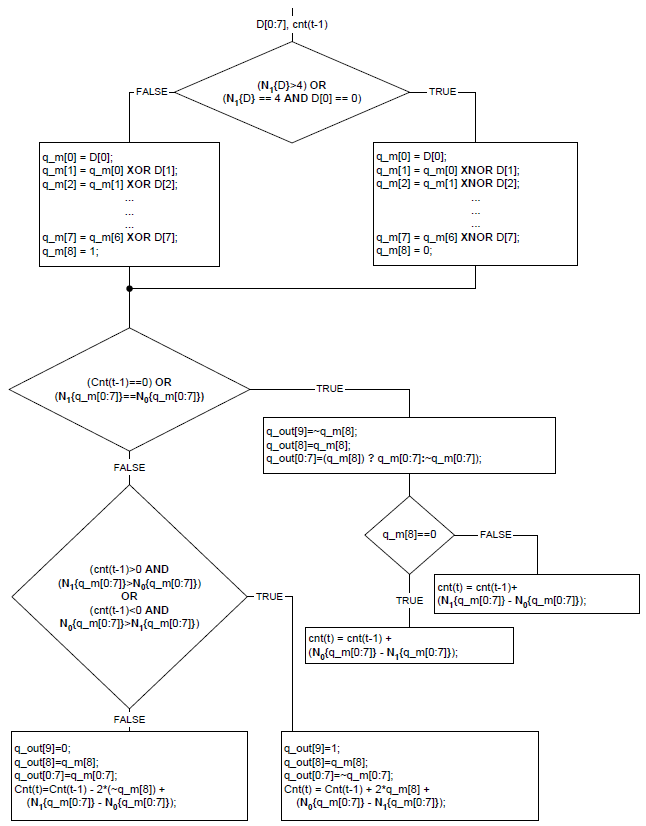


图2-3 视频数据编码算法

### 显示测试信号发生器

为了快速验证HDMI显示是否正常，需要给HDMI发送提供视频源，本方案中的源为标准的VESA时序，模块中分辨率以及帧率可配，更改代码中的行场参数即可。

代码模块在video\_tpg模块，用户可按如下更改。

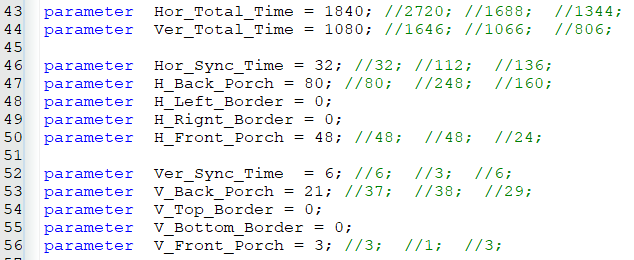


图2-4 显示Pattern对应的不同分辨率参数

提供相应的不同画面测试Pattern，也可在代码中，每隔1S传入不同的Pattern值，做各种不同Pattern的动态切换显示。TPG信号发生器的显示Pattern编码如表2-4 所示。

表2-5 显示测试信号发生器编码

|  |  |  |
| --- | --- | --- |
| **命令编码(binnay)** | **功能** | **说明** |
| 0001 | red | 255灰 红色 |
| 0010 | green | 255灰 绿色 |
| 0111 | blue | 255灰 蓝色 |
| 0100 | while | 255灰 白色 |
| 0101 | Gray red | 灰度渐变红色 |
| 0110 | Gray green | 灰度渐变绿色 |
| 0111 | Gray blue | 灰度渐变蓝色 |
| 1000 | Gray white | 灰度渐变白色 |
| 1001 | mosaic | 黑白马赛克 |
| 1010 | Diagonal gray scan | 单线动态斜扫 |
| 1011 | Grid scan | 单线动态方格 |

测试信号发生器的工作频率与设置的分辨率像素时钟同频。

# 资源消耗与时序Fmax

使用TD软件版本TD5.0.1(20999),在EG4S Video Demo板上进行验证，消耗的资源和时

序结果如表3-1所示：

表3-1 资源与时序结果统计

|  |  |  |
| --- | --- | --- |
| **资源** | **类型** | **数值** |
| 最大频率  (Mhz) | PXLCLK\_I | 154.3 |
| PXLCLK\_5X\_I | 592 |
| 使用资源 | LUT | 727 |
| REG | 364 |
| PLL | 1 |
| IO | 6 |
| BRAM | N/A |
| DSP | N/A |
| SERDES | N/A |
| 适用器件 | EF2/3、AL3、EG4、PH1 | |

# 参考设计与仿真

本应用方案提供参考设计，可在参考硬件上进行相关功能验证。

## 仿真

提供相应的test bench仿真文件，用户可进行仿真，仿真时需要包含如下相关文件，

因没有相关的HDMI Model，所以接口部分需要自行产生数据进行验证(验证时钟与数据的关系即可)。

vlog -work work +define+SIMULATION ../prj/al\_ip/\*.v

vlog -work work +define+SIMULATION ../source\_code/tb/\*.v

vcom -2008 ../source\_code/rtl/\*.vhd

vcom -2008 ../source\_code/rtl/ enc\_file/\*.vhd

vlog -work work +define+SIMULATION ../source\_code/rtl/\*.v

本工程可在相关器件系列的DEMO板上进行调试，使用者只需更改管脚ADC文件和对应的时钟即可。

工程中有如下关键代码文件，如表4-1所示。

表4-1 工程文件

|  |  |
| --- | --- |
| **参数** | **说明** |
| Developers | xuguo |
| Reference Design | Yes |
| RTL Language | Verilog/VHDL |
| Test bench | Yes |
| Test bench Format | Verilog |
| Simulation | Modelsim |
| C | N/A |
| IP Model | Yes |
| Project Platform | PH1 676 Demo |

# 移植与注意事项

接口逻辑中，使用了ODDR源语，使用其他系列芯片时，更改对应的器件接口源语即可。更改分辨率，请严格按照VESA时序的行场参数进行更改。

当前工程，支持EF2、EF3、AL3、EG4、PH1系列，用户移植时，传递相应的宏参数即可。如图5-1所示。



图5-1 器件型号选择

# 文件参考

[AN\_EG4\_DataSheet\_DS300](http://www.anlogic.com/down_view.aspx?TypeId=24&Id=50&Fid=t14:24:14)

[AN\_PH1\_Datasheet\_DS700](http://www.anlogic.com/down_view.aspx?TypeId=65&Id=285&Fid=t14:65:14" \t "_blank)

# 版本信息

|  |  |  |
| --- | --- | --- |
| **日期** | **版本** | **修订记录** |
| 2020.5.11 | 1.0 | 首次发布中文版 |
|  |  |  |
|  |  |  |

**版权所有©2020** 上海安路信息科技有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

# 免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。